Федеральное государственное автономное образовательное учреждение высшего образования

«Национальный исследовательский университет

«Высшая школа экономики»

Московский институт электроники и математики им. а.н. тихонова

Департамент компьютерной инженерии

**Курс «Инструментальные средства и технологии программирования»**

**ОТЧЕТ**

**о выполнении практической работы № 1.4**

**тема работы: «Знакомство с САПР Altera Quartus II»**

Выполнил:

Пчелкин Д.А. БИВ 155

Принял:

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

**МОСКВА 2017**

# 1 Задание

Вариант 1.

Используя логические элементы спроектировать схему и исследовать работу (снять временную диаграмму и таблицу задержек) одноразрядного, двухразрядного и четырехразрядного сумматора.

Дополнительное задание: на базе сумматора построить вычитатель (спроектировать его схему и исследовать работу).

Построить временную диаграмму и выполнить моделирование в режимах Functional и Time. Сравнить и обосновать полученные результаты. Запрограммировать учебную плату и продемонстрировать результаты работы на макете.

Таблица 1 Таблица истинности для одноразрядного сумматора

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Входы** | | | **Выходы** | |
| **a** | **b** | **p (перенос)** | **S (сумма)** | **pi (перенос)** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

# 2 Выполнение работы

Моделирование логической функции осуществляется с помощью САПР Altera Quartus II. Для построения временных диаграмм в Altera Quartus II, создаются «.vwf» файлы, содержащие информацию о входных сигналах.

## 2.1 Одноразрядный сумматор

Для получения логических функций суммы и переноса используются карты Карно.

Таблица 2 Карта Карно для суммы (S) входных сигналов

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **a** | **bp** | **00** | **01** | **11** | **10** |
| **0** | | 0 | 1 | 0 | 1 |
| **1** | | 1 | 0 | 1 | 0 |

Из табл. 2 следует:

МДНФ(S): S = a(-b)(-p) + (-a)(-b)p + abp + (-a)b(-p),

или:

МДНФ(S): S = (aꚚb)Ꚛp.

Таблица 3 Карта Карно для переноса (pi) входных сигналов

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **a** | **bp** | **00** | **01** | **11** | **10** |
| **0** | | 0 | 0 | 1 | 0 |
| **1** | | 0 | 1 | 1 | 1 |

Из табл. 3 следует:

МДНФ(pi): pi = ab + pa + pb,

или:

МДНФ(pi): pi =ab + (aꚚb)p.

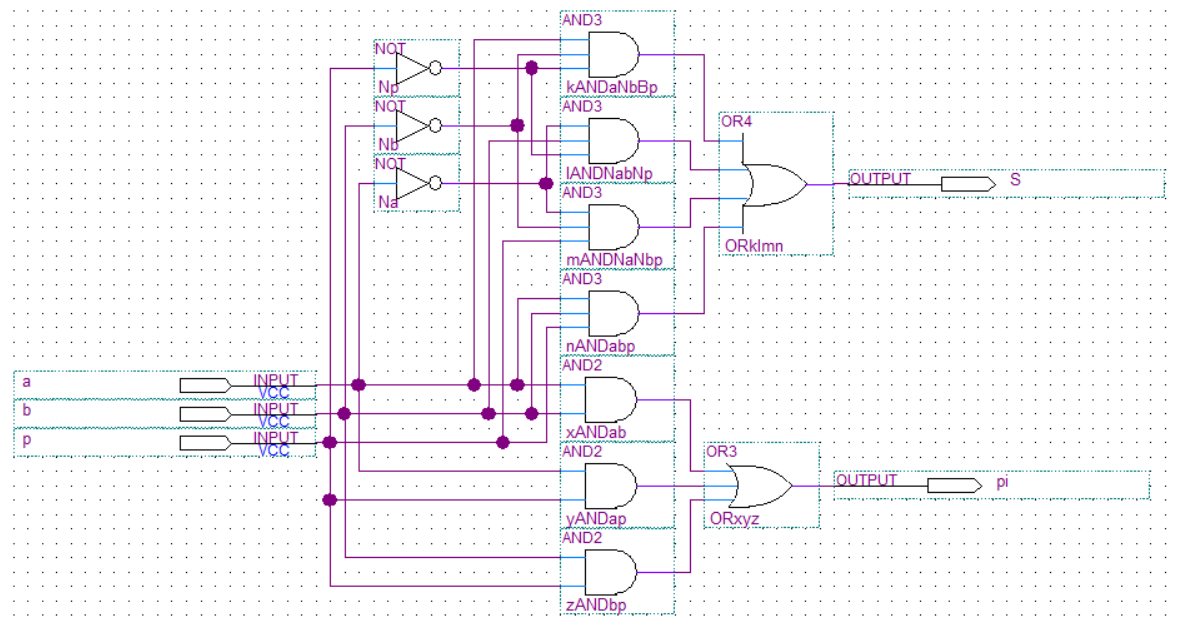


Рисунок 1 Блок-схема одноразрядного сумматора в базисе И, ИЛИ, НЕ

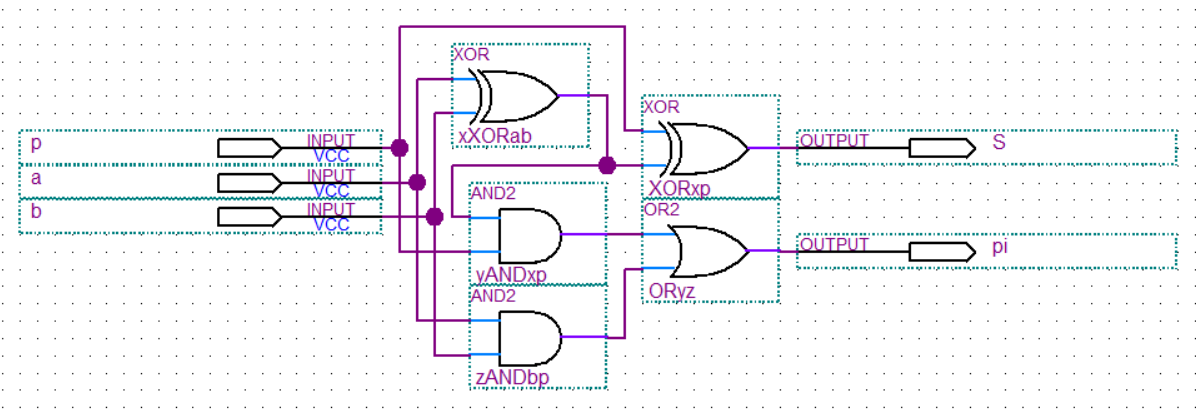


Рисунок 2 Блок-схема одноразрядного сумматора в базисе И, ИЛИ, ИСКЛЮЧАЮЩЕЕ ИЛИ

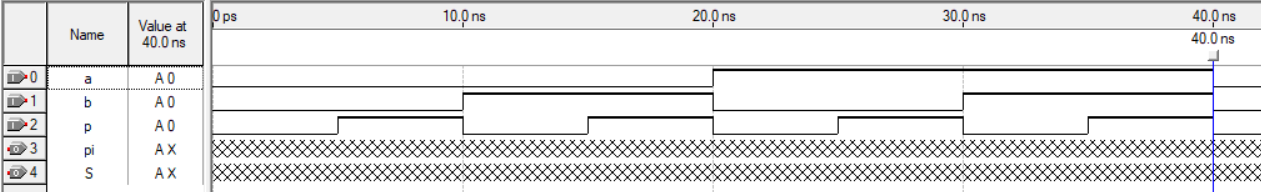


Рисунок 3 Входные сигналы одноразрядного сумматора

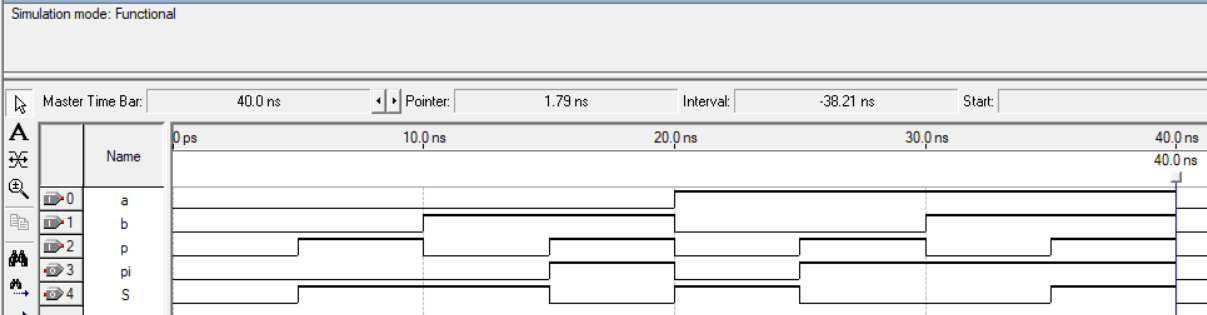


Рисунок 4 Моделирование работы одноразрядного сумматора в режиме Functional

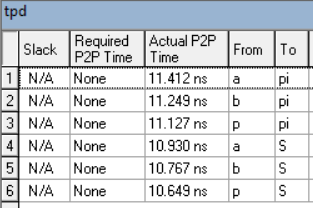


Рисунок 5 Таблица временных задержек одноразрядного сумматора

## 2.2 Двухразрядный сумматор

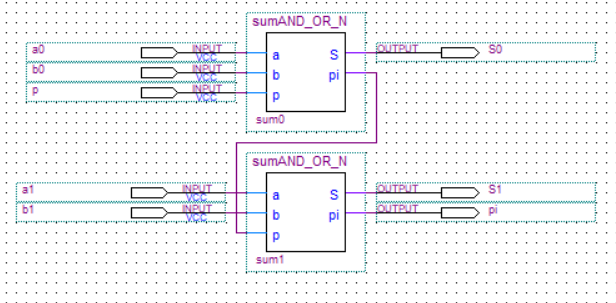


Рисунок 6 Блок-схема двухразрядного сумматора

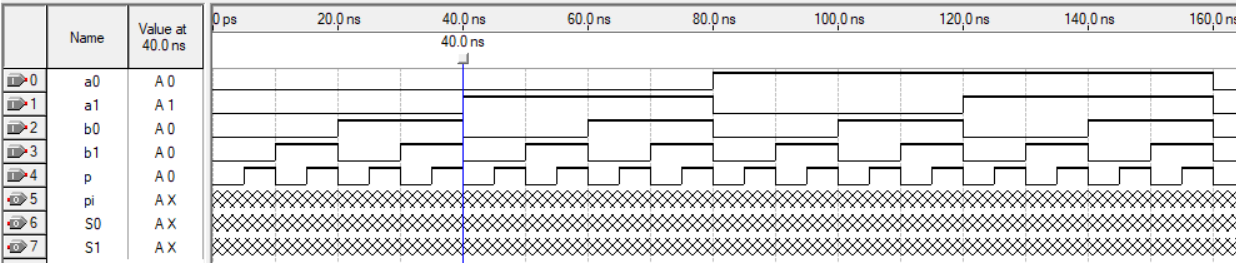


Рисунок 7 Входные сигналы двухразрядного сумматора

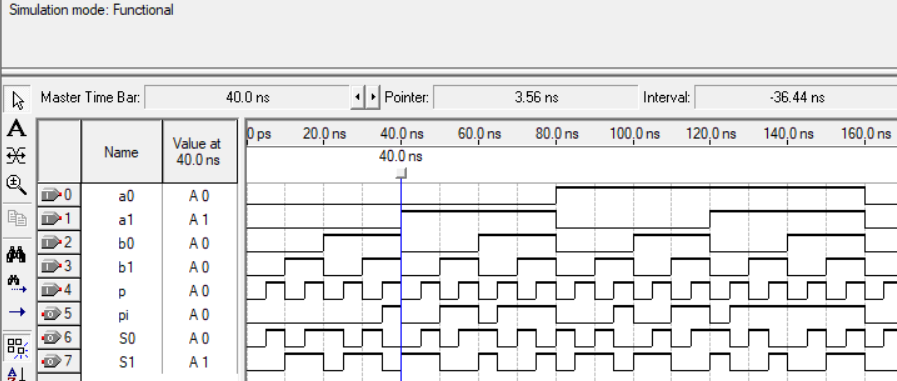


Рисунок 8 Моделирование работы двухразрядного сумматора в режиме Functional

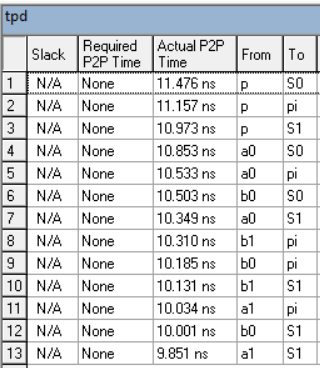


Рисунок 9 Таблица временных задержек двухразрядного сумматора

## 2.3 Четырехразрядный сумматор

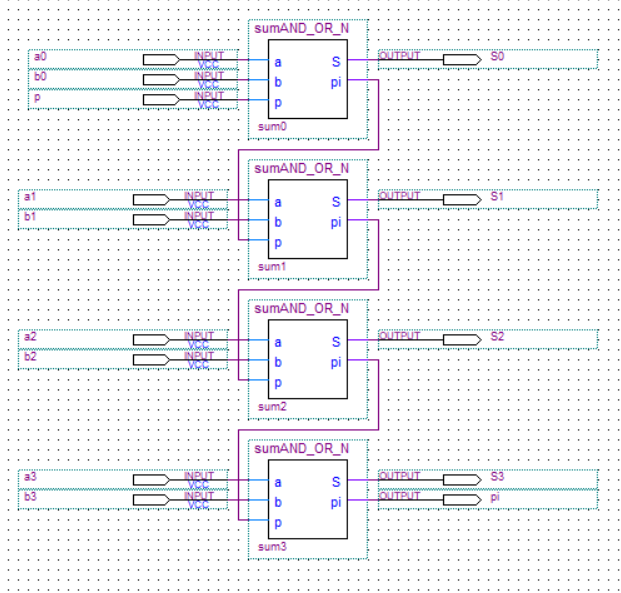


Рисунок 10 Блок-схема четырехразрядного сумматора

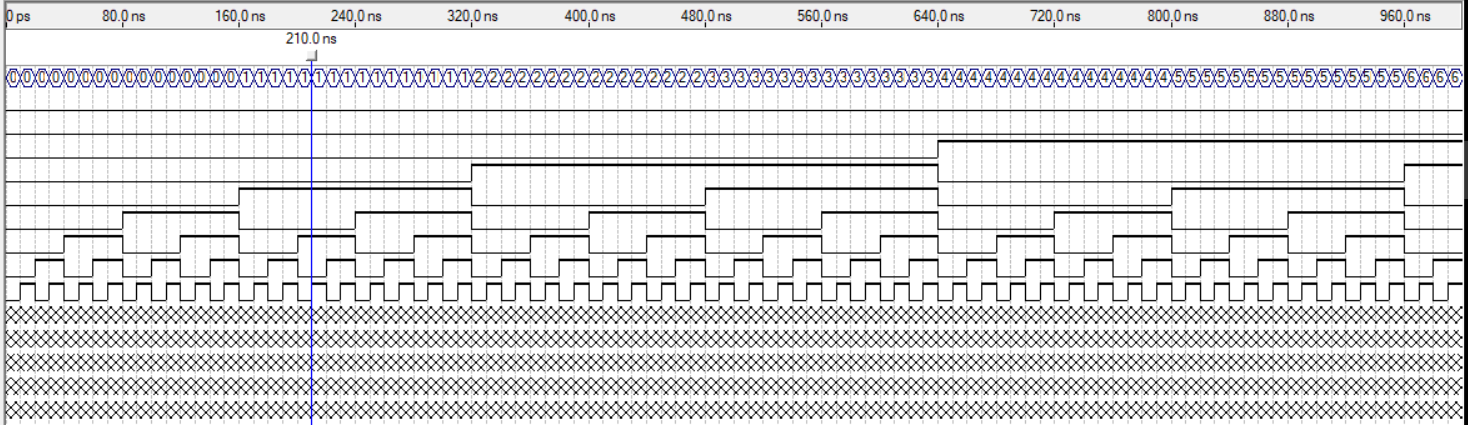


Рисунок 11 Входные сигналы четырехразрядного сумматора

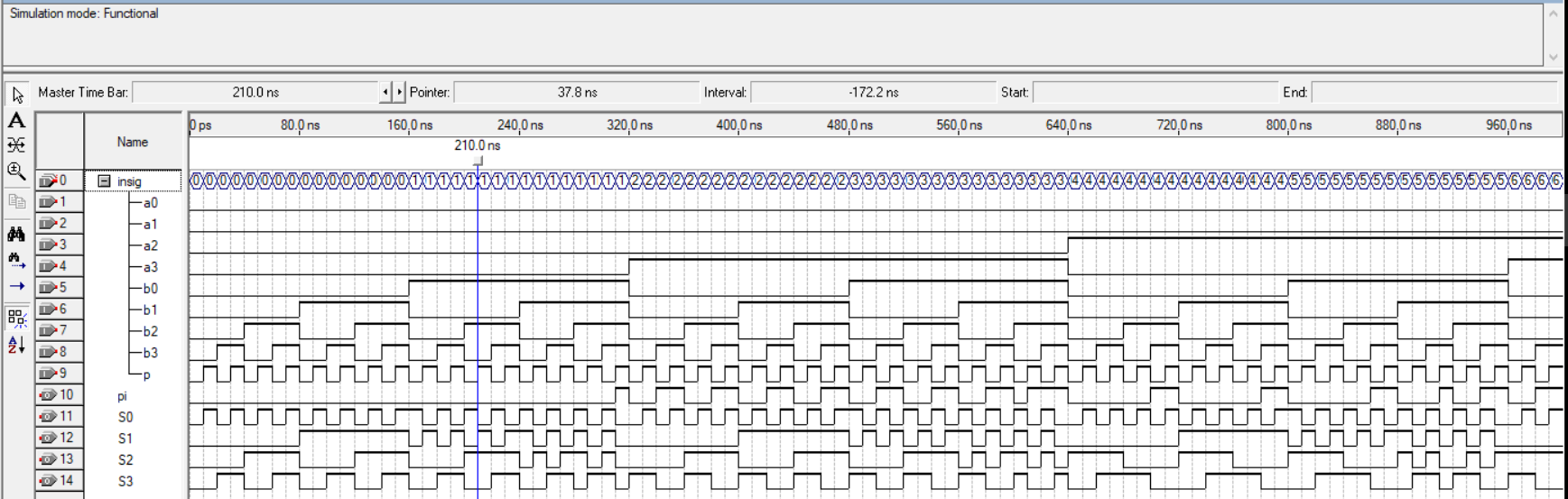


Рисунок 12 Моделирование работы четырехразрядного сумматора в режиме Functional

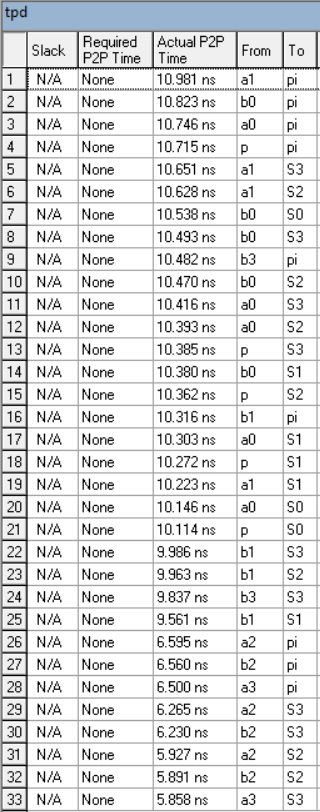


Рисунок 13 Таблица временных задержек четырехразрядного сумматора

## 2.4 Одноразрядный вычитатель

## Таблица 1 Таблица истинности для одноразрядного вычитателя

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **p** | **a** | **b** | **S** | **pi (заимствование)** |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |

Для выполнения операции вычитания в двоичном коде, производится сложение кода числа с обратным кодом вычитаемого, с последующим инкрементом полученной суммы. В табл. 1 приведена функция одноразрядного вычитателя.

Для получения одноразрядного вычитателя (рис. 14) необходимо получить обратный код вычитаемого числа (b), сложить числа, при этом на вход переноса (a) подать логическую единицу для инкрементирования.

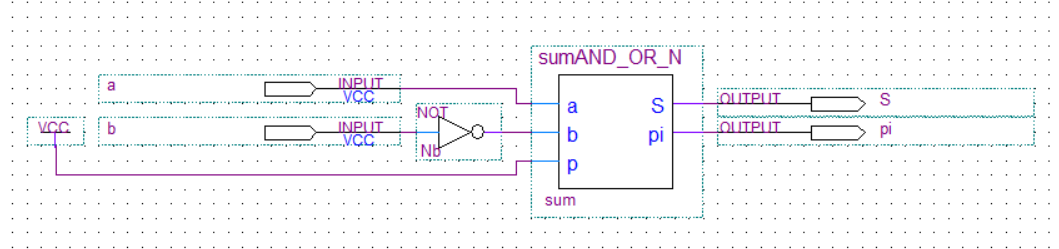


Рисунок 14 Блок-схема одноразрядного вычитателя

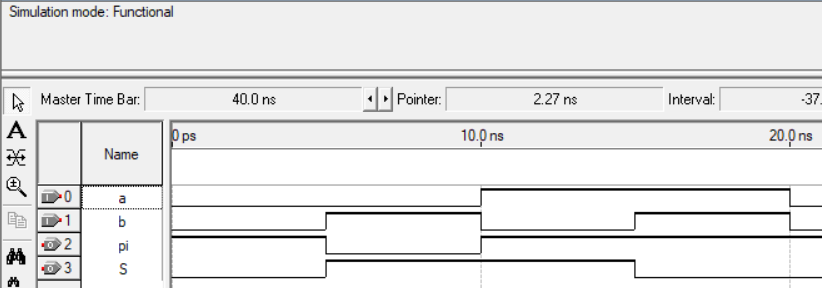


Рисунок 15 Моделирование работы одноразрядного вычитателя в режиме Functional

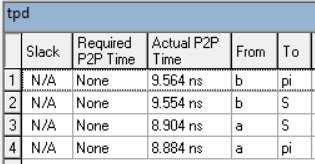


Рисунок 16 Таблица временных задержек одноразрядного вычитателя

## 2.5 Двухразрядный вычитатель

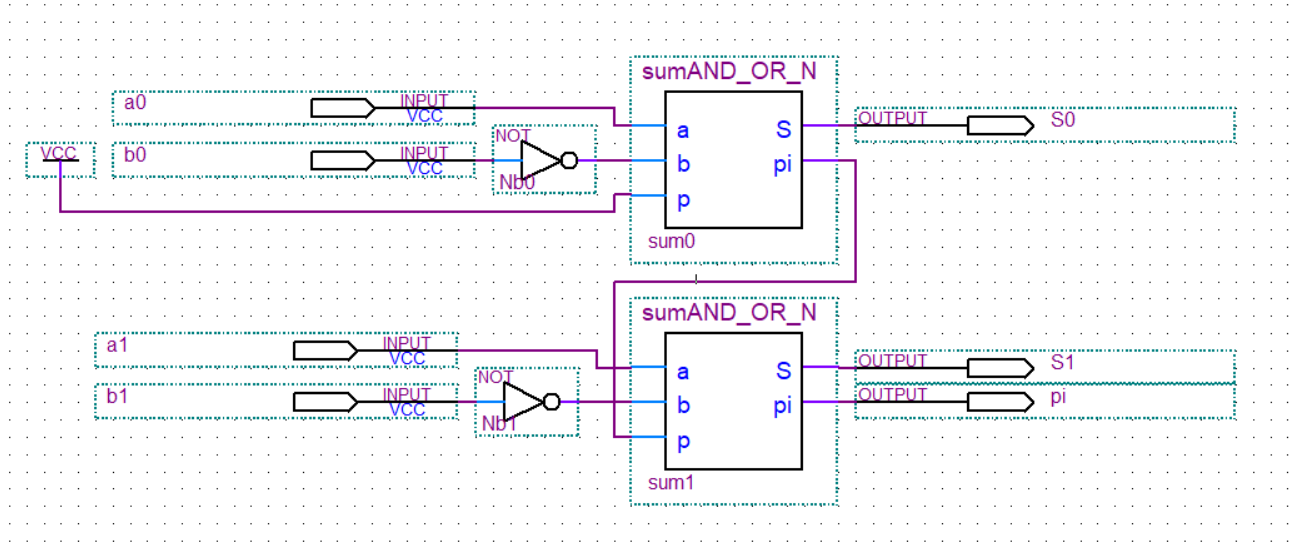


Рисунок 17 Блок-схема двухразрядного вычитателя

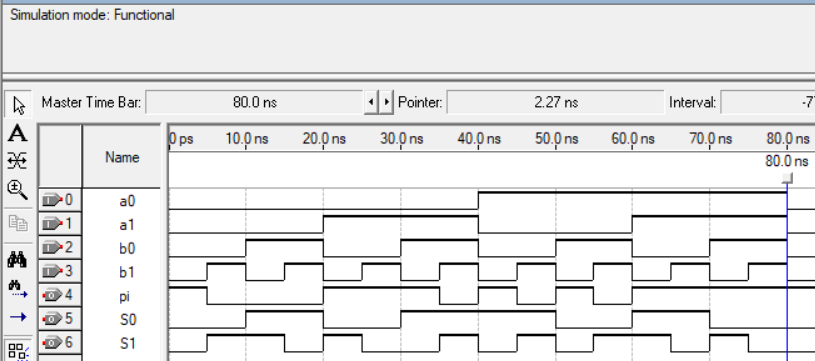


Рисунок 18 Моделирование работы двухразрядного вычитателя в режиме Functional

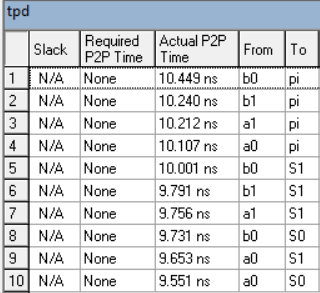


Рисунок 19 Таблица временных задержек двухразрядного вычитателя

# 3 Выводы

В результате выполнения лабораторной работы получены следующие результаты:

1. изучен принцип работы сумматора (также вычитателя на его основе);
2. получены навыки по моделированию логических схем в САПР Altera Quartus II;
3. построены и проанализированных временные диаграммы;
4. проанализированы временные задержки схемы;
5. получены навыки по загрузке полученной схемы на учебную плату.