Федеральное государственное автономное образовательное учреждение высшего образования

«Национальный исследовательский университет

«Высшая школа экономики»

Московский институт электроники и математики им. а.н. тихонова

Департамент компьютерной инженерии

**Курс «Инструментальные средства и технологии программирования»**

**ОТЧЕТ**

**о выполнении практической работы № 1.3**

**тема работы: «Знакомство с САПР Altera Quartus II»**

**Вариант 1**

Выполнили:

Пчелкин Дмитрий БИВ 155

Иванов Алексей БИВ 155

**МОСКВА 2018**

# 1 Задание

Необходимо синтезировать дешифратор 12-разрядного адреса, с диапазоном адресов 0xF0016 – 0xF0F16, исключая адреса 0xF0616 и 0xF0A16.

Создать схему для проверки функции дешифратора и произвести замер временных задержек. Запрограммировать учебную плату и продемонстрировать результаты работы на макете.

Построить временную диаграмму и выполнить моделирование в режимах Functional и Time. Сравнить и обосновать полученные результаты.

# 2 Выполнение работы

## 2.1 Синтез заданной функции

Разделим исходную функцию ДшА на фиксированную (0xF016 – старшие 2 байта) и переменную (0x616 – младший байт):

FДшА(a0…a11) = X(a11…a4)Y(a3…a0),

где X – дешифратор фиксированной части адреса, а Y – переменной.

Функция дешифрации фиксированной части адреса (X) принимает истинное значение только на входных аргументах, равных старшим двум битам заданного диапазона – 0xF016 (111100002), что эквивалентно функции:

f = a11a10a9a8ā7ā6ā5ā4.

Функция Y, для дешифрации переменной части адресса представлена в табл. 1 (значения 0xF0616 и 0xF0A16 исключены, следовательно, Y0x6,0xA=0):

Таблица 1

Таблица истинности функции Y

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **addr** | **a3** | **a2** | **a1** | **a0** | **Y** |
| 0x0 | 0 | 0 | 0 | 0 | 1 |
| 0x1 | 0 | 0 | 0 | 1 | 1 |
| 0x2 | 0 | 0 | 1 | 0 | 1 |
| 0x3 | 0 | 0 | 1 | 1 | 1 |
| 0x4 | 0 | 1 | 0 | 0 | 1 |
| 0x5 | 0 | 1 | 0 | 1 | 1 |
| 0x6 | 0 | 1 | 1 | 0 | 0 |
| 0x7 | 0 | 1 | 1 | 1 | 1 |
| 0x8 | 1 | 0 | 0 | 0 | 1 |
| 0x9 | 1 | 0 | 0 | 1 | 1 |
| 0xA | 1 | 0 | 1 | 0 | 0 |
| 0xB | 1 | 0 | 1 | 1 | 1 |

Таблица 1 (продолжение)

Таблица истинности функции Y

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 0xC | 1 | 1 | 0 | 0 | 1 |
| 0xD | 1 | 1 | 0 | 1 | 1 |
| 0xE | 1 | 1 | 1 | 0 | 1 |
| 0xF | 1 | 1 | 1 | 1 | 1 |

Для оптимизации функции Y использована карта Карно (табл. 2).

Таблица 2

Карта Карно для функции Y

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **a1a0** | **a2a3** | **ā2ā3** | **ā2a3** | **a2a3** | **a2ā3** |
| **ā1ā0** | | 1 | 1 | 1 | 1 |
| **ā1a0** | | 1 | 1 | 1 | 1 |
| **a1a0** | | 1 | 1 | 1 | 1 |
| **a1ā0** | | 1 | 0 | 1 | 0 |

Воспользовавшись склейкой выделенных в табл. 2 строк и столбцов, получим:

МДНФ = ā2ā3a2a3ā1a0.

Таблица 3

Проверка правильности МНДФ функции Y

|  |  |  |  |
| --- | --- | --- | --- |
| addr16 | addr2 | решение | ответ |
| 0x0 | 0000 | 1\*1+0\*0+1+0 | 1 |
| 0x3 | 0011 | 1\*1+0\*0+0+1 | 1 |
| 0x6 | 0110 | 1\*0+0\*1+0+0 | 0 |
| 0x9 | 0101 | 1\*0+0\*1+1+1 | 1 |
| 0xA | 1010 | 0\*1+1\*0+0+0 | 0 |
| 0xD | 1101 | 0\*0+1\*1+1+1 | 1 |
| 0xF | 1111 | 0\*0+1\*1+0+1 | 1 |

Из табл. 3 видно, что функция дешифрации переменой части адреса составлена корректно.

Итоговая функция имеет вид:

FДшА(a0…a11) = X(a11…a4)Y(a3…a0) = a11a10a9a8ā7ā6ā5ā4(ā3ā2a3a2ā1a0).

## 2.1 Моделирование блок схемы

Моделирование логической функции осуществляется с помощью САПР Altera Quartus II. Результат приведен на рис. 1.

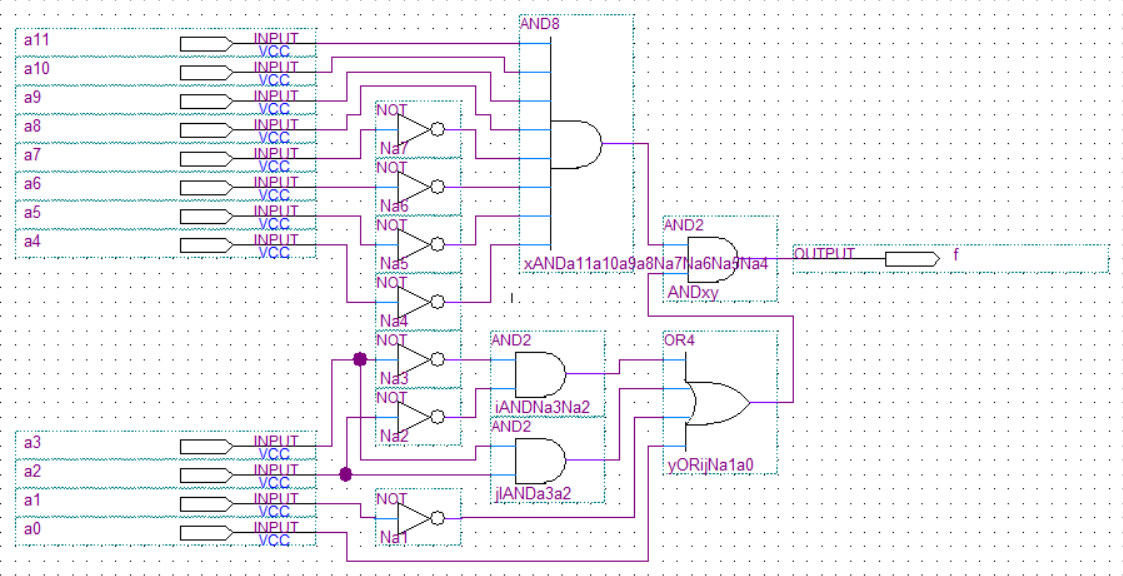


Рисунок 1. bdf файл

Для построения временных диаграмм в Altera Quartus II, создается «.vwf» файл, содержащий информацию о входных сигналах (рис. 2). Для демонстрации корректности работы реализованной схемы дешифратора адресов, на вход подаются адреса из диапазона 0xEFE-0xF16.

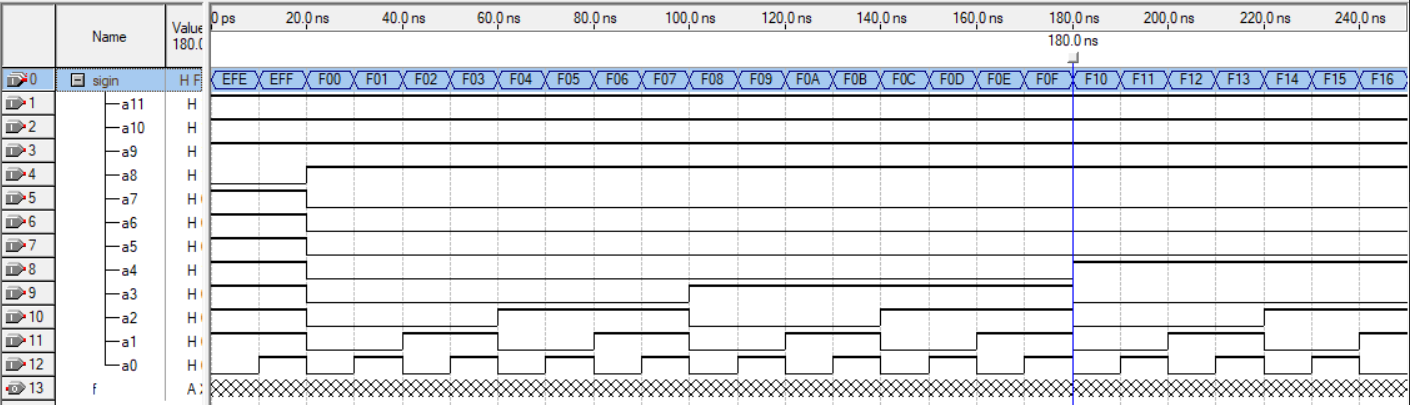


Рисунок 2. vwf файл

## 2.2 Временная диаграмма в режиме Functional

Выполняется моделирование выходного сигнала при заданном промежутке входных адресов.

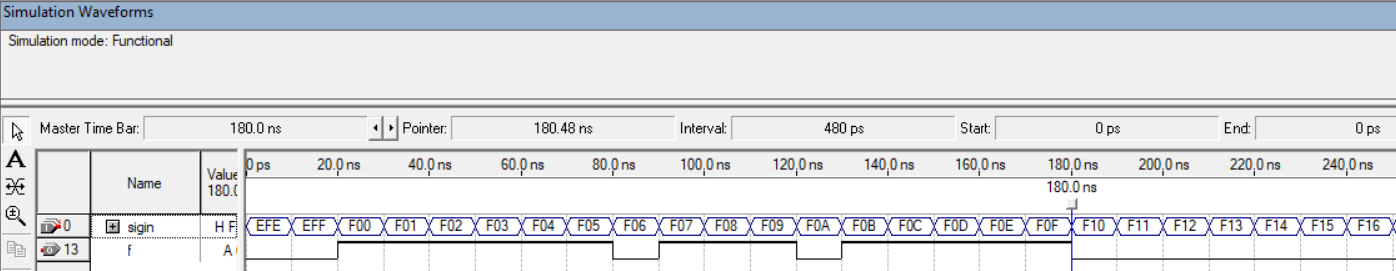


Рисунок 3. Результат выполнения моделирования в режиме Functional

Из рис. 3 видно, что результат симуляции полностью совпадает с требуемым – дешифратор пропускает все сигналы в заданном диапазоне (0xF00-0xF0F), за исключением 0xF06, 0xF0A.

В таблице на рис. 4 указаны временные задержки полученной схемы.

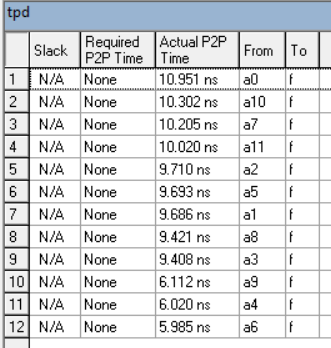


Рисунок 4. Таблица временных задержек сигнала

# 3 Выводы

В результате выполнения лабораторной работы получены следующие результаты:

1. Изучен способ минимизации логических функций с помощью карт Карно;
2. Изучен принцип работы дешифратора адресов;
3. Получены навыки по моделированию логических схем в САПР Altera Quartus II;
4. Построены и проанализированных временные диаграммы;
5. Проанализированы временные задержки схемы;
6. Получены навыки по загрузке полученной схемы на учебную плату.