

# 数字逻辑与计算机组成实验六 单周期 CPU 设计与测试 实验报告

## 一、一、实验目的

1. 了解指令执行过程及其与 CPU 基本结构之间的关系。
2. 掌握单周期数据通路及其控制器的设计方法。
3. 掌握 RISC-V 汇编语言程序的基本设计方法。
4. 理解汇编语言程序与机器语言代码之间的对应关系。

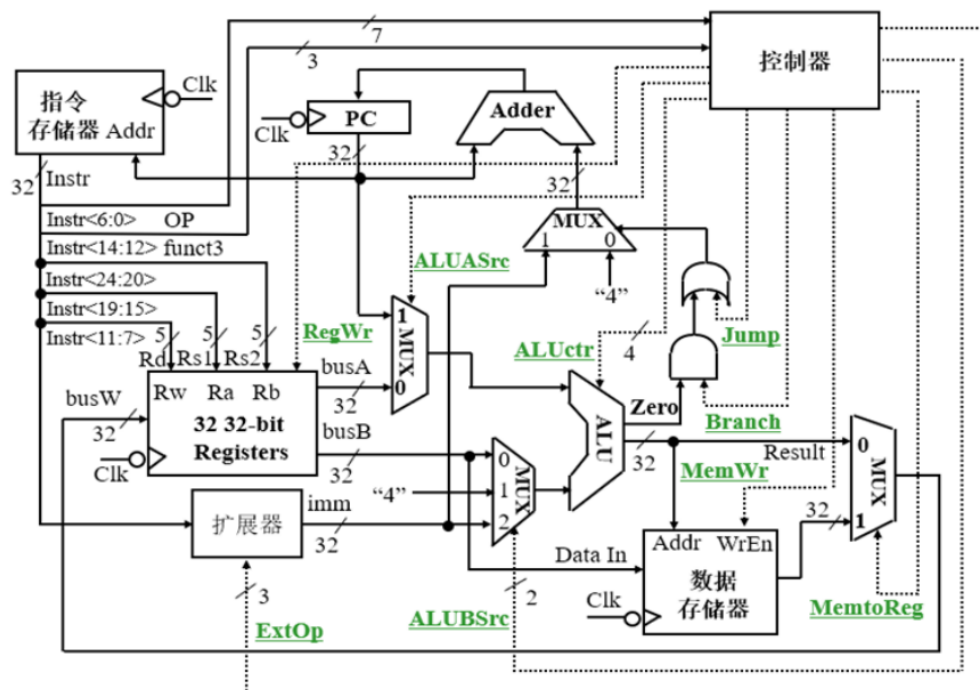
## 二、二、实验环境

Logisim: <https://github.com/Logisim-Ita/Logisim> RISC-V 模拟器工具

RARS: <https://github.com/thethirdone/rars>

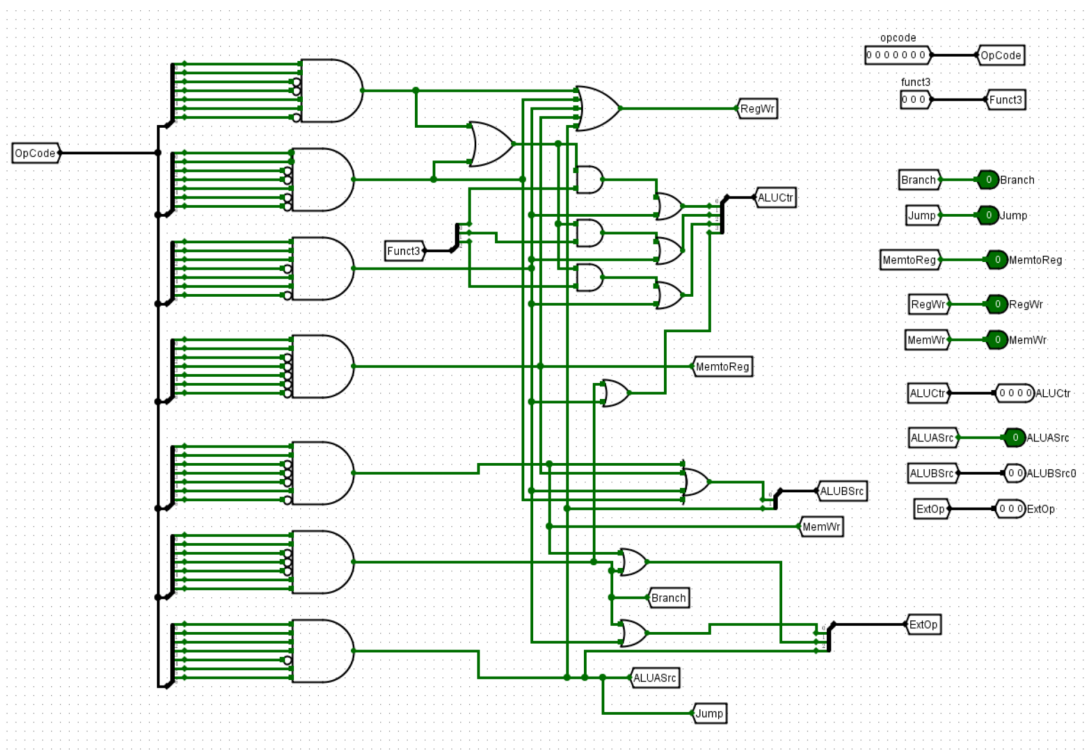
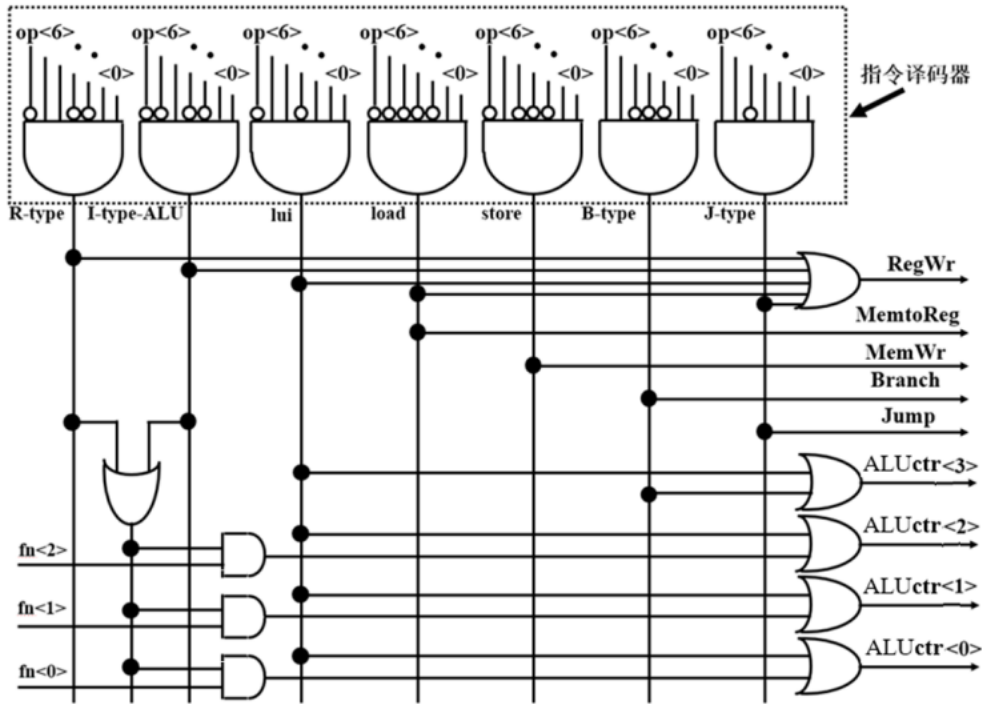
## 三、三、实验内容

进行单周期 CPU 设计与测试。支持9 条 RV32I 目标指令的单周期 CPU 结构



## 1. 1. 控制器设计实验

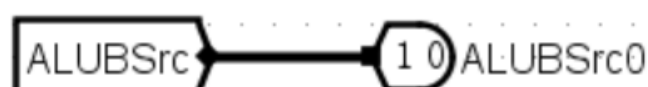
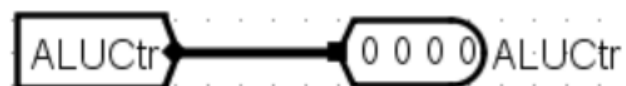
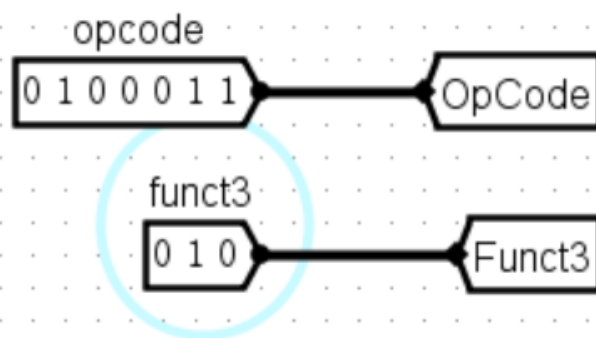
原理图及电路图



功能表

func3 op 控制信号	000	010	011	110	无关	010	010	000	无关
	0110011	0110011	0110011	0010011	0110111	0000011	0100011	1100011	1101111
	add	slt	sltu	ori	lui	lw	sw	beq	jal
Branch	0	0	0	0	0	0	0	1	0
Jump	0	0	0	0	0	0	0	0	1
ALUASrc	0	0	0	0	×	0	0	0	1
ALUBSrc<1:0>	00	00	00	10	10	10	10	00	01
ALUctr<3:0>	0000 (add)	0010 (slt)	0011 (sltu)	0110 (or)	1111 (srcB)	0000 (add)	0000 (add)	1000 (sub)	0000 (add)
MemtoReg	0	0	0	0	0	1	×	×	0
RegWr	1	1	1	1	1	1	0	0	1
MemWr	0	0	0	0	0	0	1	0	0
ExtOp<2:0>	×	×	×	000 immI	001 immU	000 immI	010 immS	011 immB	100 immJ

仿真测试



ALUBSrc



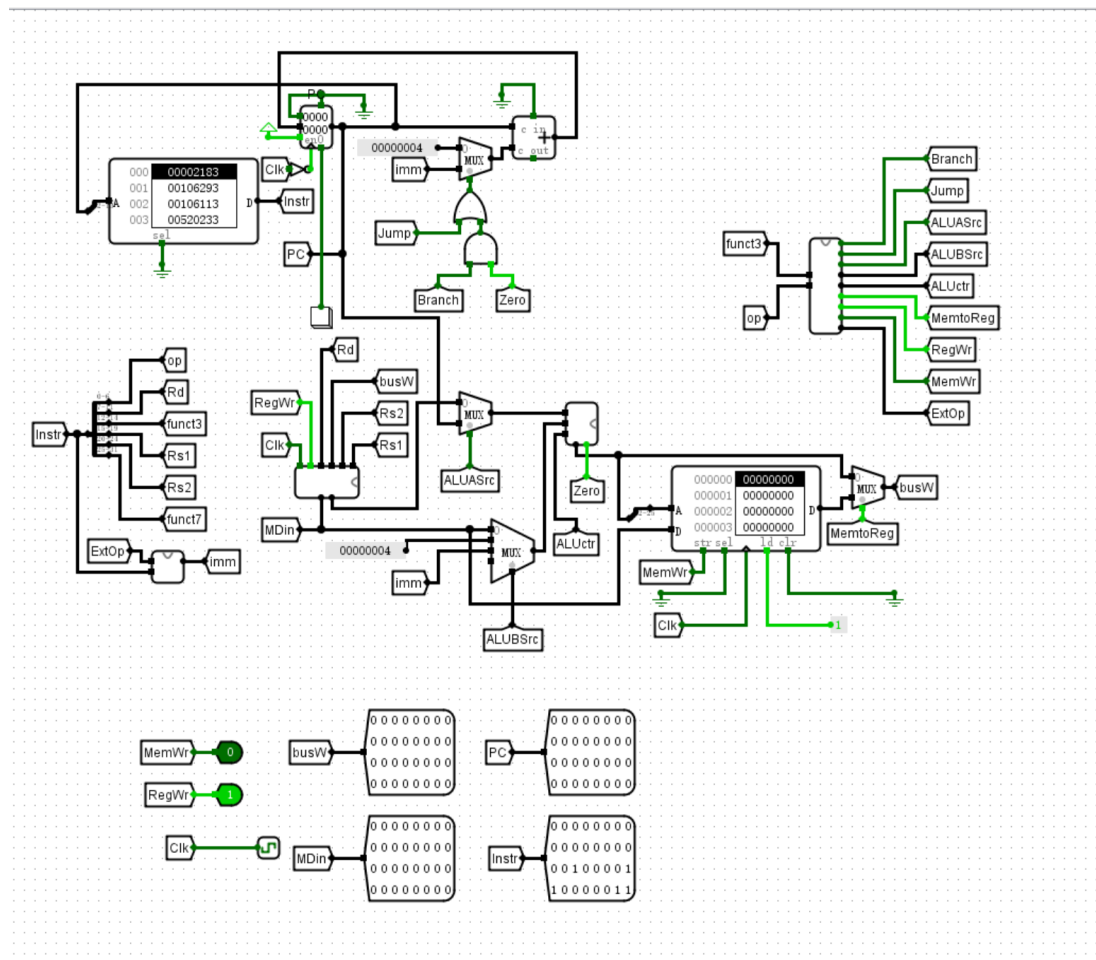


错误现象及分析

无

## 2. 2. 单周期 CPU 设计实验

原理图及电路图



输入输出引脚

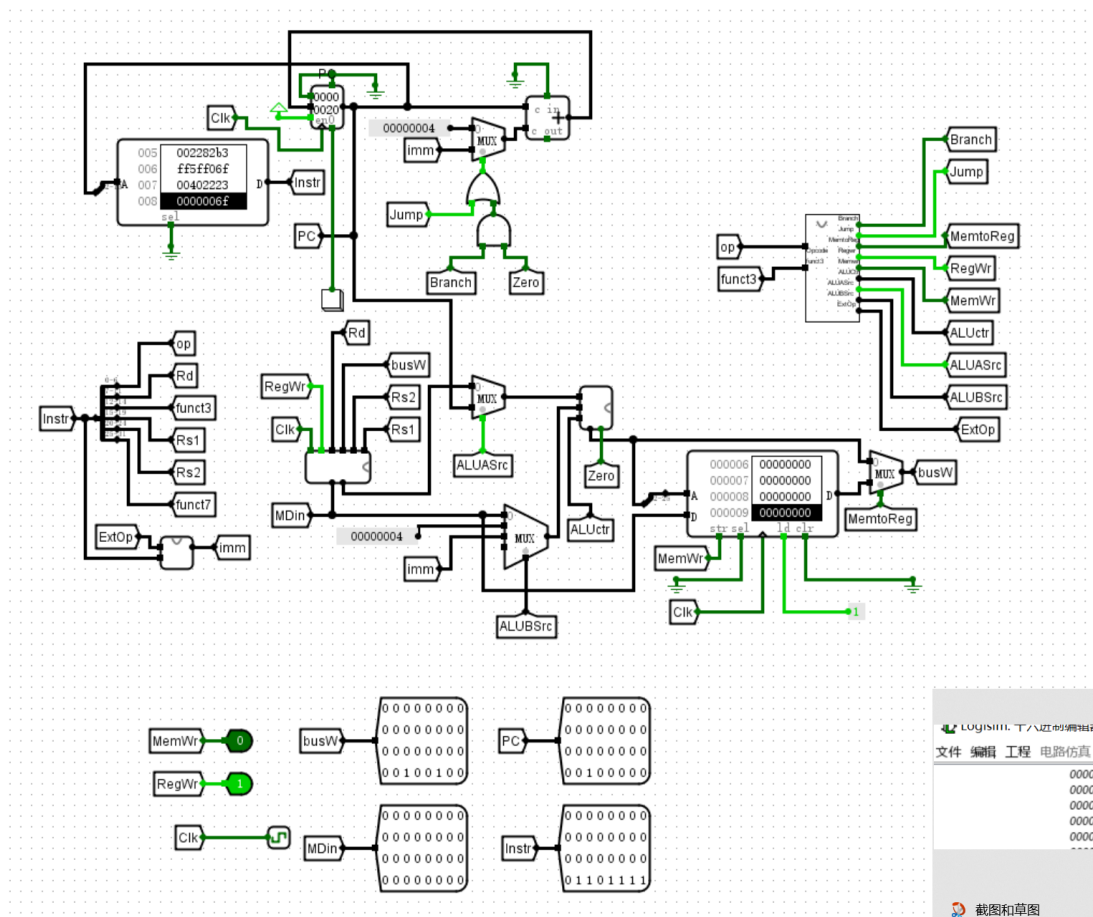
instr:

op 操作码 funct3 功能码

rd 目标寄存器 rs1 rs2 源寄存器 funct7额外功能码

extop 扩展方式 imm扩展的立即数





错误现象及分析

无

#### 4. 4. 用冒泡排序程序进行 CPU 设计验证

原理图及电路图

同上

输入输出引脚

同上

仿真测试

编辑	工程	电路仿真	窗口	帮助
000000	00000001	00000002	00000005	00000006
000010	00000000	00000000	00000000	00000000
000020	00000000	00000000	00000000	00000000
000030	00000000	00000000	00000000	00000000
000040	00000000	00000000	00000000	00000000
000050	00000000	00000000	00000000	00000000

错误现象及分析

无