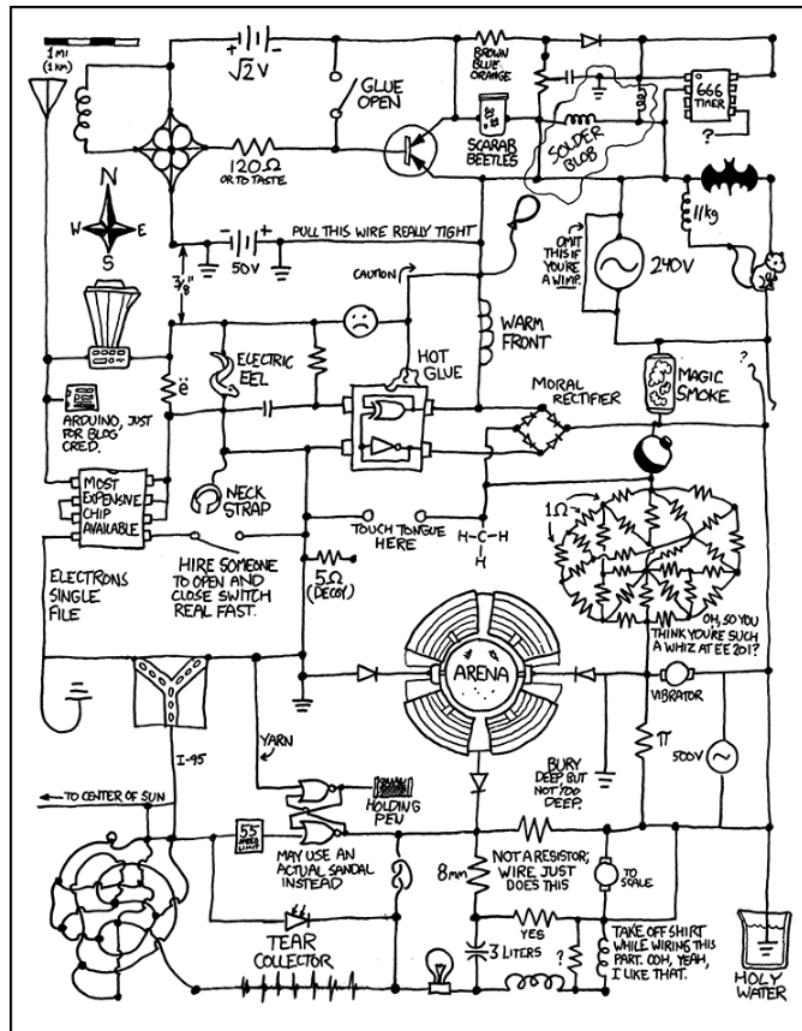


Dispensa del laboratorio di elettronica (LOEFM)

Lorenzo Ramella, Alessandro Matteo Rossi, Marco Tambini

AA 2020-2021



Relevant xkcd

Sommario

Le lezioni del prof. Stefano Riboldi relative al laboratorio di elettronica del secondo anno,
"sbobinate".

Indice

1 Richiami alle nozioni di base	3
1.1 Generatori	3
1.2 Resistori	4
1.3 Condensatori	5
1.4 Induttori	5
1.5 Circuiti RC nel tempo	6
1.6 Circuiti RL nel tempo	7
2 Leggi circuituali e concetti fondamentali	9
2.1 Leggi di Kirchhoff	9
2.2 Circuiti partitori di tensione e corrente	10
2.3 Generatori reali	12
2.4 Circuiti equivalenti di Thevenin e di Norton	13
2.5 Impedenza di sorgente, di carico ed effetto di carico	15
2.6 Caratterizzazione degli elementi R, L, C nel dominio della frequenza	16
2.7 I sistemi lineari, tempo invarianti	18
3 Circuiti passivi con elementi RLC	21
3.1 Circuiti RC e RL	21
3.2 Circuiti risonanti serie	26
3.3 Circuiti risonanti parallelo	30
4 Circuiti attivi lineari con amplificatori operazionali	33
4.1 L'amplificatore operazionale	33
4.2 Circuiti di amplificazione invertenti e non invertenti	37
4.3 Filtri attivi in frequenza	42
4.4 Circuiti risonanti attivi	52
5 Circuiti attivi non lineari con amplificatori operazionali	59
5.1 Diodi	59
5.2 Rettificatori	65
5.3 Circuiti astabili e affini	69
6 Dispositivi attivi di base	73
6.1 Dispositivi obsoleti o rari	73
6.2 MOS	75
7 Nozioni di base di elettronica digitale	87
7.1 Algebra Booleana	87
7.2 Porte logiche	90
7.3 Aritmetica binaria	94
7.4 Dispositivi digitali	97

1 Richiami alle nozioni di base

1.1 Generatori

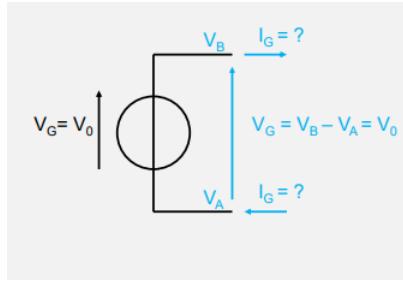


Figura 1.1: Schizzo di un generatore ideale di tensione

Un *generatore ideale di tensione* è un dipolo a due terminali il quale matematicamente definisce una relazione tra i potenziali ai due capi del generatore, ovvero impone la differenza di potenziale ad un valore fisso.

In un dipolo è possibile definire una differenza di potenziale V e una corrente I . In un generatore di tensione la prima è imposta dal generatore stesso, mentre la seconda dipende dal circuito esterno. Nel caso schematizzato in figura 1.1, essendo il circuito aperto, $I_G = 0$.

La potenza generata è pari a

$$P_G = V_G \cdot I_G$$

Si noti che, usando la convenzione dei generatori, la potenza è *generata* (quindi positiva) se la corrente è uscente dal lato della tensione positiva, essendo in questa convenzione il verso della tensione concorde con il verso della corrente. Quando si lavora sugli utilizzatori si usa la convenzione opposta. Un esempio di generatore di tensione può essere una classica pila.

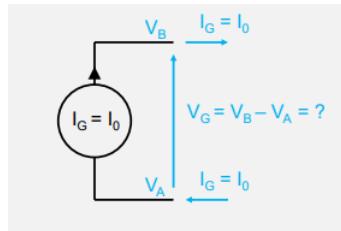


Figura 1.2: Schizzo di un generatore ideale di corrente

Nel caso di un *generatore di corrente*, invece, il generatore impone la corrente, mentre la tensione dipende dal circuito esterno.

La potenza generata, con la convenzione dei generatori, è sempre

$$P_G = V_G \cdot I_G$$

Questi generatori sono meno comuni dei generatori di tensione.

1.2 Resistori

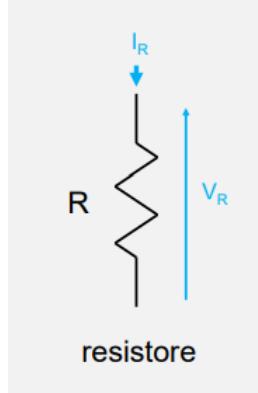


Figura 1.3: Schizzo di un resistore

Il *resistore* (o *resistenza*) è il primo esempio di elemento *passivo*, o *di carico*, a cui è possibile collegare un generatore. È un dipolo, quindi si può definire ai suoi capi una differenza di potenziale V_R ed una corrente I_R . Si noti, come schematizzato in figura 1.3, che il verso della corrente è discorde con il verso della tensione. Questa è la cosiddetta convenzione degli utilizzatori, opposta a quella dei generatori.

Legge di Ohm: all'interno di un resistore esiste una precisa relazione tra le grandezze V_R e I_R :

$$\frac{V_R}{I_R} = \text{costante} = R[\Omega] = \frac{1}{G[S]}$$

R è la *resistenza* e si misura in ohm (Ω). G è la *conduttanza* e si misura in siemens (S). La legge di Ohm è spesso scritta nella forma

$$V = R \cdot I \quad (1)$$

Poiché R non è un parametro che dipende dal tempo, la legge di Ohm evolve nel tempo semplicemente come

$$V_R(t) = I_R(t) \cdot R$$

La potenza, questa volta *dissipata*, è

$$P_R(t) = V_R(t) \cdot I_R(t) \quad \text{oppure} \quad P_R(t) = V_R^2(t)/R$$

spesso scritta nella forma della **legge di Joule**:

$$P_R(t) = I_R^2(t) \cdot R \quad (2)$$

Nota importante: dalla legge di Joule si evince che, facendo passare corrente in un resistore, questo dissipà energia, quindi si scalda. In laboratorio è importante prestare la massima attenzione per evitare ustioni.

1.3 Condensatori

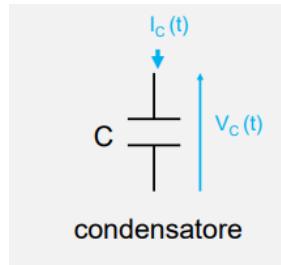


Figura 1.4: Schizzo di un condensatore

Un *condensatore* immagazzina al suo interno una carica Q , misurata in coulomb (C). Questa è l'integrale della corrente che attraversa il condensatore nel tempo.

In un condensatore esiste una relazione tra la carica in esso immagazzinata e la differenza di potenziale ai suoi capi:

$$\frac{Q_C(t)}{V_C(t)} = C[F]$$

C è la *capacità*, e si misura in farad (F), ed è una costante positiva.

$$I_C(t) = \frac{dQ_C(t)}{dt} = C \frac{dV_C(t)}{dt}$$

Un condensatore è in grado di immagazzinare un'energia

$$E_C(t) = \frac{1}{2} Q_C(t) V_C(t) = \frac{1}{2} C V_C^2(t)$$

1.4 Induttori

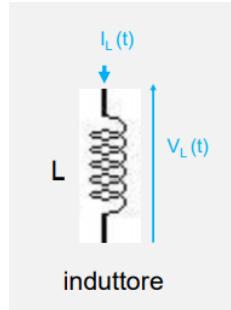


Figura 1.5: Schizzo di un induttore

L'*induttore*, meno diffuso del condensatore, ne è l'*elemento duale*. Detto Φ il flusso del campo magnetico, misurato in weber (Wb), si ha che

$$\frac{\Phi_L(t)}{I_L(t)} = \text{costante positiva} = L$$

L è detta *induttanza* e si misura in henry [H].

$$V_L = \frac{d\Phi_L(t)}{dt} = L \frac{dI_L(t)}{dt}$$

Mentre nel condensatore era la corrente ad essere proporzionale alla derivata della tensione rispetto al tempo, qui è la tensione ad essere proporzionale alla derivata della corrente rispetto al tempo. L'energia immagazzinata è

$$E_L(t) = \frac{1}{2} \Phi_L(t) I_L(t) = \frac{1}{2} L I_L^2(t)$$

L'induttore, pur essendo analogo al condensatore, ha dei comportamenti controintuitivi. Per esempio, cortocircuitando un condensatore si disperde tutta l'energia in esso immagazzinata, mentre per mantenere l'energia immagazzinata bisogna isolarlo.

Nell'induttore l'energia immagazzinata dipende dalla corrente: affinché si mantenga l'energia immagazzinata in un induttore, quindi, serve che la derivata delle corrente rispetto al tempo sia nulla, ovvero che la differenza di potenziale ai due poli dell'induttore sia nulla. Quindi, per mantenere l'energia immagazzinata, bisogna cortocircuitare l'induttore.

1.5 Circuiti RC nel tempo

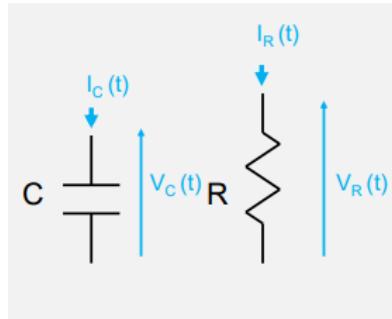


Figura 1.6: Schizzo di un circuito RC ($t < 0$)

Un *circuito RC* è un sistema a 4 gradi di libertà (2 tensioni e 2 correnti), essendo costituito da 2 dipoli. Nel caso schematizzato in figura 1.6, per $t < 0$ le condizioni al contorno sono:

- $I_R(t) = 0$ (dipolo non connesso)
- $I_C(t) = 0$ (dipolo non connesso)
- $V_R(t) = 0$ (legge di Ohm)
- $V_C(t) = \frac{q_0}{C} = v_0$

Chiudendo il circuito come illustrato in figura 1.7 si ha che:

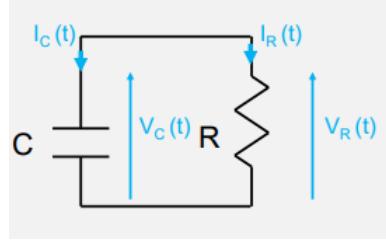


Figura 1.7: Schizzo di un circuito RC ($t > 0$)

- $I_C(t) = -I_R(t)$ (dipoli in serie e frecce discordi)
- $V_C(t) = V_R(t)$ (dipoli in parallelo e frecce concordi)
- $\frac{dV_C(t)}{dt} = \frac{I_C(t)}{C} = -\frac{I_R(t)}{C} = -\frac{V_R(t)}{CR} = -\frac{V_C(t)}{CR}$
- $V_C(t) = V_R(t) = v_0 \cdot e^{-t/(CR)}$
- $I_C(t) = -I_R(t) = \frac{v_0}{R} \cdot e^{-t/(CR)}$

Dopo aver notato il fatto che la quantità CR ha la dimensione dei secondi, la si può anche riscrivere come $\tau = CR$.

1.6 Circuiti RL nel tempo

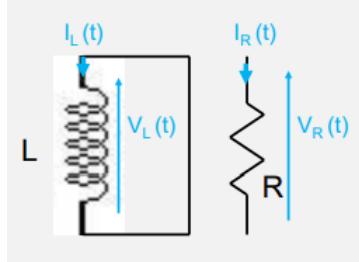


Figura 1.8: Schizzo di un circuito RL ($t < 0$)

Un *circuito RL* è un sistema sempre a 4 gradi di libertà (2 tensioni e 2 correnti). Nel caso schematizzato in figura 1.8, per $t < 0$ le condizioni al contorno sono:

- $I_R(t) = 0$ (dipolo non connesso)
- $V_R(t) = 0$ (legge di Ohm)
- $V_L(t) = 0$
- $I_L(t) = \frac{\phi_0}{L} = i_0$ (la corrente si mantiene perché l'induttore è in cortocircuito)

Chiudendo il circuito come illustrato in figura 1.9 si ha che:

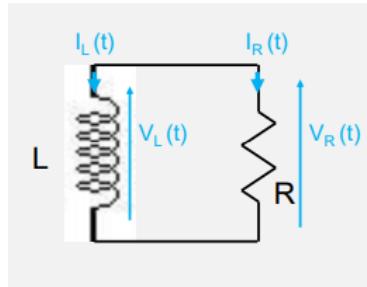


Figura 1.9: Schizzo di un circuito RL ($t > 0$)

- $I_L(t) = -I_R(t)$ (dipoli in serie e frecce discordi)
- $V_L(t) = V_R(t)$ (dipoli in parallelo e frecce concordi)
- $\frac{dI_L(t)}{dt} = \frac{V_L(t)}{L} = \frac{V_R(t)}{L} = -I_R(t)\frac{R}{L} = -I_L(t)\frac{R}{L}$
- $I_L(t) = -I_R(t) = i_0 \cdot e^{-t/\tau}$
- $V_L(t) = V_R(t) = i_0 \cdot R \cdot e^{-t/\tau}$

Dove $\tau = L/R$.

2 Leggi circuituali e concetti fondamentali

2.1 Leggi di Kirchhoff

Dato un circuito costituito da dipoli, definiamo:

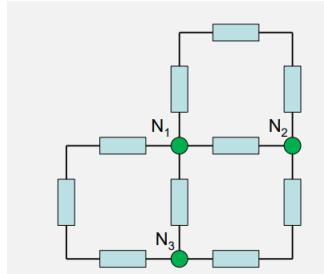


Figura 2.1: Schizzo di un circuito di dipoli. In verde i nodi

Nodi i punti di contatto tra 3 o più dipoli (figura 2.1);

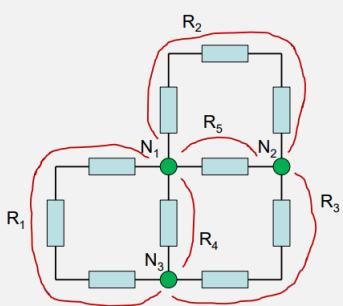


Figura 2.2: Schizzo di un circuito di dipoli. In rosso i rami

Rami i percorsi compresi tra due nodi (figura 2.2);

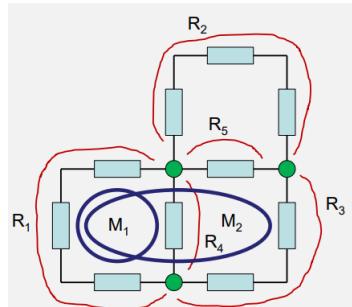


Figura 2.3: Schizzo di un circuito di dipoli. In blu le maglie

Maglie insiemi chiusi di rami (figura 2.3);

Partendo da queste definizioni, introduciamo le due *leggi di Kirchhoff*:

La legge delle correnti (KCL): La somma algebrica delle correnti nei rami afferenti a ciascun nodo è nulla.

$$\sum I_n = 0 \quad (3)$$

In altre parole: a ciascun nodo, la somma delle correnti entranti è pari alla somma delle correnti uscenti.

La legge delle tensioni (KVL): La somma algebrica delle tensioni sui rami di ciascuna maglia è nulla.

$$\sum V_n = 0 \quad (4)$$

In altre parole: la somma algebrica delle differenze di potenziale su ogni percorso che unisce due medesimi punti è costante.

2.2 Circuiti partitori di tensione e corrente

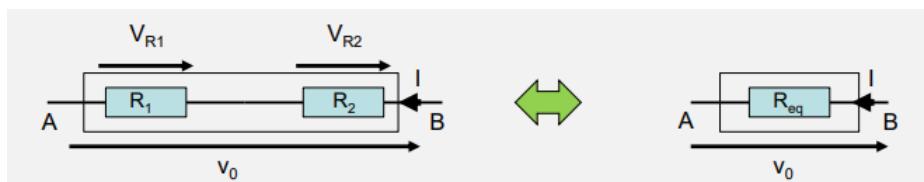


Figura 2.4: Schizzo di un sistema di due dipoli in serie (partitore di tensione)

Due dipoli sono detti *in serie* se (e solo se) condividono la stessa corrente. Dalle equazioni 1 e 4 sappiamo rispettivamente che

$$V_{R1} = I \cdot R_1 \quad \text{e} \quad V_{R2} = I \cdot R_2$$

$$V_{R1} + V_{R2} = V_0$$

quindi

$$V_0 = I \cdot (R_1 + R_2) \Rightarrow I = \frac{V_0}{R_1 + R_2} = \frac{V_0}{R_{eq}}$$

$$R_{eq} = R_1 + R_2$$

Se ho due o più resistenze collegate in serie, esse equivalgono ad un unico resistore la cui resistenza equivalente è pari alla somma delle singole resistenze.

Se si volesse ora trovare il valore di V_{R1} basta pensare che

$$V_{R1} = I \cdot R_1 = V_0 \frac{R_1}{R_{eq}}$$

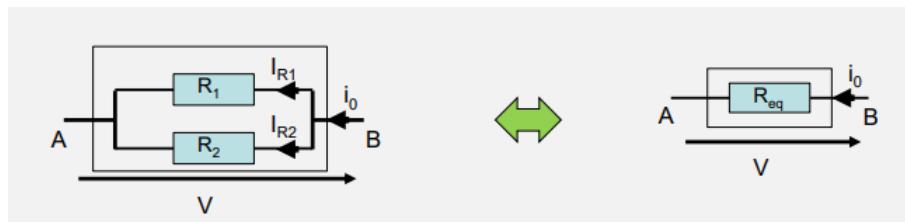


Figura 2.5: Schizzo di un sistema di due dipoli in parallelo (partitore di corrente)

Due dipoli sono detti *in parallelo* se (e solo se) condividono la stessa tensione. Dalle equazioni 1 e 3 sappiamo rispettivamente che

$$V = I_1 \cdot R_1 \quad \text{e} \quad V = I_2 \cdot R_2$$

$$I_{R1} + I_{R2} = I_0$$

quindi

$$I_0 = \frac{V}{R_1} + \frac{V}{R_2} \Rightarrow I_0 = V \left(\frac{1}{R_1} + \frac{1}{R_2} \right) = V \left(\frac{R_1 + R_2}{R_1 R_2} \right)$$

$$R_{eq} = \frac{R_1 R_2}{R_1 + R_2} \quad \text{oppure} \quad \frac{1}{R_{eq}} = \left(\frac{1}{R_1} + \frac{1}{R_2} \right)$$

Se ho due o più resistenze collegate in parallelo, esse equivalgono ad un unico resistore la cui resistenza equivalente è pari alla somma armonica delle singole resistenze.

Nota importante: d'ora in avanti si userà il simbolo $/\!/$ per indicare la somma armonica tra due o più quantità.

$$\left(\frac{1}{R_1} + \frac{1}{R_2} \right)^{-1} := R_1 // R_2$$

Se si volesse ora trovare il valore di I_{R1} basta pensare che

$$I_{R1} = \frac{V}{R_1} = I_0 \frac{R_{eq}}{R_1} = I_0 \frac{R_2}{R_1 + R_2}$$

2.3 Generatori reali

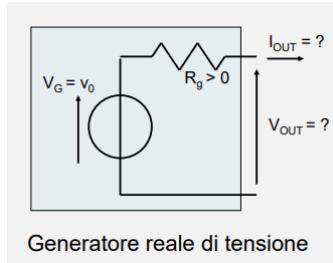


Figura 2.6: Schizzo di un generatore reale di tensione

In un *generatore reale*, si distingue la differenza di potenziale ai capi del generatore V_G dalla differenza di potenziale ai capi del sistema a cui il generatore è collegato:

$$V_{OUT} = V_G - V_R$$

dove V_R è la *caduta di tensione* ai capi del resistore R_g dovuta alla corrente che scorre all'esterno del circuito. Quindi:

- V_{OUT} dipende anche dal circuito esterno
- I_{OUT} dipende anche dal circuito esterno
- P_{OUT} (generata) = $V_{OUT} \cdot I_{OUT}$

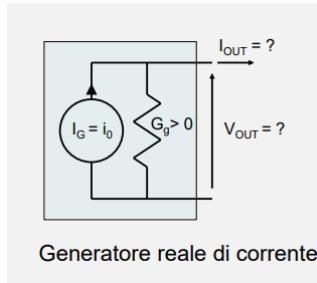


Figura 2.7: Schizzo di un generatore reale di corrente

Con un discorso analogo a quello del caso precedente ricaviamo che

- I_{OUT} dipende anche dal circuito esterno
- V_{OUT} dipende anche dal circuito esterno
- P_{OUT} (generata) = $V_{OUT} \cdot I_{OUT}$

2.4 Circuiti equivalenti di Thevenin e di Norton

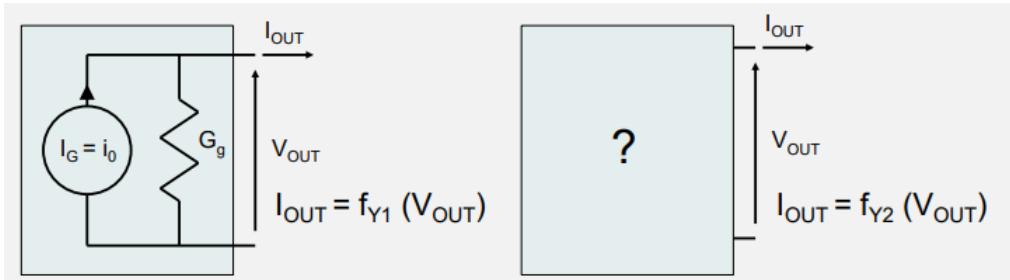


Figura 2.8: Il dipolo ignoto

Si immagini di prendere il dipolo rappresentato in figura 2.8. Come caratterizzarlo senza “aprire” la scatola?

Poiché le uniche due grandezze misurabili sono la tensione e la corrente, l’unico strumento che si ha a disposizione è la *curva caratteristica* $I - V$:

$$I_{OUT} = f_Y(V_{OUT}) \quad \text{oppure} \quad V_{OUT} = f_Z(I_{OUT})$$

Due dipoli sono *equivalenti* se e solo se hanno la stessa curva caratteristica.

Se le relazioni sono lineari basta determinarne 2 punti. Come nell’esempio mostrato in figura 2.9

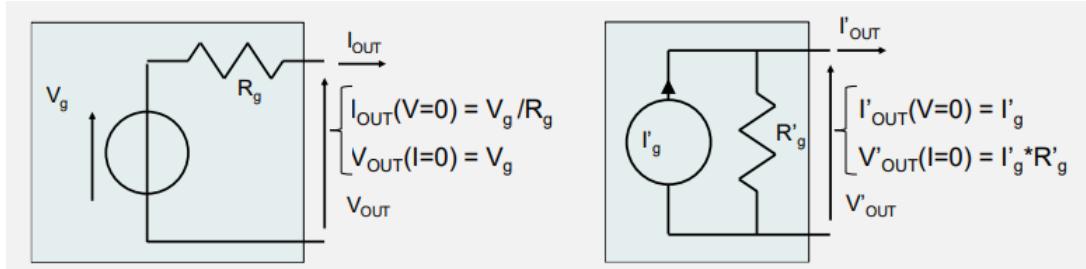


Figura 2.9: Esempio di due dipoli di cui determinare l’equivalenza

Imponendo $I_{OUT}(0) = I'_{OUT}(0)$ e $V_{OUT}(0) = V'_{OUT}(0)$ si trovano le relazioni

$$R_g = R'_g$$

$$V_g = I'_g \cdot R'_g$$

Ne segue che i due circuiti (quando soddisfano queste due condizioni), pur essendo circuiti diversi, sono equivalenti.

Questo risultato ha un’importante conseguenza: ogni rete elettrica composta da resistori, generatori di tensione e corrente ha 2 equivalenti circuituali (ad eccezione dei generatori ideali).

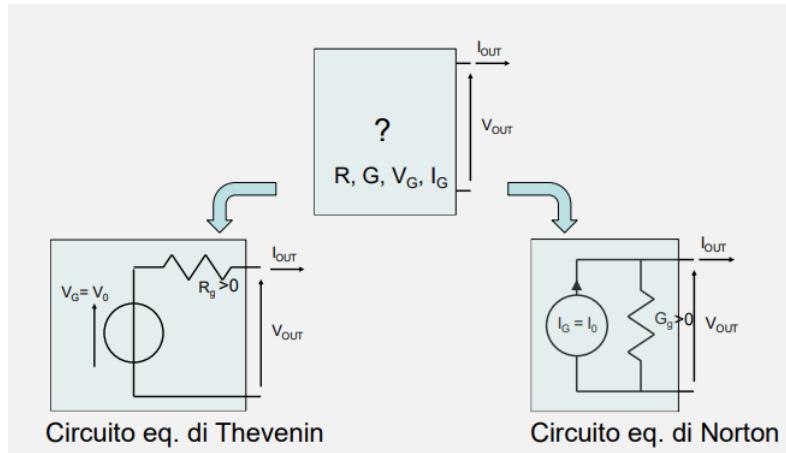


Figura 2.10: Ogni rete elettronica ha 2 equivalenti circuituali

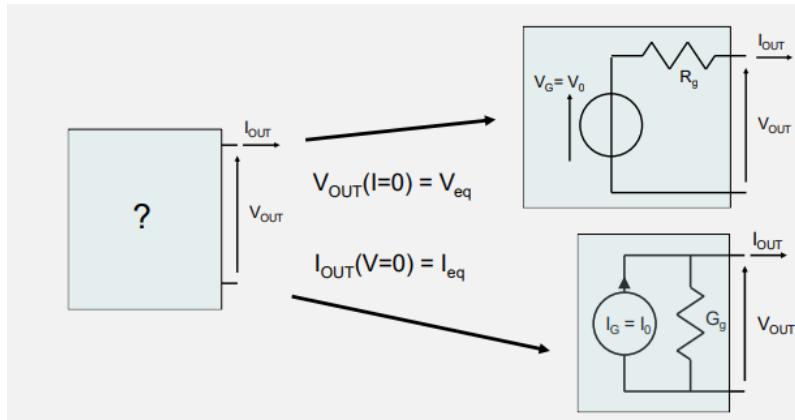


Figura 2.11: Modelli equivalenti di una generica rete LTI (Linear Time-Invariant)

Nota importante: nella realtà del laboratorio i circuiti non sopportano tutto. Bisogna fare attenzione a come vengono fatti i collegamenti per evitare macelli.

Se ci si aspetta che un circuito ignoto sia un generatore di tensione, sarà ragionevolmente sicuro misurare V_{eq} (ma non I_{eq}). Viceversa, se ci si aspetta che sia un generatore di corrente, sarà ragionevolmente sicuro misurare I_{eq} (ma non V_{eq}). Leggere sempre e comunque le istruzioni d'uso dei componenti prima di fare qualunque cosa.

Nella realtà, per determinare l'equivalenza di due circuiti, ci si muove all'interno di un ristretto intervallo di parametri:

- per i generatori di tensione: $|I_{eq}| < I_{max}$
- per i generatori di corrente: $|V_{eq}| < V_{max}$

Esempio: il caricatore del cellulare (USB) è equivalente ad un generatore di tensione (reale), con differenza di potenziale in uscita pari a $V_{OUT} = +5 \text{ V}$ e corrente in uscita $I_{OUT} < 1 \text{ A}$.

2.5 Impedenza di sorgente, di carico ed effetto di carico

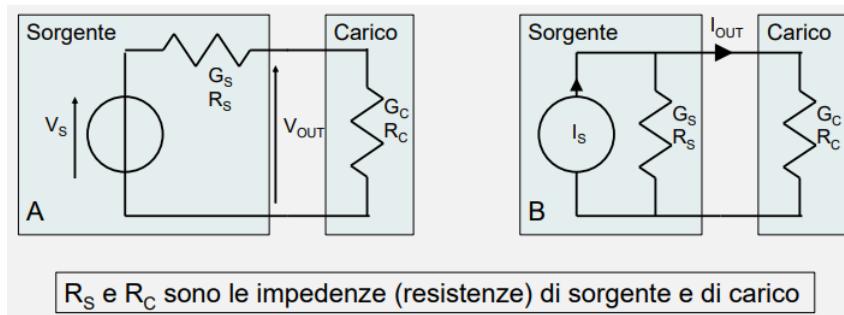


Figura 2.12: Impedenze di sorgente e di carico

Ad un generatore di tensione è possibile collegare carichi diversi. Il carico “migliore” che è possibile collegare al generatore di tensione è il carico cosiddetto “ideale” (non collegare, cioè avere una resistenza infinita), mentre il carico “peggiore”, in questo senso, è il cortocircuito (collegare una resistenza nulla). Quest’ultimo carico è particolarmente problematico perché, facendo fluire liberamente la corrente ai due capi del generatore, “impedisce” al generatore di imporre una differenza di potenziale ai suoi due capi. Un generatore vero potrebbe rompersi.

Nel caso invece del generatore di corrente, il carico ideale è il cortocircuito, poiché permette alla corrente da questo generata di fluire liberamente, mentre il carico peggiore è una resistenza infinita (non collegare), perché la corrente generata non può andare da nessuna parte.

Con l’espressione *togliere il carico* si intende, per il generatore di tensione, scollegare; per il generatore di corrente, cortocircuitare.

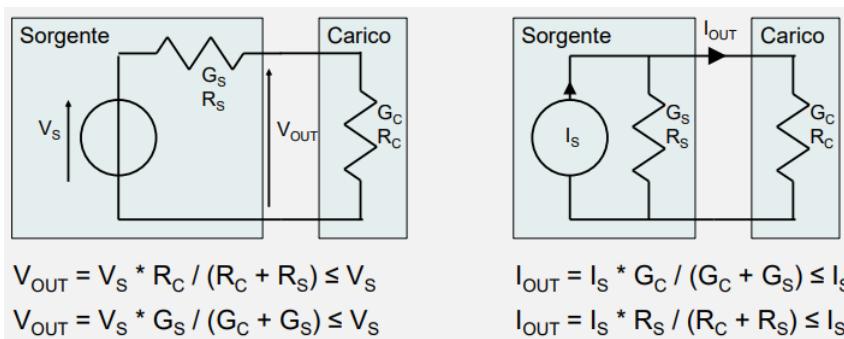


Figura 2.13: Effetto di carico

Con l’espressione *effetto di carico* si intende l’effetto per il quale, collegando un carico non ideale ad un generatore:

- di tensione, la tensione effettiva V_{OUT} generata è minore, in modulo, rispetto al valore V_s idealmente prodotto dal generatore
- di corrente, la corrente effettiva I_{OUT} generata è minore, in modulo, rispetto al valore I_s idealmente prodotto dal generatore

L'effetto di carico non sarebbe presente se non esistesse la resistenza R_S , ovvero se ci trovasimo in presenza di un *generatore ideale*. Purtroppo questi generatori non esistono.

Impedenza ottimale	Per segnali di tensione	Per segnali di corrente
Sorgente (R_S)	Bassa	Alta
Carico (R_C)	Alta	Bassa

Figura 2.14: Tabella dell'impedenza ottimale

È possibile tuttavia provare a limitare questo effetto entro dei limiti accettabili, cercando di ridurre i termini moltiplicativi $R_C/(R_C + R_S)$ e $R_S/(R_C + R_S)$.

Per limitare l'effetto di carico è quindi opportuno avere:

$$R_C \gg R_S \quad \text{per generatori di tensione}$$

$$R_C \ll R_S \quad \text{per generatori di corrente}$$

2.6 Caratterizzazione degli elementi R, L, C nel dominio della frequenza

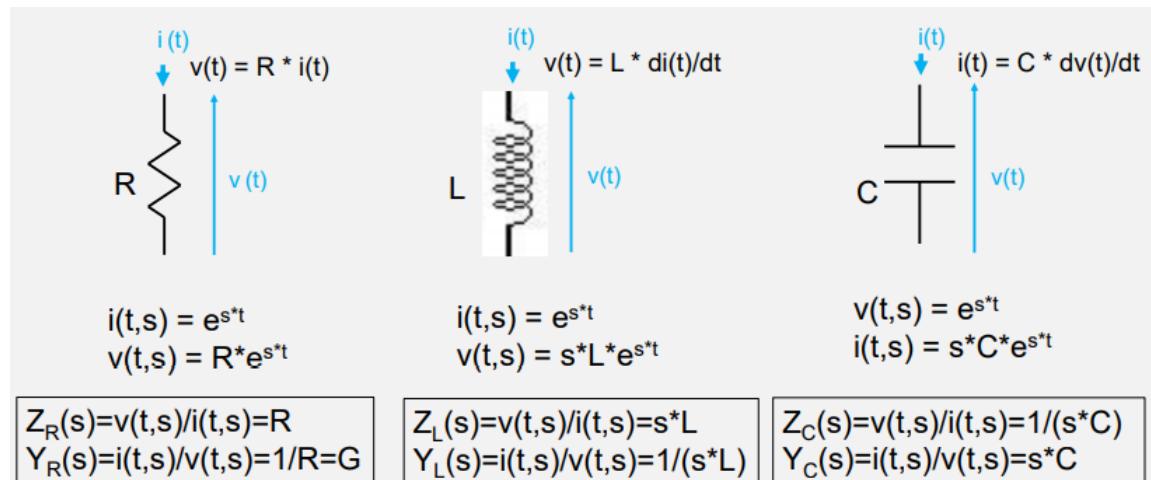


Figura 2.15: Gli elementi RLC

dove

- s è una variabile complessa;
- abbiamo ipotizzato che la corrente segua l'evoluzione $i(t, s) = e^{s \cdot t}$ per la resistenza e per l'induttore;
- abbiamo ipotizzato che la tensione segua l'evoluzione $v(t, s) = e^{s \cdot t}$ per il condensatore.

Otteniamo così l'*impedenza* Z , che si misura in ohm, e l'*ammettenza* Y , che si misura in siemens. Queste due grandezze sono legate dalla relazione $Z = Y^{-1}$. Essendo tuttavia il parametro s complesso, anche le grandezze Z e Y sono complesse.

D'ora in avanti, per evitare fraintendimenti con l'intensità di corrente, l'unità immaginaria verrà indicata con il simbolo j .

Ricordiamo la *formula di Eulero*:

$$e^{st} = e^{(\sigma+j\cdot 2\pi f)t} = e^{\sigma t}(\cos(2\pi f \cdot t) + j\sin(2\pi f \cdot t))$$

Se $s = j\omega \Rightarrow e^{st} = \cos(\omega t) + j\sin(\omega t) \Rightarrow |e^{st}| = 1 \forall t \in \mathbb{R}$

Definiamo la fase di un numero complesso come

$$\angle(a + jb) = \text{atan}(b/a)$$

Abbiamo quindi che:

- $Z_R(j\omega) = R \Rightarrow |Z_R(j\omega)| = R$ e $\angle(Z_R(j\omega)) = 0$
- $Z_L(j\omega) = j\omega L \Rightarrow |Z_L(j\omega)| = \omega L$ e $\angle(Z_L(j\omega)) = \frac{\pi}{2}$
- $Z_C(j\omega) = 1/(j\omega C) \Rightarrow |Z_C(j\omega)| = 1/(\omega C)$ e $\angle(Z_C(j\omega)) = -\frac{\pi}{2}$

In queste formule è possibile apprezzare la dualità tra condensatore e induttore.

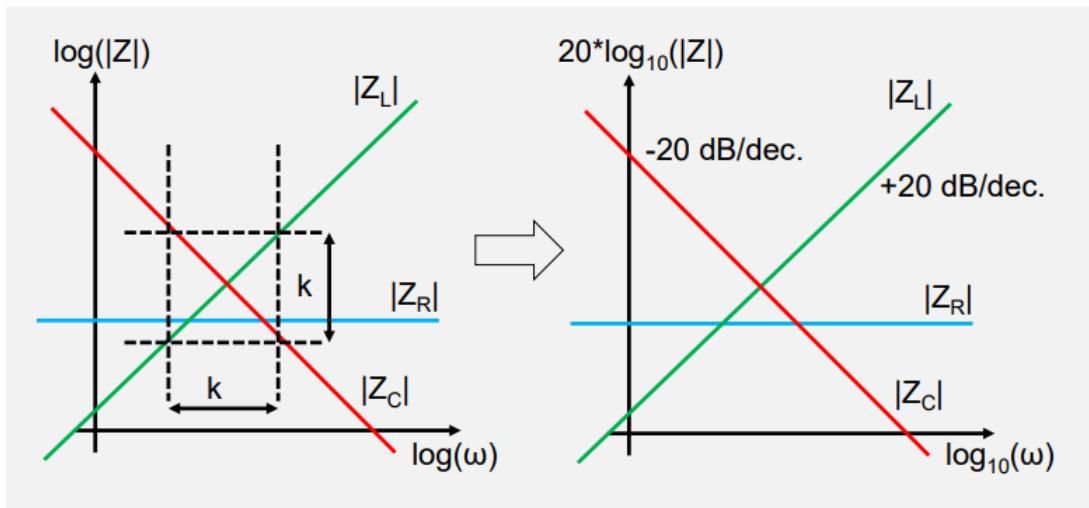


Figura 2.16: Grafico impedenze

2.7 I sistemi lineari, tempo invarianti

Un sistema lineare è più complesso di un dipolo. Possiamo vederlo, per il momento, come un doppio dipolo.

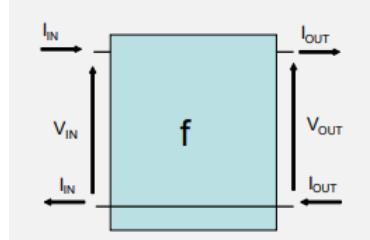


Figura 2.17: Un doppio dipolo

Un doppio dipolo ha quattro gradi di libertà, due tensioni e due correnti. I segnali in ingresso e in uscita nel sistema possono essere sia tensioni che correnti. Il doppio dipolo schematizzato in figura 2.17 è un caso particolare, essendo i due poli raffigurati in basso equipotenziali (essendoci un collegamento diretto tra di loro).

Ma cos'è un *sistema lineare*? Dato un sistema f , dotato di un ingresso (formato eventualmente anche da un certo numero di entrate elementari) ed un'uscita, questo è lineare se e solo se l'uscita è combinazione lineare delle uscite che il sistema avrebbe applicandogli i singoli ingressi elementari:

$$f(C_1 \cdot IN_1 + C_2 \cdot IN_2) = C_1 \cdot f(IN_1) + C_2 \cdot f(IN_2)$$

f è un sistema tempo invariante se e solo se le sue proprietà non dipendono dal tempo.

È detta *funzione di trasferimento* (FdT) la relazione (H), espressa nei domini trasformati di Laplace (s) o di Fourier (f , ω), tra un ingresso e un'uscita di f .

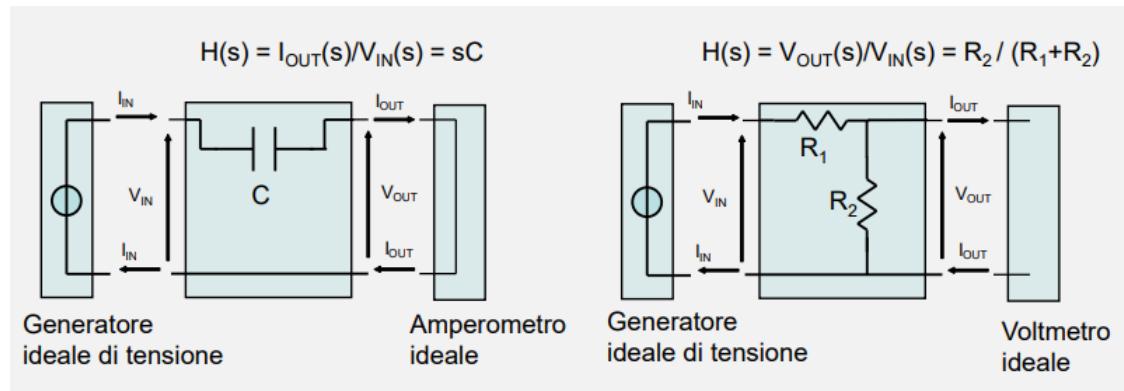


Figura 2.18: Esempi di funzioni di trasferimento in doppi bipoli

Nel caso del primo circuito, la funzione di trasferimento $H(s)$ è la relazione tra un'entrata di tensione e un'uscita di corrente. La FdT è quindi l'ammettenza del condensatore.

Nel caso del secondo circuito è collegato al doppio dipolo un voltmetro ideale, a impedenza infinita, che misura la differenza di potenziale ai capi della resistenza R_2 . La FdT $H(s)$ è il rapporto di partizione tra la resistenza R_1 e la resistenza R_2 .

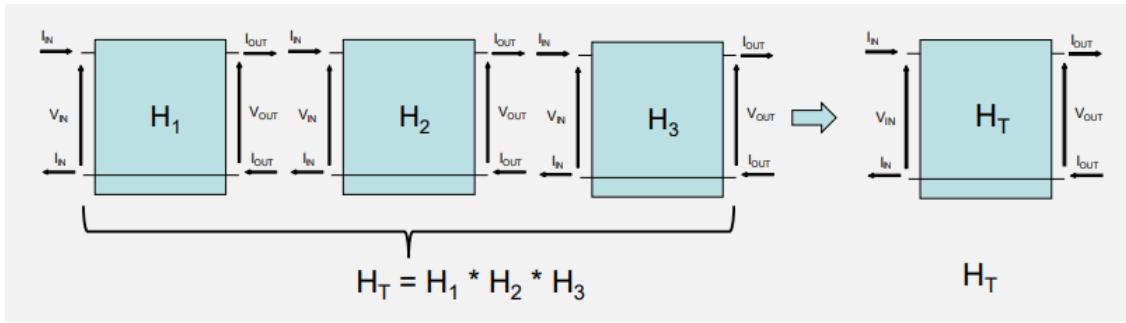


Figura 2.19: Un circuito complesso, modellizzato con 3 blocchi in cascata

Il concetto di doppio dipolo e di FdT è importante per l'analisi di circuiti complessi. Un circuito è generalmente modellizzabile in blocchi, posti in cascata uno dopo l'altro.

In assenza di effetti di carico (o se le singole Funzioni di Trasferimento sono ricavate considerando le impedenze di sorgente e di carico), la FdT complessiva corrisponde al prodotto delle singole FdT.

È possibile definire le proprietà di questi sistemi anche nel dominio del tempo.

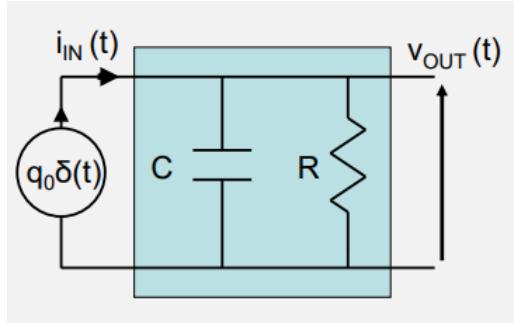


Figura 2.20: Sistema caratterizzato nel tempo

Carichiamo il condensatore con un generatore di corrente che ha andamento impulsivo. La corrente emessa dal generatore è nulla per ogni t diverso da 0 mentre, se $t = 0$, il generatore emette un impulso di corrente che carica il condensatore di una carica q_0 .

$$i_{IN} = \delta(t) \cdot (C \cdot v_0)$$

$$v_{OUT} = v_0 \cdot e^{-t/(CR)}$$

Il sistema è lineare, quindi immettendo in ingresso una corrente generica $\delta(t)$

$$i_{IN} = \delta(t)$$

$$v_{OUT} = (1/C) \cdot e^{-t/(CR)} = h(t)$$

dove $h(t)$ è la risposta all'impulso $\delta(t)$ di un sistema lineare e tempo invariante.

Rappresentare la proprietà di un sistema LTI i termini di risposta all'impulso $h(t)$ o in termini di FdT $H(f)$ consente di rappresentare la risposta del sistema LTI (Linear Time-Invariant) per qualsiasi segnale in ingresso, posto che questo sia a sua volta rappresentabile sulla base di impulsi di Dirac o di funzioni armoniche:

$$in(t) = \int_{-\infty}^{\infty} in(\xi) \cdot \delta(t - \xi) \cdot d\xi = \int_{-\infty}^{\infty} IN(f) \cdot e^{j\omega f t} \cdot df$$

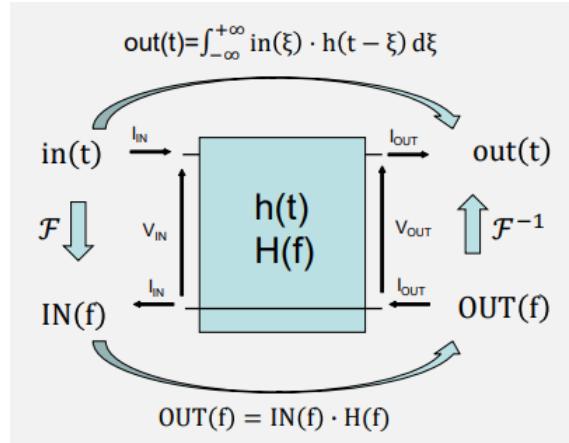


Figura 2.21: Sistema caratterizzato nel tempo

Definiamo la *trasformata di Fourier* (\mathcal{F}) e la sua *anti-trasformata* (\mathcal{F}^{-1})

$$IN(f) = \mathcal{F}(in(t)) = \int_{-\infty}^{\infty} in(t) \cdot e^{-j2\pi f t} \cdot dt$$

$$in(t) = \mathcal{F}^{-1}(IN(f)) = \int_{-\infty}^{\infty} IN(f) \cdot e^{j2\pi f t} \cdot dt$$

Consegue infine che:

$$h(t) \xrightleftharpoons[\mathcal{F}^{-1}]{\mathcal{F}} H(f)$$

3 Circuiti passivi con elementi RLC

Da questo capitolo apparirà il simbolo formato da tre linee di lunghezza decrescente (figura 3.1). Questo rappresenta la messa a massa o GND. Questo funge da generico punto di riferimento per la misura delle differenze di potenziale. È utile quando si lavora con il simulatore circuitale per potere indicare con facilità l'equipotenzialità di parti del circuito graficamente molto distanti.

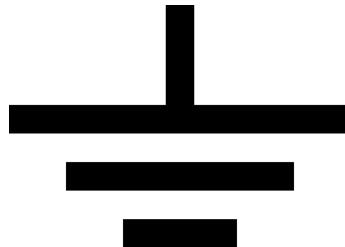


Figura 3.1: Rappresentazione grafica del GND

3.1 Circuiti RC e RL

L'analisi nel dominio della frequenza sarà la più semplice e diretta, applicando i concetti di partitore di tensione e di corrente alle impedenze.

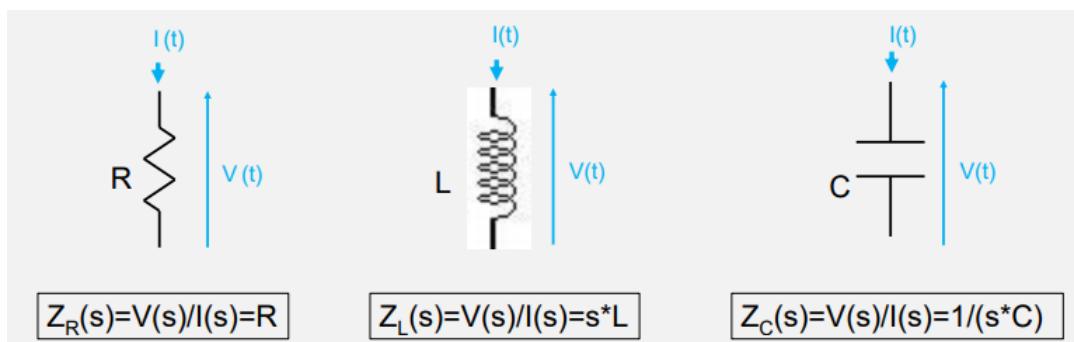


Figura 3.2: Le impedenze

Cominciamo con il circuito RC (*Filtro passa basso RC passivo*) in figura 3.3.

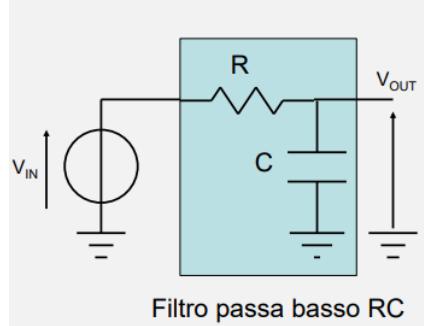


Figura 3.3: Circuito RC

Generalizzando alle impedenze quanto visto per le resistenze:

$$V_{OUT}(s) = V_{IN}(s) \cdot \frac{Z_C(s)}{Z_C(s) + Z_R(s)}$$

da cui

$$H(s) = \frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{Z_C(s)}{Z_C(s) + Z_R(s)}$$

sostituendo adesso alle impedenze le loro espressioni esplicite:

$$H(s) = \frac{1/sC}{1/sC + R} = \frac{1}{1 + sRC}$$

e, per $s = j\omega$,

$$H(s) = \frac{1}{1 + j\omega RC} \quad |H(s)| = \frac{1}{\sqrt{1 + \omega^2 \cdot R^2 \cdot C^2}} \quad \angle(H(j\omega)) = \text{atan}(-\omega RC)$$

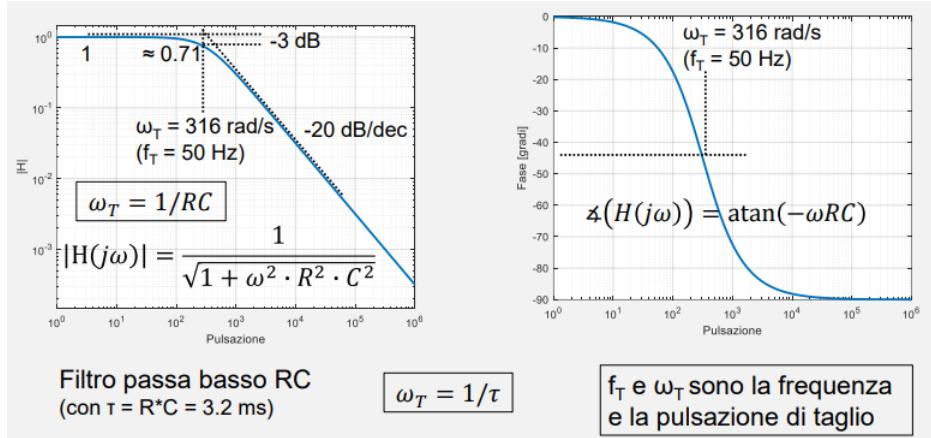


Figura 3.4: La funzione di trasferimento al variare della pulsazione

Concentrandoci ora sul circuito CR (*Filtro passa alto CR passivo*) in figura 3.5:

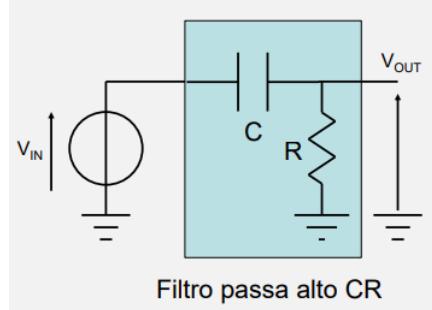


Figura 3.5: Circuito CR

si ha

$$V_{OUT}(s) = V_{IN}(s) \cdot \frac{Z_C(s)}{Z_C(s) + Z_R(s)}$$

da cui

$$H(s) = \frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{Z_C(s)}{Z_C(s) + Z_R(s)}$$

sostituendo adesso alle impedenze le loro espressioni esplicite:

$$H(s) = \frac{R}{R + 1/sC} = \frac{sRC}{1 + sRC}$$

e, per $s = j\omega$,

$$H(s) = \frac{j\omega RC}{1 + j\omega RC} \quad |H(s)| = \frac{\omega RC}{\sqrt{1 + \omega^2 \cdot R^2 \cdot C^2}} \quad \angle(H(j\omega)) = \text{atan} \left(\frac{1}{\omega RC} \right)$$

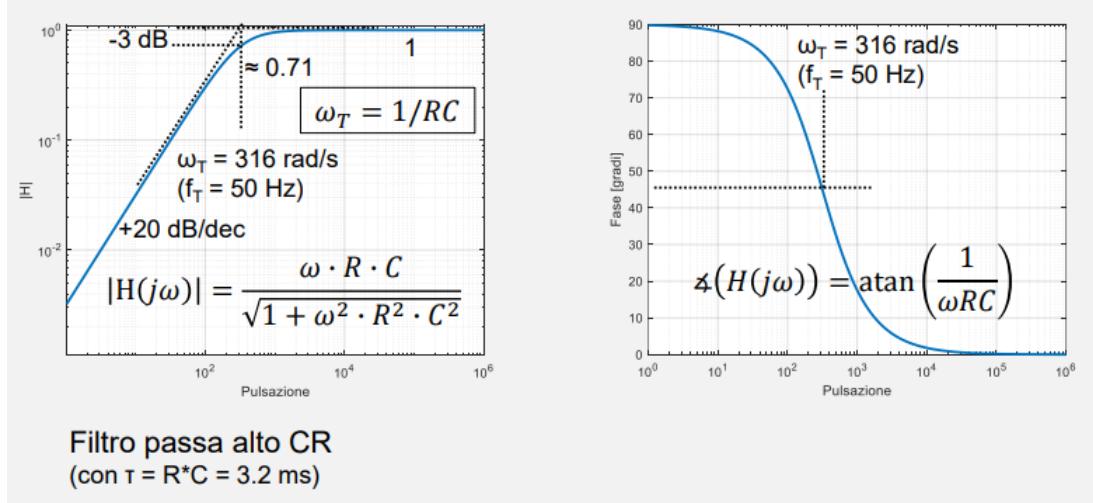


Figura 3.6: La funzione di trasferimento al variare della pulsazione

Analogamente si procede per le induttanze. Con il circuito RL in figura 3.7 (*Filtro passa alto RL passivo*):

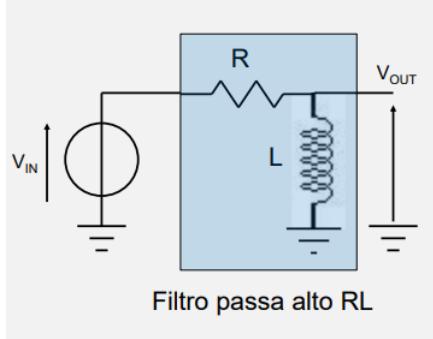


Figura 3.7: Circuito RL

si ha

$$V_{OUT}(s) = V_{IN}(s) \cdot \frac{Z_L(s)}{Z_L(s) + Z_R(s)}$$

da cui

$$H(s) = \frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{Z_L(s)}{Z_L(s) + Z_R(s)}$$

sostituendo adesso alle impedenze le loro espressioni esplicite:

$$H(s) = \frac{sL}{sL + R} = \frac{sL/R}{1 + sL/R}$$

e, per $s = j\omega$,

$$H(s) = \frac{j\omega L/R}{1 + j\omega L/R} \quad |H(s)| = \frac{\omega L/R}{\sqrt{1 + \omega^2 \cdot L^2/R^2}} \quad \angle(H(j\omega)) = \tan^{-1}\left(\frac{R}{\omega L}\right)$$

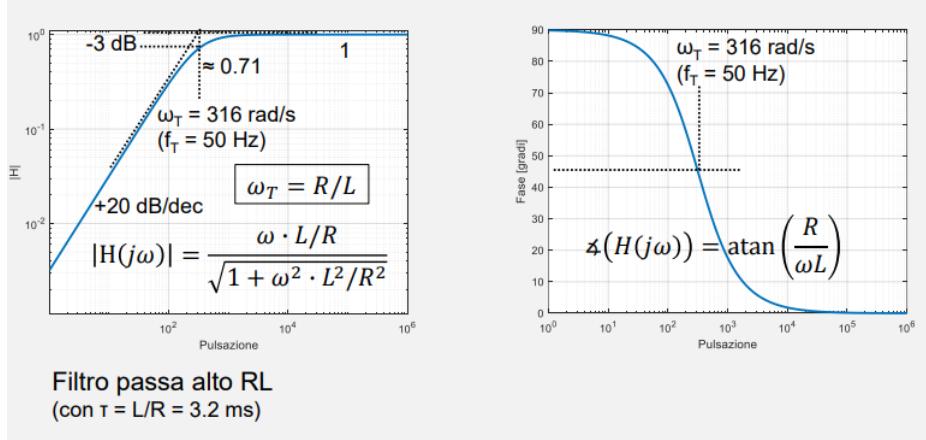


Figura 3.8: La funzione di trasferimento al variare della pulsazione

Concentrandoci ora sul circuito LR in figura 3.9 (*Filtro passa basso RL passivo*):

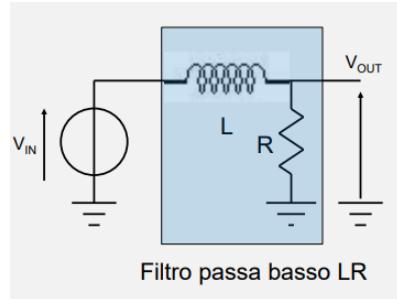


Figura 3.9: Circuito LR

si ha

$$V_{OUT}(s) = V_{IN}(s) \cdot \frac{Z_R(s)}{Z_L(s) + Z_R(s)}$$

da cui

$$H(s) = \frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{Z_R(s)}{Z_L(s) + Z_R(s)}$$

sostituendo adesso alle impedenze le loro espressioni esplicite:

$$H(s) = \frac{R}{R + sL} = \frac{1}{1 + sL/R}$$

e, per $s = j\omega$,

$$H(s) = \frac{1}{1 + j\omega L/R} \quad |H(s)| = \frac{1}{\sqrt{1 + \omega^2 \cdot L^2/R^2}} \quad \angle(H(j\omega)) = \text{atan} \left(-\frac{\omega L}{R} \right)$$

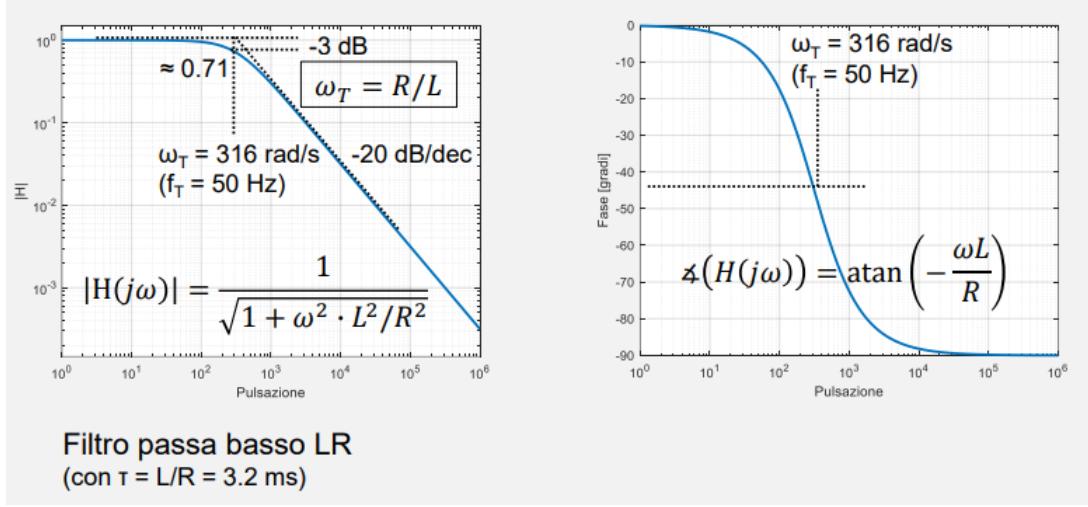


Figura 3.10: La funzione di trasferimento al variare della pulsazione

3.2 Circuiti risonanti serie

Concentrandoci ora sul circuito LC mostrato in figura 3.11 (*Filtro risonante serie LC passivo*).

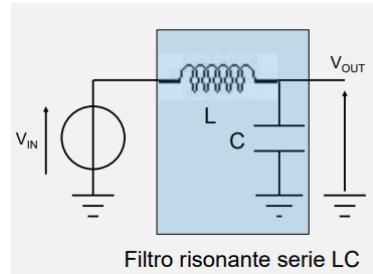


Figura 3.11: Circuito risonante serie LC

$$V_{OUT}(s) = V_{IN}(s) \cdot \frac{Z_C(s)}{Z_L(s) + Z_C(s)}$$

da cui

$$H(s) = \frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{Z_C(s)}{Z_L(s) + Z_C(s)}$$

sostituendo adesso alle impedenze le loro espressioni esplicite:

$$H(s) = \frac{1/sC}{1/sC + sL} = \frac{1}{1 + s^2LC}$$

e, per $s = j\omega$,

$$H(s) = \frac{1}{1 - \omega^2LC} \quad |H(s)| = \begin{cases} \frac{1}{1 - \omega^2LC} & \text{se } \omega < \frac{1}{\sqrt{LC}} \\ \frac{1}{\omega^2LC - 1} & \text{se } \omega > \frac{1}{\sqrt{LC}} \end{cases} \quad \angle(H(j\omega)) = \begin{cases} 0 & \text{se } \omega < \frac{1}{\sqrt{LC}} \\ \pm\pi & \text{se } \omega > \frac{1}{\sqrt{LC}} \end{cases}$$

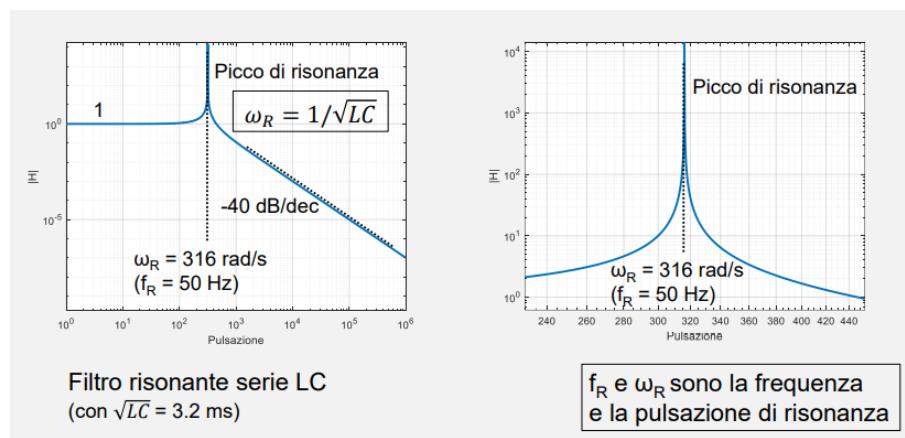


Figura 3.12: La funzione di trasferimento al variare della pulsazione

Concentrandoci ora sul circuito CL mostrato in figura 3.13 (*Filtro risonante serie CL passivo*):

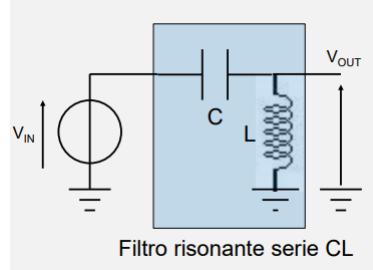


Figura 3.13: Circuito risonante serie CL

$$V_{OUT}(s) = V_{IN}(s) \cdot \frac{Z_L(s)}{Z_L(s) + Z_C(s)}$$

da cui

$$H(s) = \frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{Z_L(s)}{Z_L(s) + Z_C(s)}$$

sostituendo adesso alle impedenze le loro espressioni esplicite:

$$H(s) = \frac{sL}{1/sC + sL} = \frac{s^2LC}{1 + s^2LC}$$

e, per $s = j\omega$,

$$H(s) = -\frac{\omega^2 LC}{1 - \omega^2 LC} \quad |H(s)| = \begin{cases} \frac{\omega^2 \cdot LC}{1 - \omega^2 \cdot LC} & \text{se } \omega < \frac{1}{\sqrt{LC}} \\ \frac{\omega^2 \cdot LC}{\omega^2 \cdot LC - 1} & \text{se } \omega > \frac{1}{\sqrt{LC}} \end{cases} \quad \angle(H(j\omega)) = \begin{cases} \pm\pi & \text{se } \omega < \frac{1}{\sqrt{LC}} \\ 0 & \text{se } \omega > \frac{1}{\sqrt{LC}} \end{cases}$$

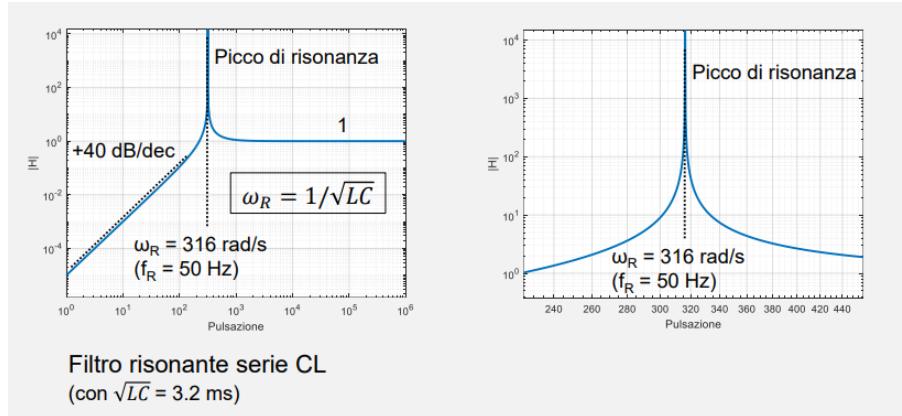


Figura 3.14: La funzione di trasferimento al variare della pulsazione

Concentrandoci ora sul circuito RLC mostrato in figura 3.15 (*Filtro risonante serie RLC passivo*):

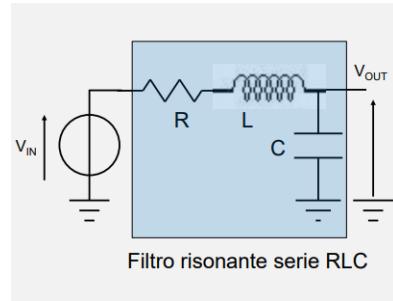


Figura 3.15: Circuito risonante serie RLC

$$V_{OUT}(s) = V_{IN}(s) \cdot \frac{Z_C(s)}{Z_R(s) + Z_L(s) + Z_C(s)}$$

da cui

$$H(s) = \frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{Z_C(s)}{Z_R(s) + Z_L(s) + Z_C(s)}$$

sostituendo adesso alle impedenze le loro espressioni esplicite:

$$H(s) = \frac{1/sC}{1/sC + sL + R} = \frac{1}{1 + sRC + s^2LC}$$

e, per $s = j\omega$,

$$H(s) = \frac{1}{1 + j\omega RC - \omega^2 LC} \quad |H(s)| = \left| \frac{1}{\sqrt{(1 - \omega^2 LC)^2 + (\omega RC)^2}} \right|$$

$$|H(s)|_{\omega=\omega_R} = \frac{1}{R} \cdot \sqrt{\frac{L}{C}} \approx P_R \quad \text{dove } \omega_R = \frac{1}{\sqrt{LC}}$$

Per $R \geq 2 \cdot \sqrt{\frac{L}{C}}$ non ci sono effetti di risonanza.

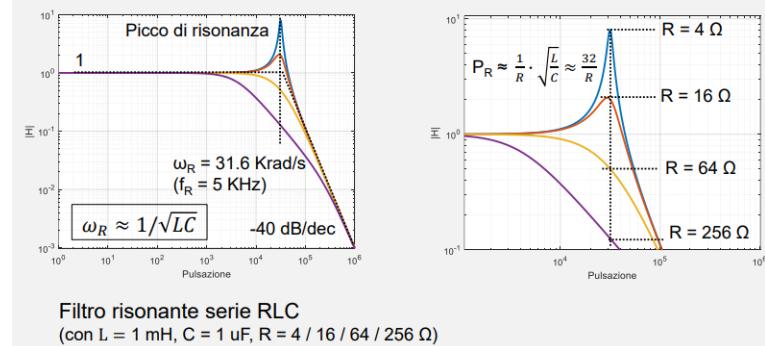


Figura 3.16: La funzione di trasferimento al variare della pulsazione

Il fattore di merito (o qualità) Q esprime la relativa prevalenza degli effetti risonanti / dissipativi:

$$Q = \frac{\omega_R}{\Delta\omega_{-3dB}} = \frac{1}{R} \cdot \sqrt{\frac{L}{C}}$$

3.3 Circuiti risonanti parallelo

Concentrandoci ora sul circuito LC mostrato in figura 3.17 (*Filtro risonante parallelo LC passivo*):

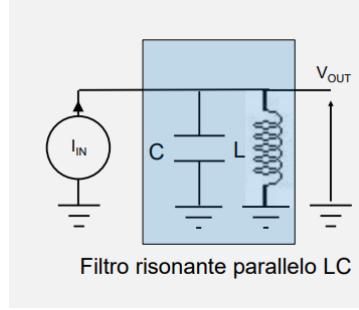


Figura 3.17: Circuito risonante parallelo LC

$$V_{OUT}(s) = I_{IN}(s) \cdot (Z_C(s) // Z_L(s))$$

da cui

$$H(s) = \frac{V_{OUT}(s)}{I_{IN}(s)} = (Z_C(s) // Z_L(s))$$

sostituendo adesso alle impedenze le loro espressioni esplicite:

$$H(s) = \frac{1}{sC + 1/sL} = \frac{sL}{1 + s^2LC}$$

e, per $s = j\omega$,

$$H(s) = \frac{j\omega L}{1 - \omega^2LC} \quad |H(s)| = \begin{cases} \frac{\omega \cdot L}{1 - \omega^2 \cdot LC} & \text{se } \omega < \frac{1}{\sqrt{LC}} \\ \frac{\omega \cdot L}{\omega^2 \cdot LC - 1} & \text{se } \omega > \frac{1}{\sqrt{LC}} \end{cases} \quad \angle(H(j\omega)) = \begin{cases} +\frac{\pi}{2} & \text{se } \omega < \frac{1}{\sqrt{LC}} \\ -\frac{\pi}{2} & \text{se } \omega > \frac{1}{\sqrt{LC}} \end{cases}$$

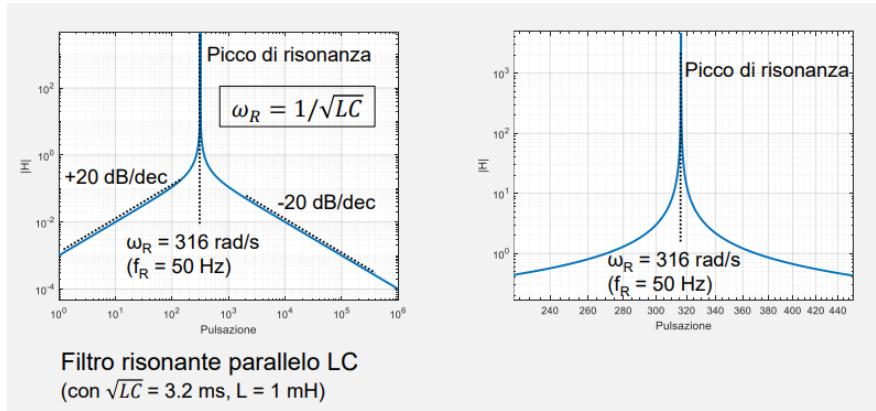


Figura 3.18: La funzione di trasferimento al variare della pulsazione

Concentrandoci ora sul circuito RLC mostrato in figura 3.19 (*Filtro risonante parallelo RLC passivo*):

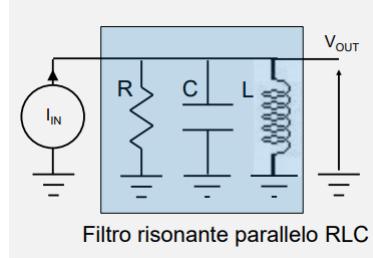


Figura 3.19: Circuito risonante parallelo RLC

$$V_{OUT}(s) = I_{IN}(s) \cdot (Z_C(s) // Z_L(s) // Z_R(s))$$

da cui

$$H(s) = \frac{V_{OUT}(s)}{I_{IN}(s)} = (Z_C(s) // Z_L(s) // Z_R(s))$$

sostituendo adesso alle impedenze le loro espressioni esplicite:

$$H(s) = \frac{1}{sC + 1/sL + 1/R} = \frac{sL}{1 + sL/R + s^2LC}$$

e, per $s = j\omega$,

$$H(s) = \frac{j\omega L}{1 + j\omega L/R - \omega^2LC} \quad |H(s)| = \left| \frac{\omega L}{\sqrt{(1 - \omega^2LC)^2 + (\omega L/R)^2}} \right|$$

$$|H(s)|_{\omega=\omega_R} = R \approx P_R \quad \text{dove } \omega_R = \frac{1}{\sqrt{LC}}$$

Per $R \geq \frac{1}{2} \cdot \sqrt{\frac{L}{C}}$ non ci sono effetti di risonanza.

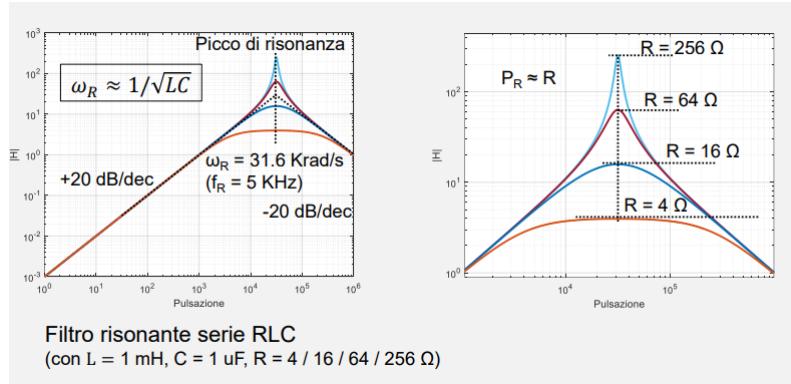


Figura 3.20: La funzione di trasferimento al variare della pulsazione

Il fattore di merito (o qualità) Q esprime la relativa prevalenza degli effetti risonanti / dissipativi, e in questo caso vale:

$$Q = \frac{\omega_R}{\Delta\omega_{-3dB}} = R \cdot \sqrt{\frac{C}{L}}$$

4 Circuiti attivi lineari con amplificatori operazionali

4.1 L'amplificatore operazionale

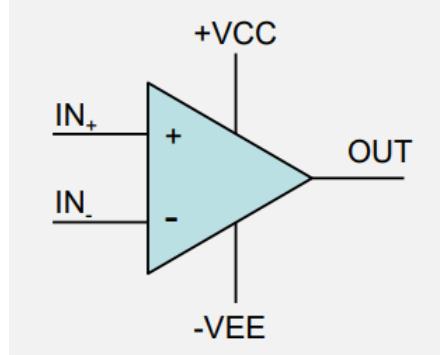


Figura 4.1: L'amplificatore operazionale

Un *amplificatore operazionale* è un dispositivo ad almeno 5 terminali (anche se molto spesso ne ha un numero maggiore). Questi 5 terminali sono così suddivisi:

- Due ingressi, tipicamente di tensione (esistono anche degli amplificatori operazionali detti “current mode” che hanno un ingresso di tensione e un ingresso di corrente);
- un’uscita di tensione;
- due terminali di alimentazione.

È un dispositivo attivo. Un *dispositivo attivo* è un dispositivo che trasferisce potenza dai terminali di alimentazione all’uscita. Una popolare definizione sbagliata di dispositivo attivo è quella di un dispositivo in cui l’uscita, in tensione, è maggiore degli ingressi applicati. Per accertarne la falsità è sufficiente pensare ad un circuito risonante che ha in ingresso un segnale alla frequenza di risonanza.

Un amplificatore operazionale ha due terminali di alimentazione: un terminale di alimentazione positiva e uno di alimentazione negativa (dove per positività e negatività non si intende che uno dà e l’altro assorbe, ma che uno dei due “alimenta” più dell’altro). È importante evitare di confondere i due terminali per evitare di danneggiare circuiti reali.

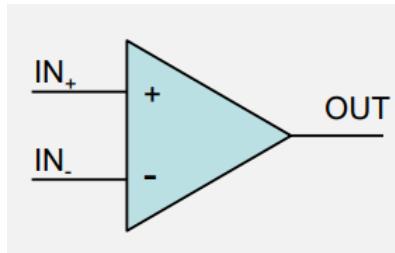


Figura 4.2: L'amplificatore operazionale ideale

Un amplificatore operazionale ideale, ovvero la più semplice modellizzazione possibile di un amplificatore, ha:

- Ingressi di tensione a impedenza infinita (non c'è passaggio di corrente)
- Uscita di tensione a impedenza nulla (generatore di tensione ideale)
- Alimentazione con differenza di potenziale infinita
- Modellizzabile con un sistema lineare:

$$V_{OUT} = f(V_{IN+} - V_{IN-}) = f(\Delta V_{IN}) = A_0 \cdot \Delta V_{IN} \quad (A_0 \text{ cost. } \rightarrow \infty)$$

- Per valori finiti di V_{OUT} :

$$\Delta V_{IN} = V_{OUT}/A_0 \rightarrow 0V \Rightarrow V_{IN+} \approx V_{IN-}$$

Un modello è valido quando riesce ad prevedere correttamente il comportamento di un sistema senza aggiungere complicazioni non necessarie. Il modello sovradescritto è sempre valido?

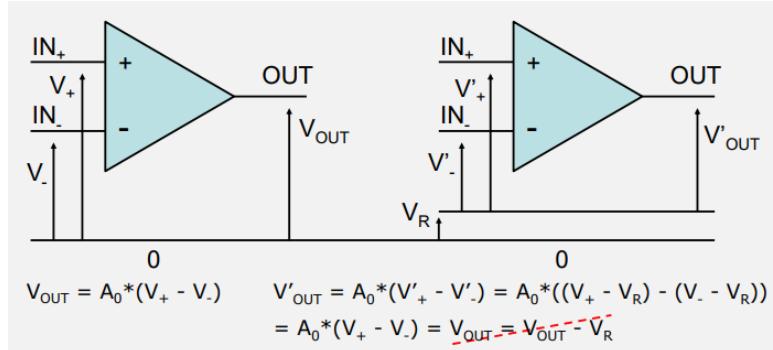


Figura 4.3: L'invalidità del modello

No. Cambiando il potenziale di riferimento V_R non cambio la differenza di potenziale tra i due ingressi, quindi il potenziale in uscita resta invariato. Ma questo, come visibile dai conti in figura 4.3, è un paradosso.

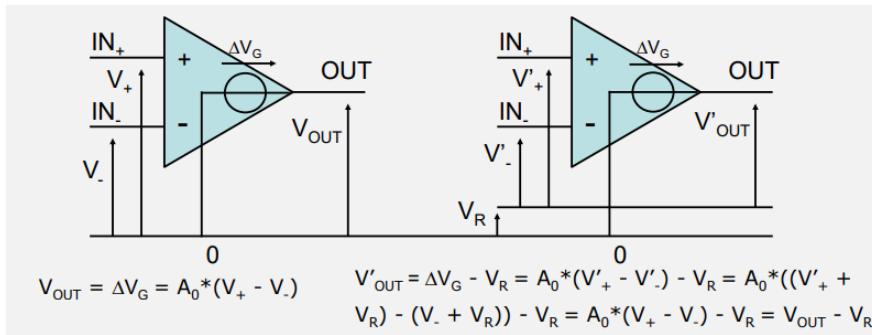


Figura 4.4: Un modello alternativo

Il modello alternativo schematizzato in figura 4.4, invece, resta valido al variare del potenziale di riferimento, ma non è realistico in quanto prevede un ulteriore terminale che l'amplificatore operazionale non ha.

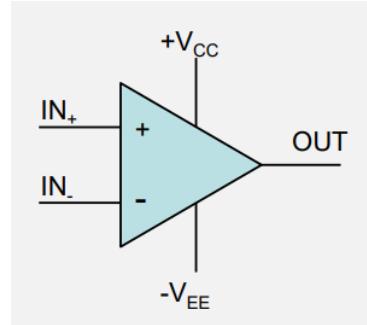


Figura 4.5: Un amplificatore operazionale meno ideale

Allontanandoci dal caso ideale e avvicinandosi a quello reale:

- Guadagno finito: $A_0 \gg 1$ (es. 10^4 - 10^6)
- Correnti all'ingresso non nulle ma trascurabili (di diversi ordini di grandezza più piccole rispetto alle altre correnti in gioco)
- Alimentazione con differenza di potenziale finita:

$$\Delta V_{MIN} \leq V_{CC} + V_{EE} \leq \Delta V_{MAX} \quad \text{con } \Delta V_{MIN} > 0$$

- Potenziale in uscita limitato dalle alimentazioni:

$$-V_{EE} + \Delta V_{EE} \leq V_{OUT} \leq +V_{CC} - \Delta V_{CC}$$

con ΔV_{CC} e ΔV_{EE} compresi tra 0 e qualche Volt a seconda del tipo di Op. Amp. (Operational Amplifier)

- $V_{IN+} \approx V_{IN-}$, ma solo in certe condizioni

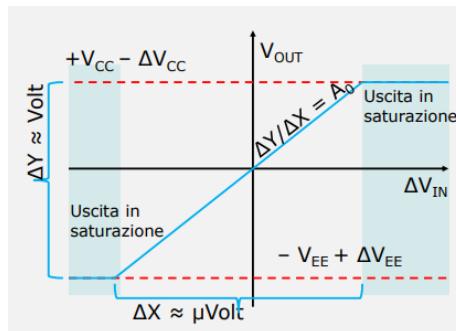


Figura 4.6: Grafico della tensione in uscita in funzione della differenza di potenziale tra gli ingressi

Quando accade che $V_{IN+} \approx V_{IN-}$? Guardando il grafico in figura 4.6, si evince che $\Delta x = \Delta y/A_0$: essendo A_0 molto grande ($10^4 - 10^6$), la differenza di potenziale Δx sarà piccola relativamente a Δy e $V_{IN+} \approx V_{IN-}$ sarà verificata. Questo è vero fintantoché l'uscita non è in saturazione, ovvero dipende dagli ingressi.

Quando l'uscita è in saturazione, essa è determinata dall'alimentazione e non dagli ingressi, e non varrà più la relazione sopra descritta; in questo caso è evidentemente possibile aumentare la differenza di potenziale Δx fino all'ordine di grandezza di Δy senza alcun effetto su quest'ultima.

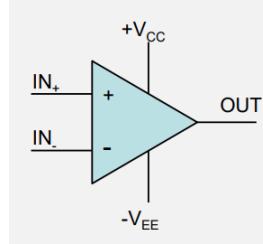


Figura 4.7: Modello di amplificatore operazionale “carta e penna”

Un modello “carta e penna” di un amplificatore operazionale può essere come quello riportato in figura 4.7 e onestamente non troppo diverso dai primi schizzi visti in questa sezione.

Questo modello ha le seguenti caratteristiche:

- Potenziale in uscita limitato dalle alimentazioni:

$$-V_{EE} \leq V_{OUT} \leq +V_{CC}$$

(non sempre è possibile che l'uscita “raggiunga” le alimentazioni, ma per i fini di questo modello è un'assunzione ragionevole e la faremo)

- se l'uscita non è in saturazione, $V_{IN+} \approx V_{IN-}$
- Correnti agli ingressi trascurabili $I_{IN+} \approx I_{IN-} \approx 0$

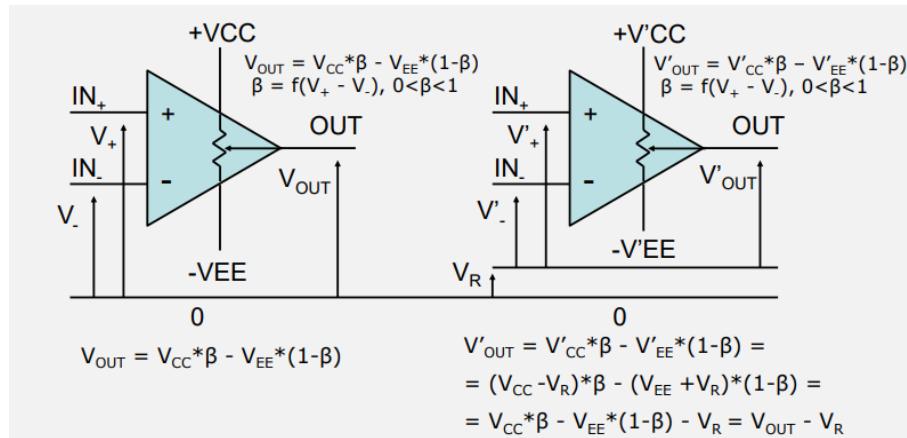


Figura 4.8: Modello di Op. Amp. più realistico, che funziona sempre, ma è anche più complicato...

4.2 Circuiti di amplificazione invertenti e non invertenti

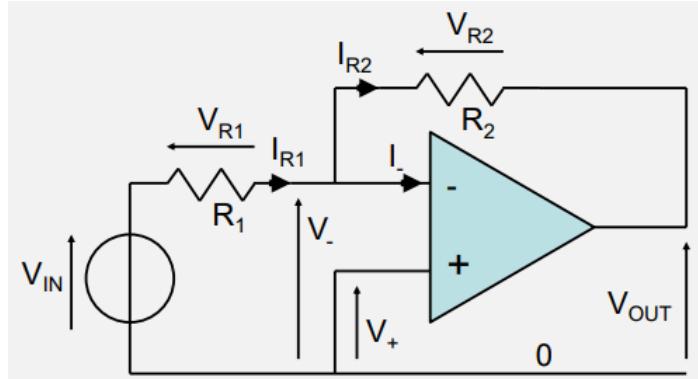


Figura 4.9: Circuito in configurazione invertente

La *configurazione circuitale invertente*, schematizzata in figura 4.9, è una configurazione basilare. È un doppio dipolo con ingresso e uscita in tensione.

Supponendo i due ingressi equipotenziali, $V_+ = V_- = 0$ V. Si applica ora la legge di Ohm:

$$I_{R1} = \frac{V_{R1}}{R_1} = \frac{V_{IN}}{R_1}$$

Per la prima legge di Kirchhoff (3)

$$I_{R1} = I_{R2} + I_-$$

ma, supponendo $I_+ \approx I_- \approx 0$,

$$I_{R1} = I_{R2}$$

Applicando ancora la legge di Ohm

$$V_{R2} = I_{R2} \cdot R_2$$

Ora, per la seconda legge di Kirchhoff (4)

$$V_{OUT} = V_- - V_{R2} = -V_{R2} = -I_{R2} \cdot R_2 = -I_{R1} \cdot R_2 = -V_{IN} \cdot \frac{R_2}{R_1}$$

da cui

$$\frac{V_{OUT}}{V_{IN}} = -\frac{R_2}{R_1} = -\frac{Z_2}{Z_1}$$

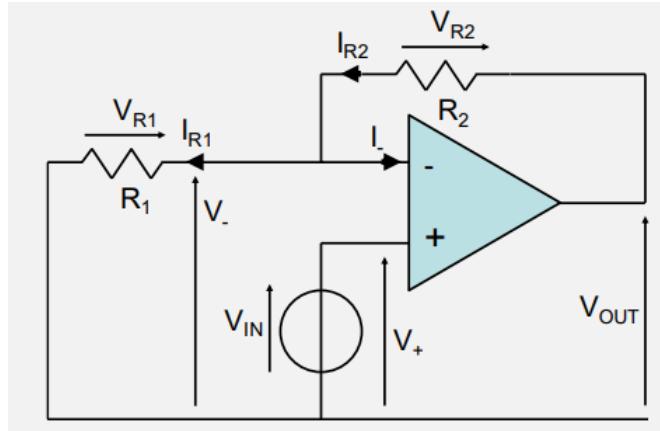


Figura 4.10: Circuito in configurazione non invertente

La *configurazione circuitale non invertente*, schematizzata in figura 4.10, è analoga a quella invertente, salvo una modifica: lo spostamento dell'ingresso di tensione.

Supponendo i due ingressi equipotenziali, $V_+ = V_- = V_{IN}$, per la seconda legge di Kirchhoff (4) si ha:

$$V_{R1} = V_- = V_{IN}$$

Applicando ora la legge di Ohm

$$I_{R1} = \frac{V_{R1}}{R_1} = \frac{V_{IN}}{R_1}$$

e supponendo $I_+ \approx I_- \approx 0$

$$I_{R1} = I_{R2}$$

Applicando ancora la legge di Ohm

$$V_{R2} = I_{R2} \cdot R_2$$

Ora, per la seconda legge di Kirchhoff (4)

$$V_{OUT} = V_{R1} + V_{R2} = V_{IN} + V_{IN} \cdot \frac{R_2}{R_1}$$

da cui

$$\frac{V_{OUT}}{V_{IN}} = 1 + \frac{R_2}{R_1} = 1 + \frac{Z_2}{Z_1}$$

Si noti che il rapporto V_{OUT}/V_{IN} deve essere sempre maggiore di 1. Questa configurazione può solo amplificare.

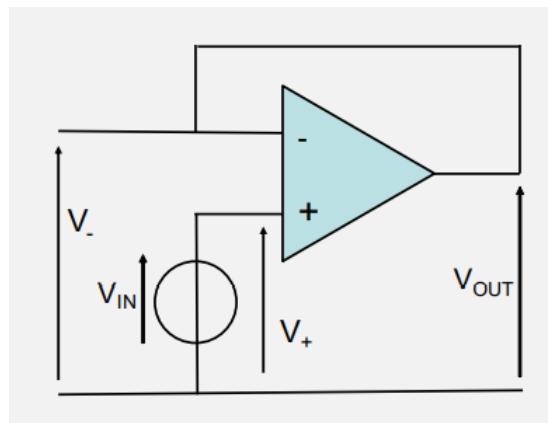


Figura 4.11: Circuito in configurazione non invertente a buffer

La *configurazione circuitale non invertente a buffer*, schematizzata in figura 4.11, è una configurazione non invertente con $R_2 = 0$ e $R_1 \rightarrow \infty$.

Non serve partire dalla formula generale ricavata in precedenza, analizzando con le leggi di Kirchhoff e ricordando che gli ingressi sono equipotenziali si ha che:

$$V_- = V_+ = V_{IN} = V_{OUT}$$

ovvero i segnali in ingresso e in uscita sono uguali. L'utilità di questo circuito è quella di essere un lettore “ideale” di tensione, avendo un’alta impedenza in ingresso, e di essere un generatore “ideale” di tensione avendo bassa impedenza in uscita. Il circuito permette quindi di “riproporre” un segnale in tensione in entrata ad un’impedenza più bassa.

Suggerimento pratico: alcuni Op. Amp. presenti in laboratorio potrebbero essere rotti (il segnale di allarme è quando un circuito ben fatto non produce i risultati attesi). Un modo per verificare il corretto funzionamento dell’amplificatore operazionale è usarlo per costruire un circuito a buffer, che è facilmente realizzabile e dovrebbe riproporre in uscita la stessa tensione che ha in entrata. Se anche il buffer sembra avere problemi, la soluzione più saggia è sostituire l’Op. Amp.

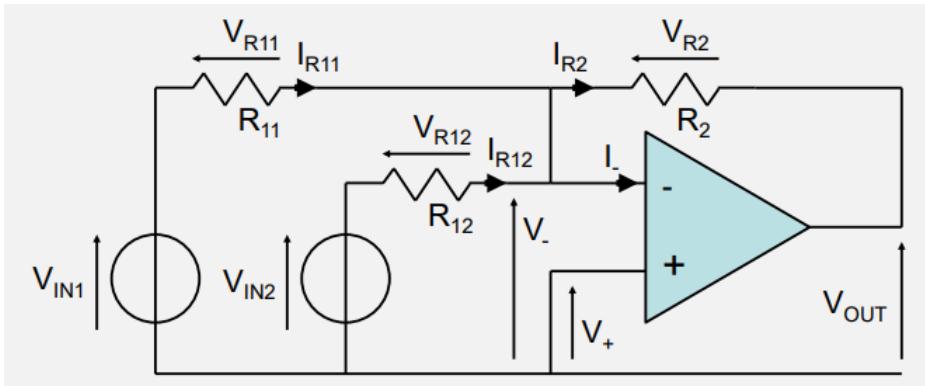


Figura 4.12: Circuito sommatore invertente

Il circuito raffigurato in figura 4.12 è un circuito con più ingressi. Si tratta di un *circuito sommatore invertente*. È possibile analizzarlo usando il principio di sovrapposizione. Si “spegne” un ingresso e si analizza l’effetto dell’altro, quindi si spegne il secondo e si analizza il primo. Infine si somma quanto trovato.

Notiamo che, spegnendo l’ingresso 1, la tensione ai capi della resistenza R_{11} è pari a $V_{R11} = V_- - 0$. Ma, essendo gli ingressi equipotenziali, $V_+ = V_- = 0 V$ e $V_{R11} = 0$. Dunque, spegnendo l’ingresso 1, non scorre corrente attraverso R_{11} e il circuito si riduce ad un semplice invertente:

$$V_{OUT2} = -V_{IN2} \frac{R_2}{R_{12}}$$

Analogamente, spegnendo l’ingresso 2, si ha che

$$V_{OUT1} = -V_{IN1} \frac{R_2}{R_{11}}$$

e infine

$$V_{OUT} = V_{OUT1} + V_{OUT2} = -V_{IN1} \frac{R_2}{R_{11}} - V_{IN2} \frac{R_2}{R_{12}} = -R_2 \cdot \left(\frac{V_{IN1}}{R_{11}} + \frac{V_{IN2}}{R_{12}} \right)$$

facilmente generalizzabile a

$$V_{OUT} = -R_2 \cdot \left(\frac{V_{IN1}}{R_{11}} + \frac{V_{IN2}}{R_{12}} + \frac{V_{IN3}}{R_{13}} + \dots \right)$$

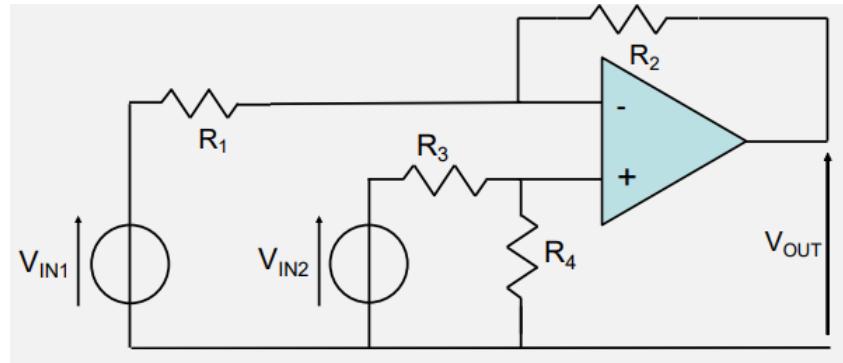


Figura 4.13: Circuito sottrattore

Analogamente si risolve il *circuito sottrattore* (figura 4.13). Spegnendo V_{IN2} ci si ricollega ad un normale invertente

$$V_{OUT1} = -V_{IN1} \cdot \frac{R_2}{R_1}$$

Spegnendo però V_{IN1} , le cose sono meno semplici. La configurazione è non invertente, ma la tensione non è direttamente applicata all'ingresso, ma attraverso un partitore di tensione. Il potenziale V_+ sarà:

$$V_+ = V_{IN2} \cdot \frac{R_4}{R_3 + R_4}$$

adesso la configurazione si è ridotta ad un semplice non invertente, per cui

$$V_{OUT2} = V_+ + V_+ \cdot \frac{R_2}{R_1} = V_+ \cdot \frac{R_2 + R_1}{R_1} = V_{IN2} \cdot \frac{R_4}{R_3 + R_4} \cdot \frac{R_2 + R_1}{R_1}$$

$$V_{OUT} = -V_{IN1} \cdot \frac{R_2}{R_1} + V_{IN2} \cdot \frac{R_4}{R_3 + R_4} \cdot \frac{R_2 + R_1}{R_1}$$

caso particolare, se $R_4/R_3 = R_2/R_1$,

$$V_{OUT} = (V_{IN2} - V_{IN1}) \cdot \frac{R_2}{R_1}$$

La tensione in uscita è proporzionale alla differenza tra i due ingressi.

4.3 Filtri attivi in frequenza

Mentre i filtri passivi attenuano selettivamente il segnale in opportune bande, i filtri attivi possono eventualmente amplificarlo, prelevando l'energia richiesta dagli ingressi di alimentazione dell'amplificatore operazionale. L'ampiezza del segnale in uscita è quindi limitata dai livelli di alimentazione.

Partiamo dal circuito RC serie schematizzato in figura 4.14 (già visto in precedenza). Si tratta di un filtro passa basso, perché “lascia passare” il segnale al di sotto di una certa frequenza detta “di taglio”, ed è un circuito passivo.

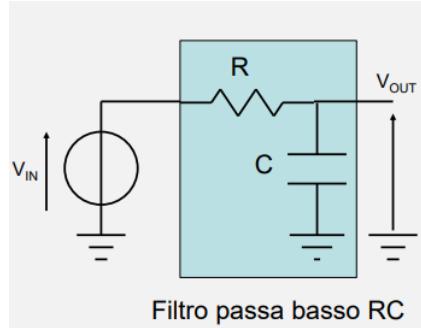


Figura 4.14: Circuito RC

Ricordando che per questo circuito

$$H(s) = \frac{1/sC}{1/sC + R}$$

si ha che l'impedenza in ingresso è

$$|Z_{IN}| = |R + (1/sC//Z_L)|$$

dovuta alla somma tra l'impedenza della resistenza (R) che è posta in serie all'impedenza della seconda parte del circuito, che è dovuta all'impedenza del condensatore ($1/sC$) parallela all'impedenza di carico Z_L posta in uscita al circuito. Da questa formula si ha che:

$$\min(|Z_{IN}|) = R$$

analogamente

$$|Z_{OUT}| = 1/sC//(R + Z_S)$$

$$\max(|Z_{OUT}|) = (R + Z_S)$$

dove Z_S è l'impedenza di sorgente.

Vediamo adesso l'equivalente attivo di questo circuito, il *filtro passa basso RC attivo* (figura 4.15)

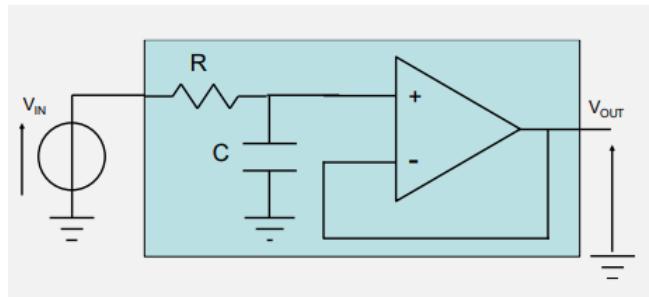


Figura 4.15: Filtro passa basso RC attivo

In questo caso

$$H(s) = \frac{1/sC}{1/sC + R} \quad H(j\omega) = \frac{1}{1 + j\omega RC}$$

$$|Z_{IN}| \approx |R + 1/sC|$$

$$\min(|Z_{IN}|) \approx R$$

$$|Z_{OUT}| \approx 0$$

Notiamo che, mentre la funzione di trasferimento è rimasta invariata, l'impedenza in uscita è adesso nulla, in quanto l'uscita è attaccata direttamente all'uscita dell'amplificatore operazionale a impedenza 0.

Esiste un'altra configurazione *passa basso RC attivo* (figura 4.16), che sfrutta più “seriamente” l'amplificatore operazionale (nel circuito precedente era utilizzato come buffer). Collegando in retroazione gli elementi in parallelo R_2 e C , possiamo calcolare la funzione di trasferimento ricordando quanto fatto per il circuito invertente (si prende l'opposto dell'impedenza in retroazione e si divide per l'impedenza in ingresso):

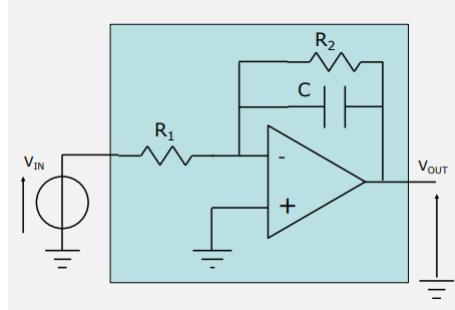


Figura 4.16: Un'altro filtro passa basso RC attivo

$$H(s) = -\frac{1/sC//R_2}{R_1} = -\frac{R_2}{R_1(1+sR_2C)} \quad H(j\omega) = -\frac{R_2}{R_1(1+j\omega R_2 C)}$$

$$|Z_{IN}| \approx R_1 \quad |Z_{OUT}| \approx 0$$

in figura 4.17, il grafico relativo a questo circuito.

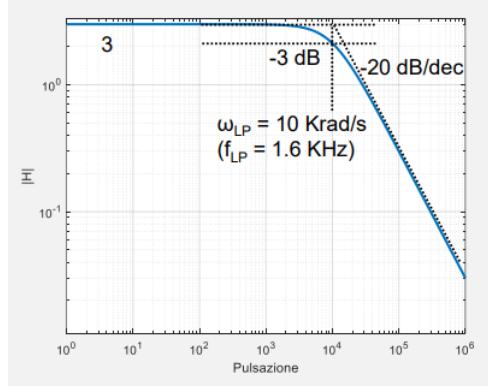


Figura 4.17: Il grafico relativo al secondo filtro passa basso RC attivo

$$H(j\omega) = -\frac{R_2}{R_1(1+j\omega R_2 C)} \quad |H(j\omega)| = \frac{R_2}{R_1 \sqrt{1+\omega^2 R_2^2 C^2}}$$

Nel circuito il cui comportamento è schematizzato dal grafico in figura 4.17, sono state fatte le seguenti scelte progettuali

$$\frac{R_2}{R_1} = 3 \quad T_{LP} = \frac{1}{\omega_{LP}} = C_2 R_2 = 100\mu s$$

Rimuovendo la resistenza R_2 , il circuito diventa un *filtro integratore* (figura 4.18).

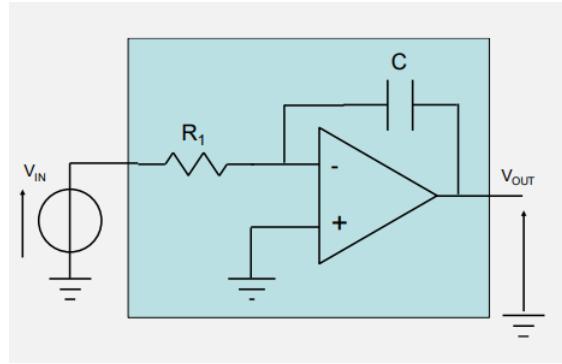


Figura 4.18: Filtro integratore

Possiamo “riciclare” le formule precedenti con $R_2 \rightarrow \infty$

$$H(s) = -\frac{1/sC}{R_1} = -\frac{1}{sR_1C} = -\frac{1}{R_1C} \cdot \frac{1}{s} \quad H(j\omega) = -\frac{1}{j\omega R_1 C}$$

poiché

$$\frac{d}{dt} \Leftrightarrow s$$

$$\left(\frac{d}{dt} \right)^{-1} \Leftrightarrow s^{-1}$$

moltiplicare per s^{-1} equivale ad integrare nel dominio del tempo

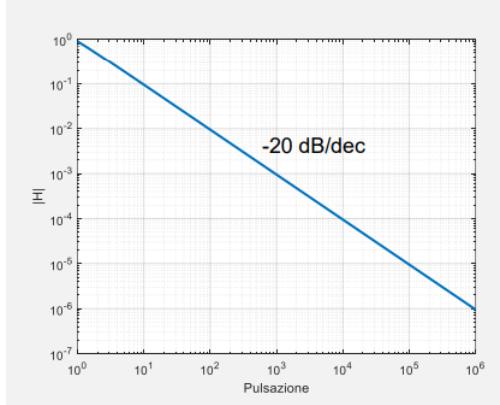


Figura 4.19: Grafico del filtro integratore

$$H(j\omega) = -\frac{1}{j\omega R_1 C} \quad |H(j\omega)| = \frac{1}{\omega R_1 C} \quad v_{OUT}(t) = \int v_{IN}(t) \cdot dt$$

Il circuito è detto integratore perché il segnale in uscita è pari all'integrale del segnale in ingresso.

Passiamo al circuito CR serie schematizzato in figura 4.20, che abbiamo già visto in precedenza. Come già sappiamo, tratta di un filtro passa alto, perché “lascia passare” il segnale al di sopra di una certa frequenza detta “di taglio”, ed è un circuito passivo.

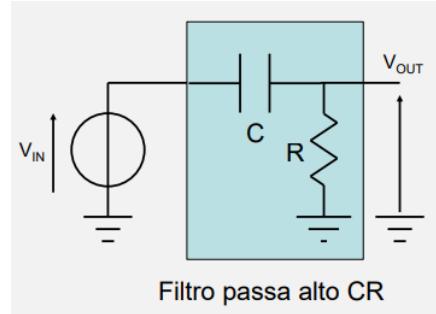


Figura 4.20: Circuito CR

Ricordando che

$$H(s) = \frac{R}{1/sC + R}$$

si ha che l’impedenza in ingresso è

$$|Z_{IN}| = |1/sC + (R//Z_L)| \quad \min(|Z_{IN}|) = 0$$

analogamente

$$|Z_{OUT}| = R//(1/sC + Z_S) \quad \max(|Z_{OUT}|) = R$$

Si può pensare, anche di questo circuito, una versione attiva, rappresentata in figura 4.21 (*Filtro passa alto CR attivo*).

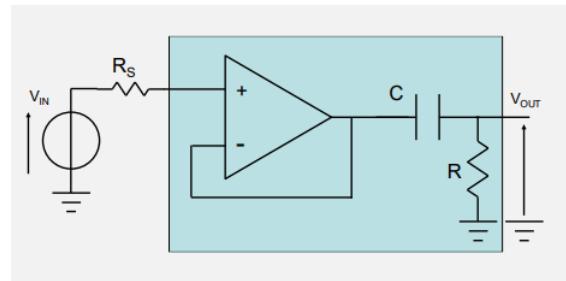


Figura 4.21: Filtro passa alto CR attivo

In questo caso

$$H(s) = \frac{R}{1/sC + R} \quad H(j\omega) = \frac{j\omega RC}{1 + j\omega RC}$$

$$|Z_{IN}| \approx \infty$$

$$|Z_{OUT}| \approx R/(1/sC)$$

$$\max(|Z_{OUT}|) = R$$

Esiste un'altra configurazione passa alto CR attiva (figura 4.22)

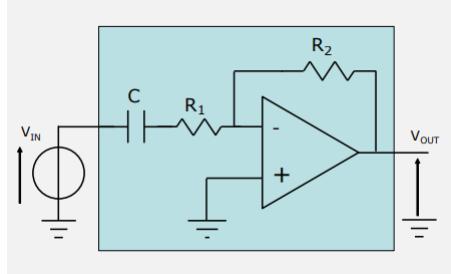


Figura 4.22: Un'altro filtro passa alto CR attivo

$$H(s) = -\frac{R_2}{R_1 + 1/sC} = -\frac{sCR_2}{1 + sR_1C} \quad H(j\omega) = -\frac{j\omega R_2 C}{1 + j\omega R_1 C}$$

$$|Z_{IN}| \approx R_1 + 1/sC$$

$$\min(|Z_{IN}|) \approx R_1$$

$$|Z_{OUT}| \approx 0$$

In figura 4.23, il grafico relativo a questo circuito.

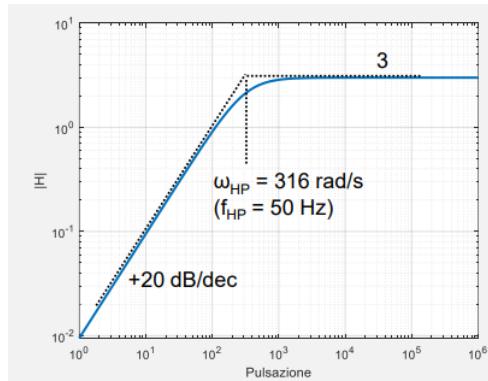


Figura 4.23: Il grafico relativo al secondo filtro passa alto CR attivo

$$H(j\omega) = -\frac{j\omega R_2 C}{1 + j\omega R_1 C} \quad |H(j\omega)| = \frac{\omega C R_2}{\sqrt{1 + \omega^2 R_1^2 C^2}}$$

Nel circuito il cui comportamento è schematizzato dal grafico in figura 4.23, sono state fatte le seguenti scelte progettuali

$$\frac{R_2}{R_1} = 3 \quad T_{HP} = \frac{1}{\omega_{HP}} = C_1 R_1 = 3ms$$

Rimuovendo la resistenza R_1 , il circuito diventa un *filtro derivatore* (figura 4.24).

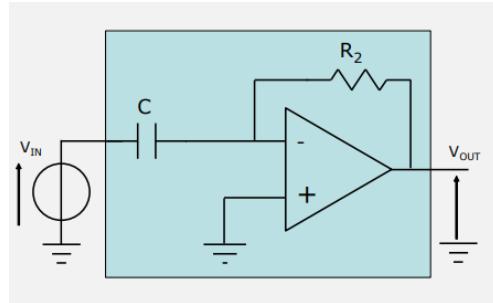


Figura 4.24: Filtro derivatore

Possiamo “riciclare” le formule precedenti con $R_1 = 0$

$$H(s) = -\frac{sR_2C}{1 + sR_1C} = -sR_2C = -R_2C \cdot s \quad H(j\omega) = -j\omega R_2C$$

moltiplicare per s equivale a derivare nel dominio del tempo

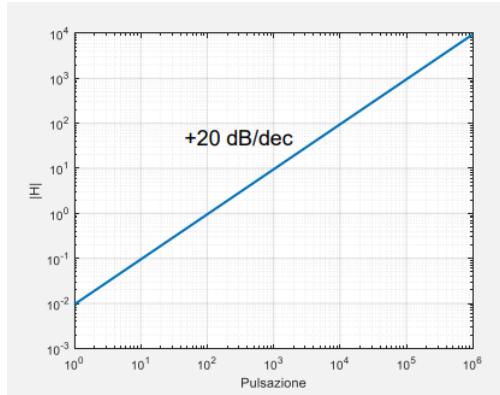


Figura 4.25: Grafico del filtro derivatore

$$H(j\omega) = -j\omega R_2C \quad |H(j\omega)| = \omega R_2C \quad v_{OUT}(t) = \frac{dv_{IN}(t)}{dt}$$

il segnale in uscita è la derivata del segnale in ingresso.

Introduciamo ora il *filtro passa banda attivo* (figura 4.26). Questa configurazione è particolarmente semplice: i due blocchi passa alto e passa basso visti in precedenza sono posti in cascata.

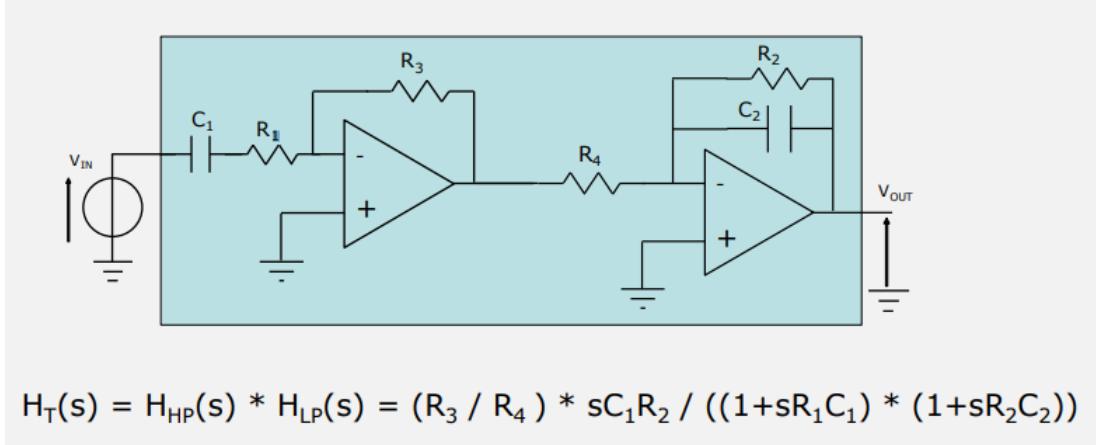


Figura 4.26: Filtro passa banda attivo

$$|H(j\omega)| = \frac{R_3/R_4 \cdot \omega C_1 R_2}{\sqrt{1 + \omega^2 R_1^2 C_1^2} \cdot \sqrt{1 + \omega^2 R_2^2 C_2^2}}$$

Scelte progettuali:

$$R_3/R_4 = 3 \quad R_1 = R_2$$

$$T_{LP} = \frac{1}{\omega_{LP}} = C_2 R_2 = 100\mu s \quad T_{HP} = \frac{1}{\omega_{HP}} = C_1 R_1 = 3ms$$

In pratica, è opportuno che $\omega_{LP} > \omega_{HP}$ (e quindi $T_{HP} > T_{LP}$).

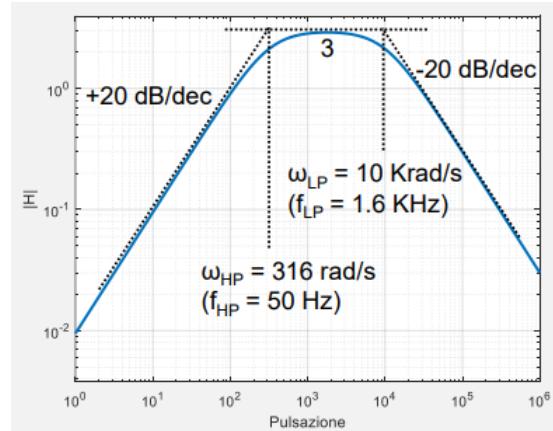


Figura 4.27: Grafici relativi al filtro passa banda attivo

Esiste anche un'altra configurazione passa banda attiva (figura 4.28)

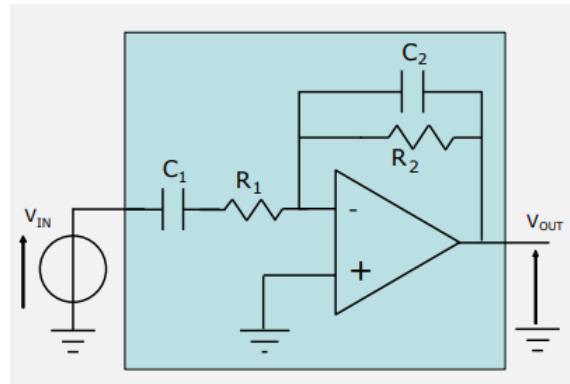


Figura 4.28: Un altro filtro passa banda attivo

$$H(s) = -\frac{R_2/1/sC_2}{R_1 + 1/sC_1} = -\frac{sC_1R_2}{(1 + sR_2C_2) \cdot (1 + sR_1C_1)}$$

$$H(j\omega) = -\frac{j\omega C_1 R_2}{(1 + j\omega R_2 C_2) \cdot (1 + j\omega R_1 C_1)}$$

In pratica, è opportuno che $R_1C_1 > R_2C_2$.

4.4 Circuiti risonanti attivi

Iniziamo a parlare di circuiti risonanti attivi con il circuito in figura 4.29, un *circuito risonante serie attivo*. Il simbolo con cui viene rappresentata R_4 è un potenziometro. In laboratorio questi sono dispositivi a tre terminali, che permettono ruotando una apposita vite di modificare la resistenza tra il terminale centrale e i laterali, mantenendo però la loro somma costante. Si tratta di un resistore regolabile, per farla semplice.

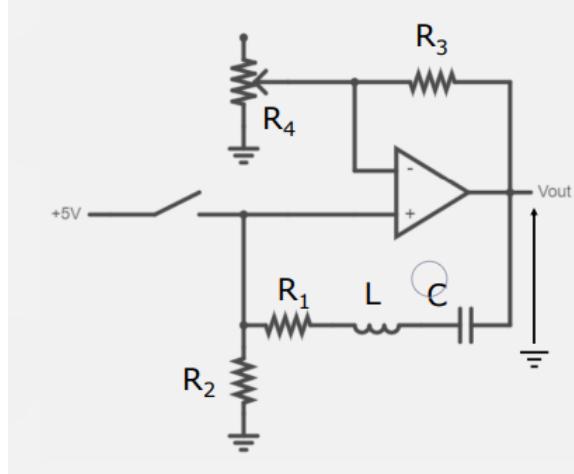
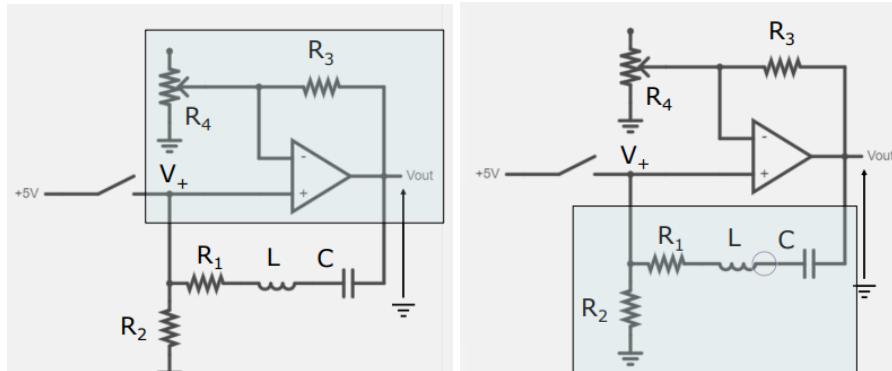


Figura 4.29: Un circuito risonante serie attivo

Continuando a parlare del circuito, si nota immediatamente che non ci sono segnali in ingresso. Ciò vuol dire che il circuito produce autonomamente il segnale V_{OUT} in uscita. Il circuito può idealmente essere suddiviso in due parti:



(a) Configurazione non invertente

(b) Filtro RLC passivo serie

La prima parte è una configurazione non invertente, che ha in ingresso V_+ e in uscita V_{OUT}

$$V_{OUT} = V_+ \cdot \left(1 + \frac{R_3}{R_4} \right)$$

La seconda parte è un filtro RLC passivo, che ha in ingresso V_{OUT} e in uscita V_+

$$V_+ = V_{OUT} \cdot \frac{R_2}{R_2 + R_1 + sL + 1/sC}$$

$$V_+ = V_{OUT} \cdot \frac{R_2}{R_2 + R_1 + j\omega L - j/\omega C}$$

per $\omega = \omega_R = 1/\sqrt{LC} \Rightarrow \omega L = 1/\omega C$

$$V_+ = V_{OUT} \cdot \frac{R_2}{R_2 + R_1}$$

Il segnale in uscita è quindi idealmente sinusoidale, di frequenza determinata dai valori degli elementi risonanti L e C. L'ampiezza può essere eventualmente limitata alle tensioni di alimentazione.

Intorno alla frequenza di risonanza ($\omega \approx \omega_R$) possiamo quindi fare un'analisi semplificata del circuito:

$$\frac{V_{OUT}}{V_+} = \frac{R_4 + R_3}{R_4} = k_2$$

$$\frac{V_+}{V_{OUT}} = \frac{R_2}{R_2 + R_1} = k_1$$

È come se, in un ciclo completo,

$$V_{OUT}(n) = V_{OUT}(n-1) \cdot (k_1 \cdot k_2)$$

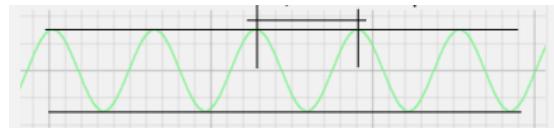


Figura 4.31: Se $k_1 \cdot k_2 = 1$

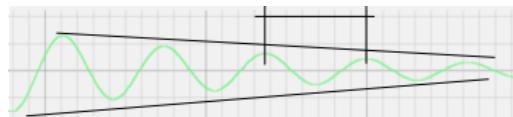


Figura 4.32: Se $k_1 \cdot k_2 < 1$

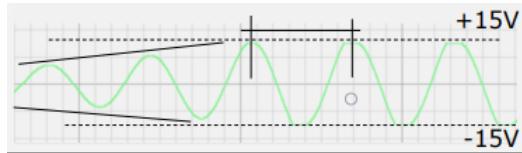
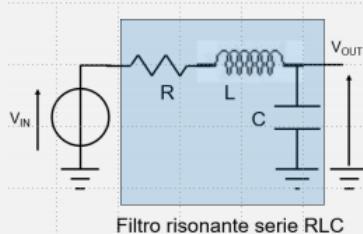


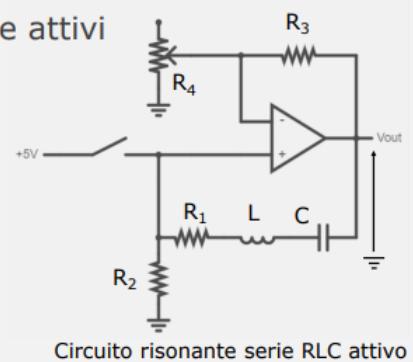
Figura 4.33: Se $k_1 \cdot k_2 > 1$ (l'ampiezza è eventualmente limitata dalle tensioni di alimentazione)

Il pulsante visto all'inizio serve solo a perturbare inizialmente il sistema, essendo $V_{OUT}(t) = 0$ un lecito comportamento del circuito (in realtà, purtroppo, la presenza del rumore nei circuiti reali non consente mai di avere rigorosamente l'uscita identicamente nulla).

Confronto tra circuiti risonanti passivi e attivi



vs



- Serve un generatore di segnale variabile nel tempo
- Considererevoli effetti della resistenza equivalente serie R (ESR) (dovuta all'induttore e al generatore)
- Serve un generatore di tensione costante (per le alimentazioni)
- Fornisce un segnale sinusoidale dipendente dai parametri L e C
- Poca influenza della ESR dell'induttore

Figura 4.34: Confronto tra circuiti risonanti passivi e attivi

Passiamo ora all'equivalente parallelo di questo circuito, mostrato in figura 4.35 (*circuito risonante parallelo attivo*).

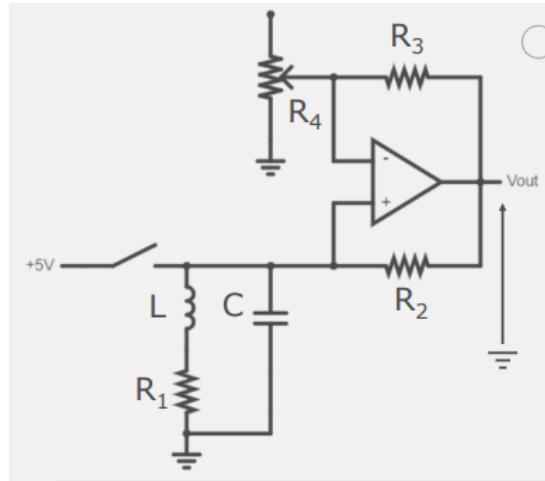


Figura 4.35: Un circuito risonante parallelo attivo

Come per il circuito serie non ci sono segnali in ingresso al circuito; questo produce automaticamente il segnale V_{OUT} in uscita che è, idealmente, sinusoidale. La frequenza del segnale dipende dai valori degli elementi risonanti L e C .

Anche questo circuito può essere diviso in due parti:

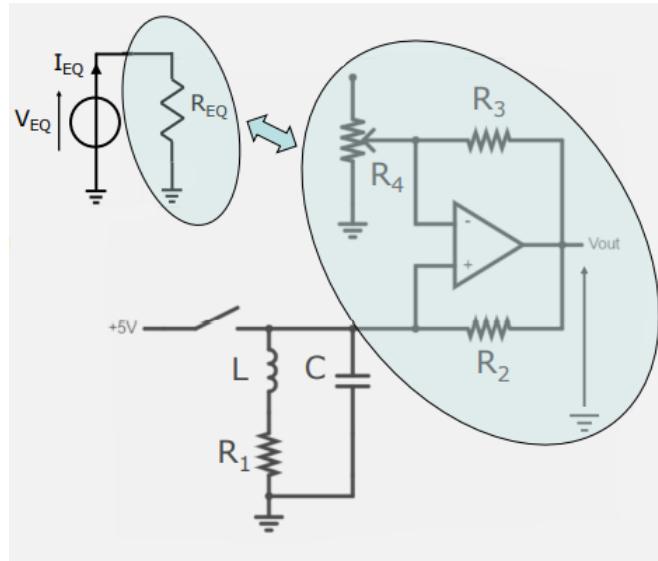


Figura 4.36: Prima sezione del circuito

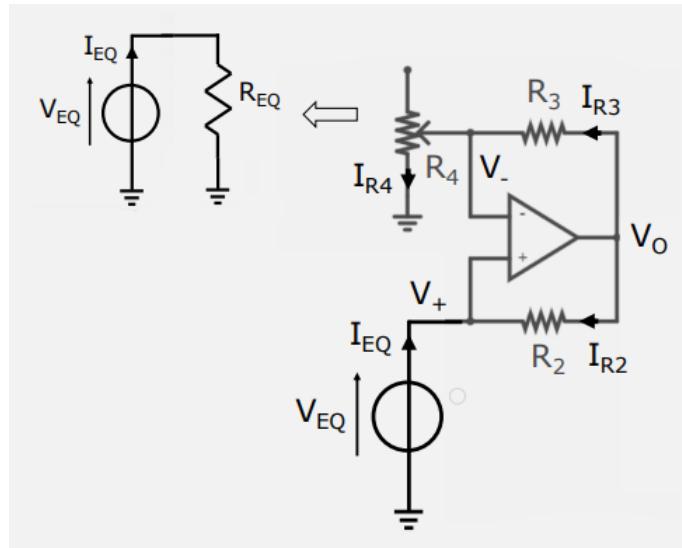


Figura 4.37: Correnti e potenziali del circuito

Calcoliamo l'impedenza equivalente al circuito in figura 4.36.

$$V_+ = V_{EQ} = V_- \quad I_{R4} = \frac{V_-}{R_4} \quad I_{R3} = I_{R4}$$

$$V_O = I_{R4} \cdot R_4 + I_{R3} \cdot R_3 = V_+ \cdot \left(1 + \frac{R_3}{R_4} \right)$$

$$I_{R2} = \frac{V_O - V_{EQ}}{R_2} = \frac{V_{EQ} \cdot R_3}{R_4 \cdot R_2}$$

$$I_{EQ} = -I_{R2}$$

$$R_{EQ} = \frac{V_{EQ}}{I_{EQ}} = -\frac{R_4 \cdot R_2}{R_3}$$

L'impedenza equivalente è negativa! La corrente scorre in senso opposto alla tensione.
Il circuito si riduce dunque a quanto mostrato in figura 4.38.

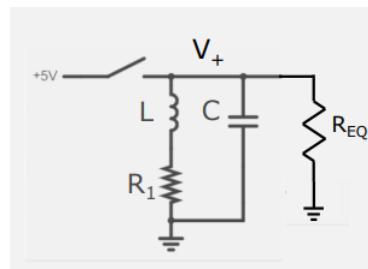


Figura 4.38: Filtro RLC passivo parallelo

$$Z_{EQ} = (sL + R_1) // (1/sC) // R_{EQ}$$

$$Z_{EQ} = \frac{R_{EQ} \cdot (sL + R_1)}{s^2 L C R_{EQ} + s \cdot (C R_1 R_{EQ} + L) + R_1 + R_{EQ}}$$

Se si sceglie $R_{EQ} = -\frac{L}{CR_1}$

$$Z_{EQ} = \frac{sL + R_1}{s^2 LC + 1 - CR_1^2/L}$$

La frequenza di risonanza (sempre con $R_{EQ} = -\frac{L}{CR_1}$), ricordando che $s = j\omega$, è

$$\omega_R = \sqrt{\frac{1 - CR_1^2/L}{LC}}$$

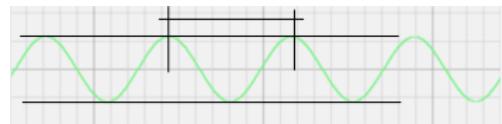


Figura 4.39: Se $R_{EQ} = -R_4 = -L/(CR_1)$

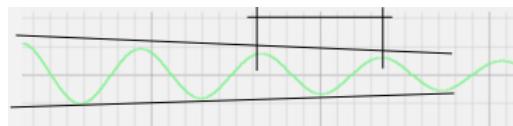


Figura 4.40: Se $R_{EQ} = -R_4 < -L/(CR_1)$

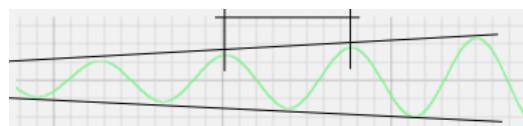


Figura 4.41: Se $R_{EQ} = -R_4 > -L/(CR_1)$ (l'ampiezza è eventualmente limitata dalle tensioni di alimentazione)

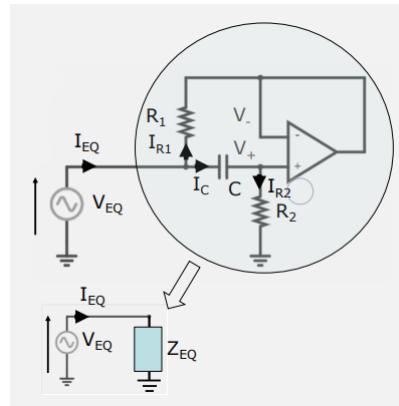


Figura 4.42: Circuito giratore

Il *circuito giratore*, schematizzato in figura 4.42, permette di “emulare” un induttore a partire da un condensatore. Viene spesso usato nei circuiti integrati, dove gli induttori fisici non sono disponibili.

$$I_C = \frac{V_{EQ}}{R_2 + 1/sC} = \frac{V_{EQ} \cdot sC}{1 + sCR_2}$$

$$V_+ = V_- \quad V_+ = I_{R2} \cdot R_2 = I_C \cdot R_2 = \frac{V_{EQ} \cdot sCR_2}{1 + sCR_2}$$

$$I_{R1} = \frac{V_{EQ} - V_-}{R_1} = \frac{V_{EQ}}{(1 + sCR_2) \cdot R_1}$$

$$I_{EQ} = I_C + I_{R1} = \frac{V_{EQ} \cdot (1 + sCR_1)}{(1 + sCR_2) \cdot R_1}$$

$$Z_{EQ} = \frac{V_{EQ}}{I_{EQ}} = \frac{R_1 \cdot (1 + sCR_2)}{1 + sCR_1}$$

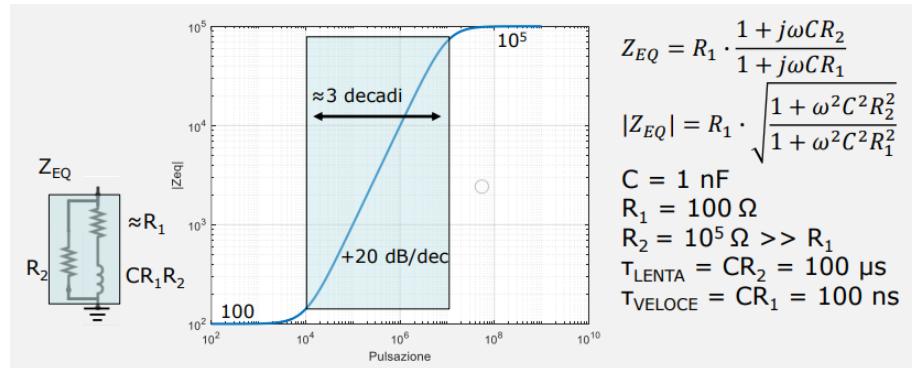


Figura 4.43: Grafico del circuito giratore

5 Circuiti attivi non lineari con amplificatori operazionali

5.1 Diodi

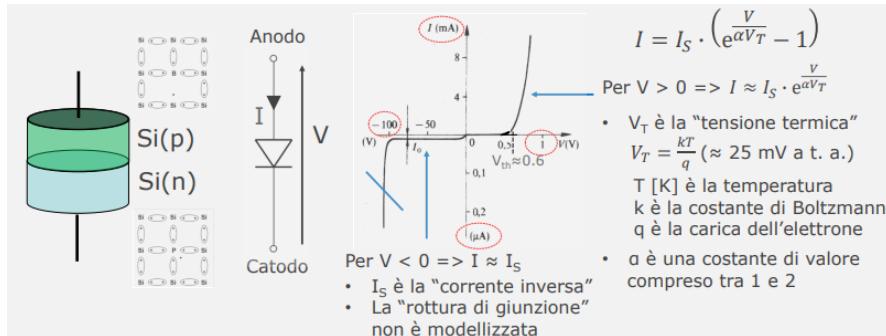


Figura 5.1: Diodo a giunzione p-n in silicio, con simbolo circuitale e grafico della tensione

Un *diodo* è una giunzione formata da due pezzi di uno stesso materiale (in questo caso silicio) contatto tra di loro, “drogati” in maniera diversa (di solito Boro e Fosforo). Questi drogaggi portano il primo ad una eccedenza di elettroni e il secondo ad una carenza di elettroni.

Il diodo è un dipolo non lineare e ha quindi un anodo e un catodo. Ai capi del diodo possiamo misurare una differenza di potenziale, come indicato dalla freccia in figura 5.1, e usiamo la convenzione degli utilizzatori.

La corrente che passa attraverso il diodo varia in funzione della tensione come mostrato in figura. Per tensioni positive, questa è nulla o quasi fino al raggiungimento di una tensione detta *di soglia* (V_{TH}), superata la quale la crescita diviene apprezzabile.

È possibile modellizzare questo comportamento con la formula:

$$I = I_S \cdot \left(e^{\frac{V}{V_T}} - 1 \right) \quad (5)$$

I_S è detta *corrente di saturazione inversa*, e nella formula è moltiplicata dal termine tra parentesi. Questo termine è pari a -1 sommato all'esponenziale di una frazione che ha per numeratore la tensione; per denominatore il prodotto tra una costante numerica α (di valore compreso tra 1 e 2) ed una quantità detta *tensione termica* (che vale $V_T = \frac{kT}{q}$ dove k è la costante di Boltzmann¹, T la temperatura, q la carica dell'elettrone; a temperatura ambiente vale circa 25 mV).

Il fattore -1 in sottrazione serve per fare sì che la corrente sia nulla a tensione nulla.

Per tensioni negative, la corrente è (quasi) uniformemente pari alla corrente di saturazione inversa (che è inaspettatamente l'inverso della corrente di saturazione inversa).

Esiste un fenomeno, detto *rottura della giunzione*, che non è modellizzato dall'equazione e che avviene quando la tensione negativa cresce troppo. Quando questo accade, la corrente cessa di seguire l'asintoto della corrente di saturazione e scende pericolosamente.

Meglio stare lontani da questo stato del diodo. Ogni diodo ha un datasheet sul quale sono riportate le informazioni chiave tra le quali la tensione di rottura, ed è quindi opportuno operare i diodi nei limiti di questa tensione.

¹ $k_B = 1,380649 \cdot 10^{-23} \text{ JK}^{-1}$

Proviamo adesso a creare un primo semplice circuito con i diodi, come quello raffigurato in figura 5.2.

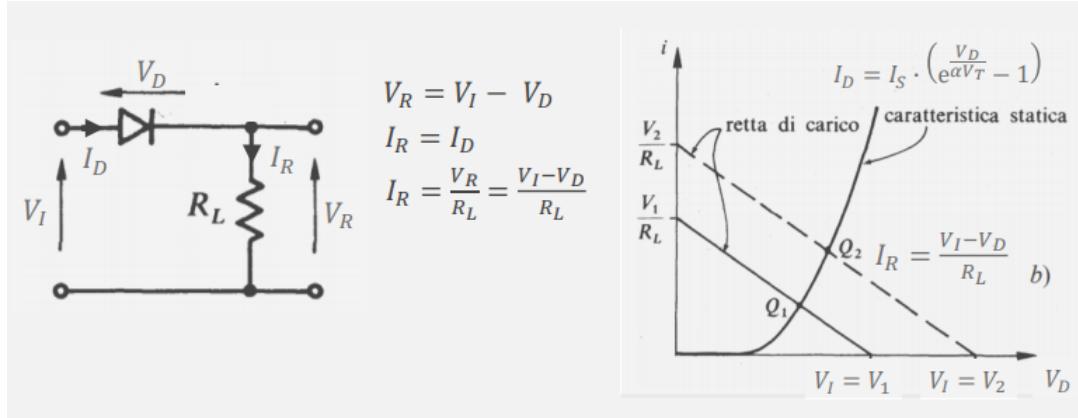


Figura 5.2: Un primo circuito con diodo

L'analisi circuitale permette di studiare il comportamento qualitativo del circuito e di tracciare il grafico in figura. La corrente che scorre attraverso il diodo segue il comportamento:

$$I = \frac{V_I - V_D}{R_L} = \frac{V_I}{R_L} - \frac{V_D}{R_L}$$

Dove V_I è la tensione generata dal generatore e V_D è la (ignota) tensione ai capi del diodo. Al variare di V_D tra 0 e V_I si ha che la corrente segue una retta a coefficiente negativo, detta *retta di carico*. L'intersezione tra la retta di carico e la curva esponenziale vista precedentemente ci danno la tensione ai capi e la corrente che scorre attraverso il diodo, ovvero il *punto di lavoro del circuito*.

In particolare vediamo che il coefficiente angolare della retta dipende solamente da R_L .

Cimentiamoci ora nel calcolo della resistenza equivalente (figura 5.3).

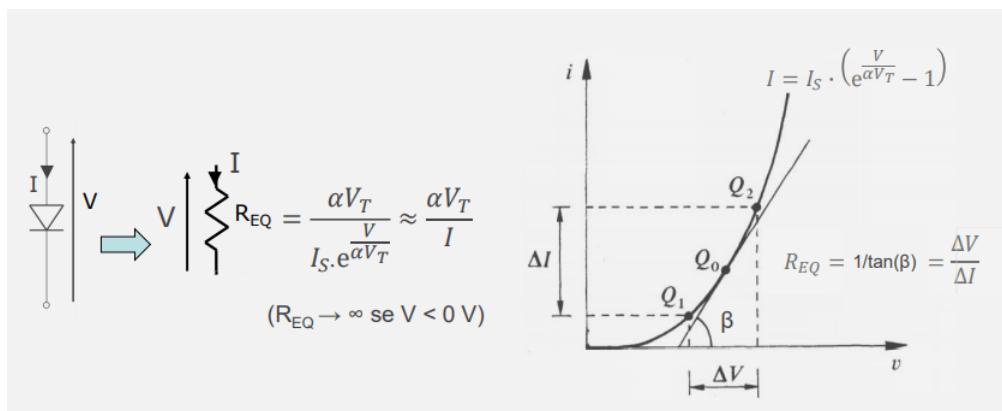


Figura 5.3: Calcolo della resistenza equivalente

Non è un'impresa semplice: una resistenza ha un comportamento lineare, mentre il diodo per sua natura no. Ne segue che per modellizzare un diodo come una resistenza bisogna limitarsi

ad un piccolo intervallo del punto che ci interessa, in una condizione detta di *piccolo segnale*. Nei limiti di questo intervallo è possibile considerare rettilineo il grafico tensione-corrente. Questa retta sarà quindi la tangente al grafico della corrente e avrà come coefficiente angolare la derivata della funzione 5.

$$dI = I_S \cdot \frac{1}{\alpha V_T} \cdot e^{\frac{-V}{\alpha V_T}} dV$$

$$R_{EQ} = \frac{\Delta V}{\Delta I} = \frac{\alpha V_T}{I_S \cdot e^{\frac{-V}{\alpha V_T}}} \approx \frac{\alpha V_T}{I}$$

Dove I è la corrente nel punto di lavoro del circuito attorno al quale ci muoviamo.

Si nota che, al decrescere di V , R_{EQ} cresce. Per valori di V più piccoli di 0 la resistenza è tanto grande che si può considerare, per fini pratici, infinita ($R_{EQ} \rightarrow \infty$).

In figura 5.4, alcuni semplici modelli di diodo, pensati per poter modellizzare il loro comportamento a “grande segnale”.

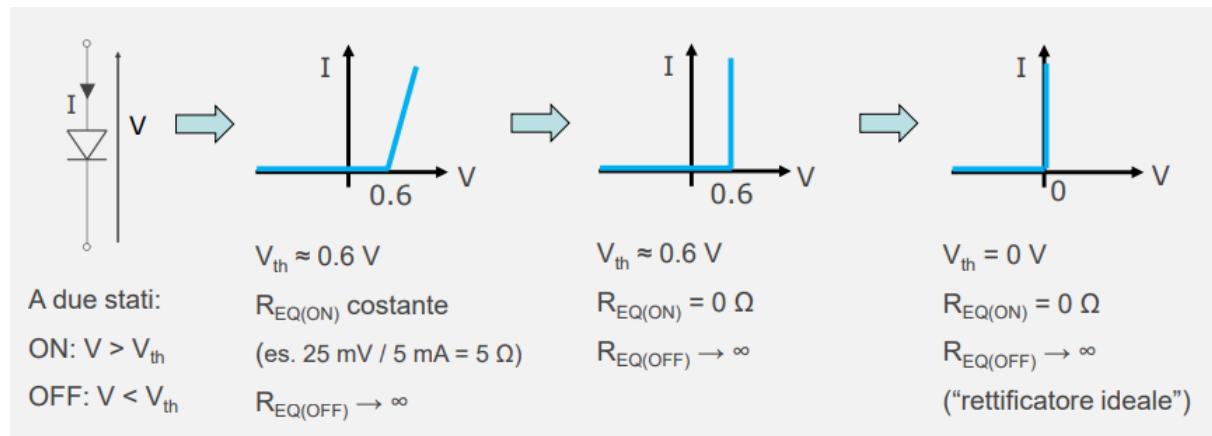


Figura 5.4: Alcuni modelli semplici, per “grande segnale”

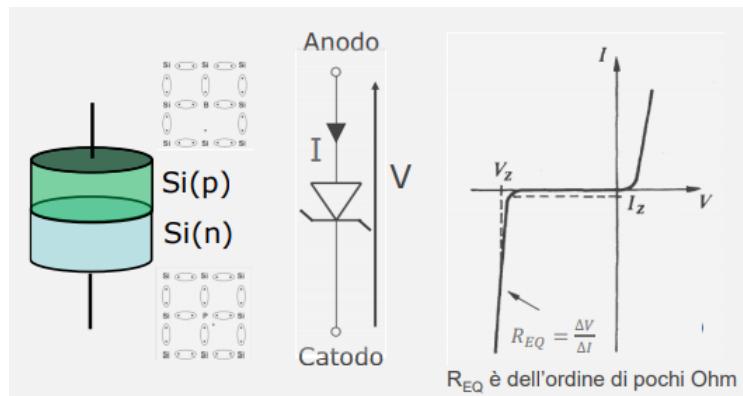


Figura 5.5: Un diodo Zener (a giunzione p-n in silicio)

In figura 5.5 è raffigurato un diodo Zener.

Un *diodo Zener*, rispetto ad un classico diodo, dissipà più efficientemente il calore generato in condizione di “rottura di giunzione” e può pertanto operare costantemente in tale modalità. Ha inoltre specifici profili di droggaggio che consentono di controllare più precisamente la condizioni di rottura di giunzione (V_Z , I_Z , dove Z sta per Zener), anche al variare della temperatura, e mantiene “costante” la differenza di potenziale ai suoi capi, anche al variare della corrente che lo attraversa.

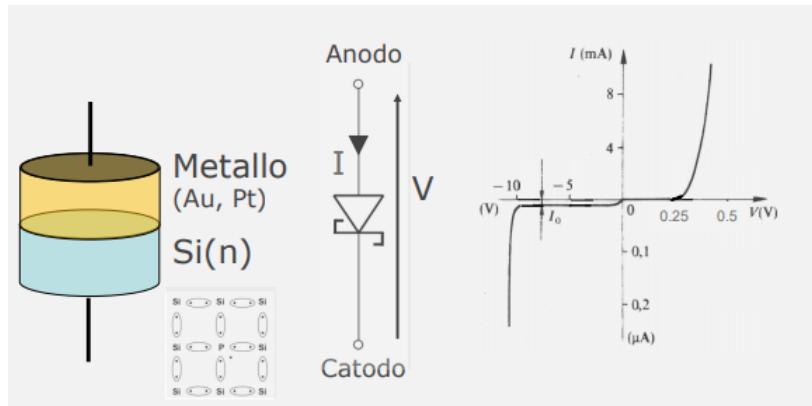


Figura 5.6: Un diodo Schottky

In figura 5.6 è raffigurato un diodo Schottky.

A differenza di un diodo classico con giunzione in silicio (silicio-silicio), lo Schottky ha una giunzione in metallo-silicio. Rispetto ad un diodo classico, ha minore tensione di soglia, usualmente inferiore a 0.4 V, maggior velocità di commutazione tra gli stati (ON – OFF) e tensione di rottura usualmente minore rispetto ad un diodo p-n.

Ora, dato un diodo ignoto, come determinarne, sperimentalmente, la curva caratteristica?

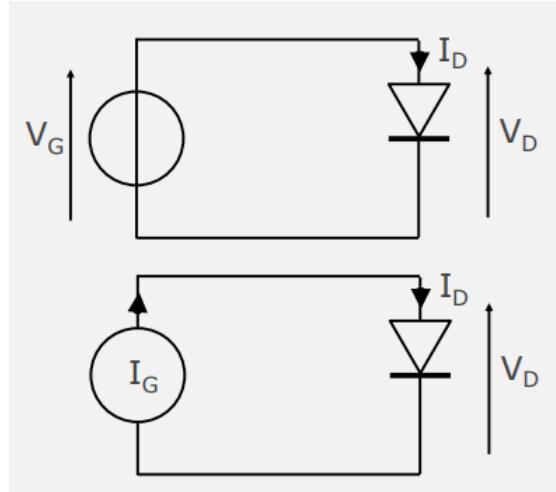


Figura 5.7: Due circuiti per determinare la curva di un diodo

Ci sono due metodi. Il primo consiste nell'utilizzare un generatore di tensione e collegarlo ai capi del diodo (vedi figura 5.7). La tensione generata sarà quindi uguale alla tensione ai capi del diodo, e sarà sufficiente misurare la corrente per poter conoscere la funzione f

$$I = f(V)$$

In alternativa è possibile usare un generatore di corrente e misurare la tensione ai capi del diodo (sempre figura 5.7), misurando così la funzione f^{-1}

$$V = f^{-1}(I)$$

I due metodi sono, teoricamente, equivalenti.

In laboratorio, essendo presenti solamente generatori di tensione², sarà necessario ricorrere al primo. La corrente deve quindi essere misurata con un amperometro in serie, tuttavia sappiamo che questi strumenti, per forza di cose, provocano una caduta di tensione potenzialmente significativa per effetto dell'impedenza interna R_{EQ1} che non è nota a priori (talvolta dipende dall'entità della corrente da misurare).

È quindi opportuno misurare direttamente la differenza di potenziale ai capi del diodo con un voltmetro (figura 5.8) usando così due strumenti.

In alternativa, più semplicemente, si può utilizzare un amplificatore operazionale in configurazione di amplificatore invertente (figura 5.9), per realizzare un generatore di corrente equivalente controllato in tensione. Basta quindi poi usare un voltmetro per misurare, indirettamente, la differenza di potenziale ai capi del diodo.

$$I_{R1} = \frac{V_G}{R_1}$$

²si può "simulare" un generatore di corrente (solo in continua e con poca precisione) variando opportunamente il limite di corrente erogabile da un alimentatore di tensione, ma non ne vale la pena.

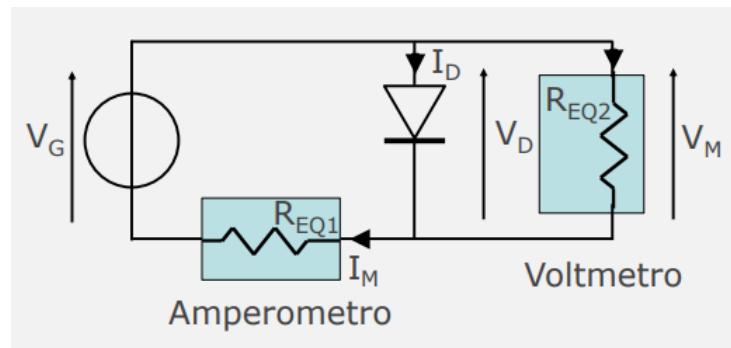


Figura 5.8: Circuito per determinare la curva caratteristica del diodo con due strumenti

$$I_D = I_{R1} = \frac{V_G}{R_1}$$

(Ricordate? la corrente in ingresso è nulla)

$$V_D = -V_O = -V_M$$

$$V_D = f^{-1}(I_D)$$

ricordando sempre che V_O è limitato dalle alimentazioni.

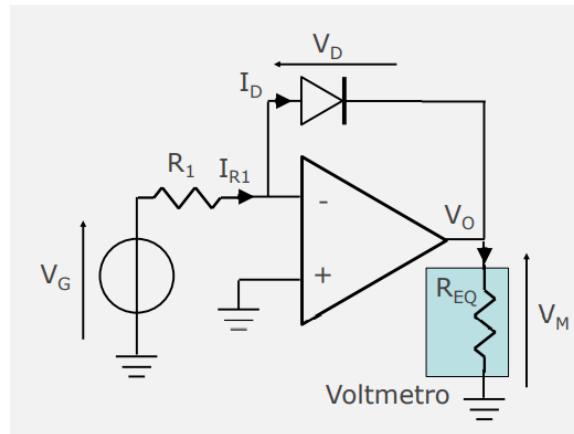


Figura 5.9: Circuito per determinare la curva caratteristica del diodo con amplificatore operazionale

5.2 Rettificatori

Vediamo adesso qualche interessante circuito con diodi.

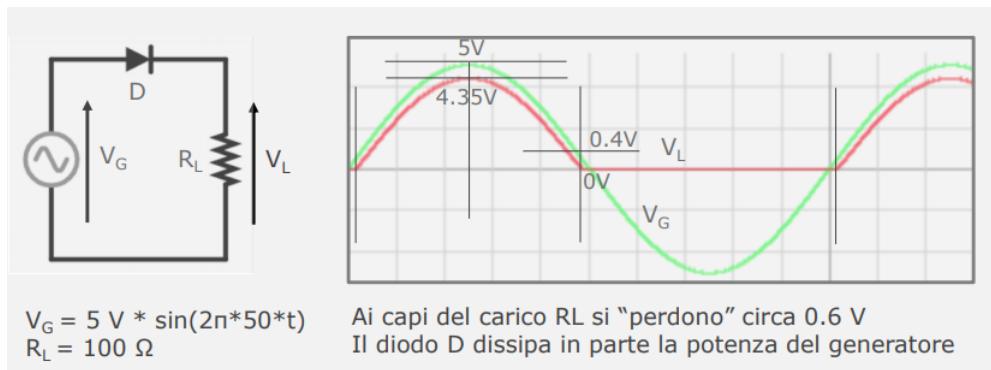


Figura 5.10: Rettificatore "half wave" a 1 diodo

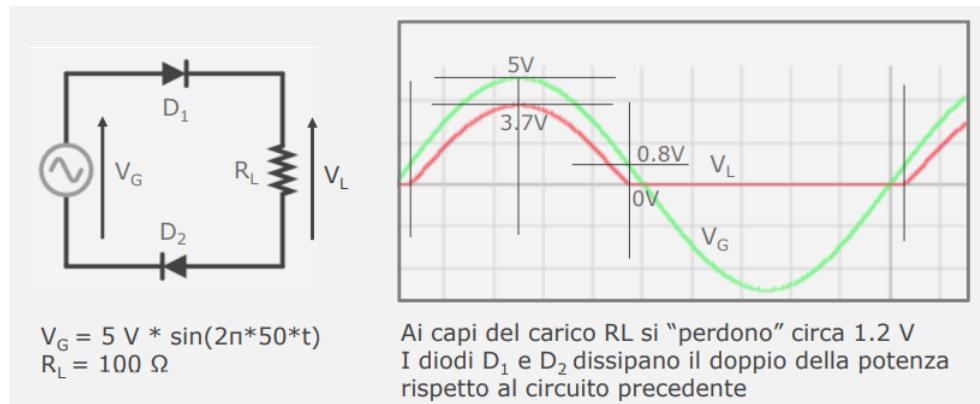


Figura 5.11: Rettificatore "half wave" a 2 diodi

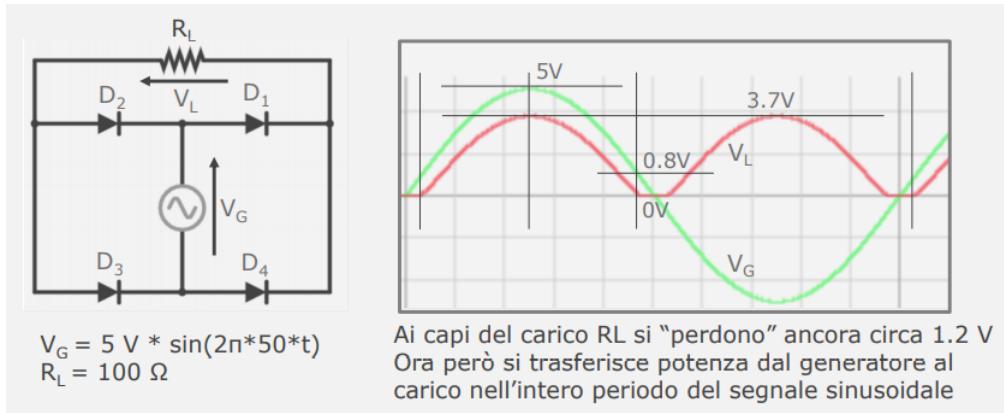


Figura 5.12: Rettificatore "full wave" a 4 diodi

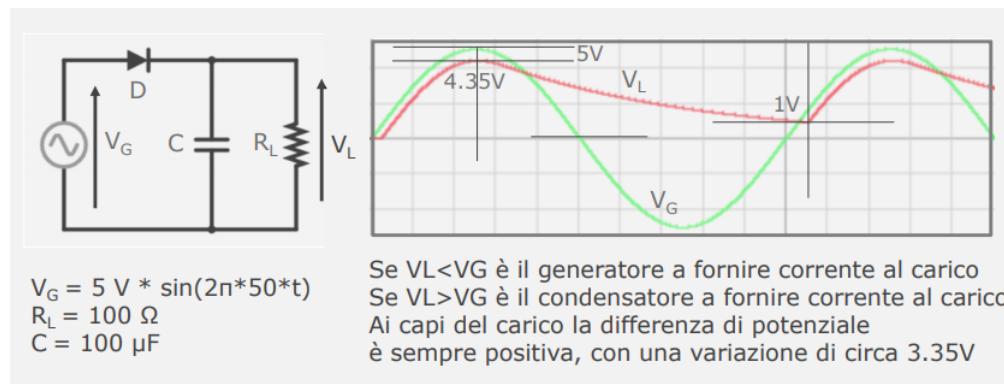


Figura 5.13: Rettificatore "half wave" a 1 diodo e 1 condensatore

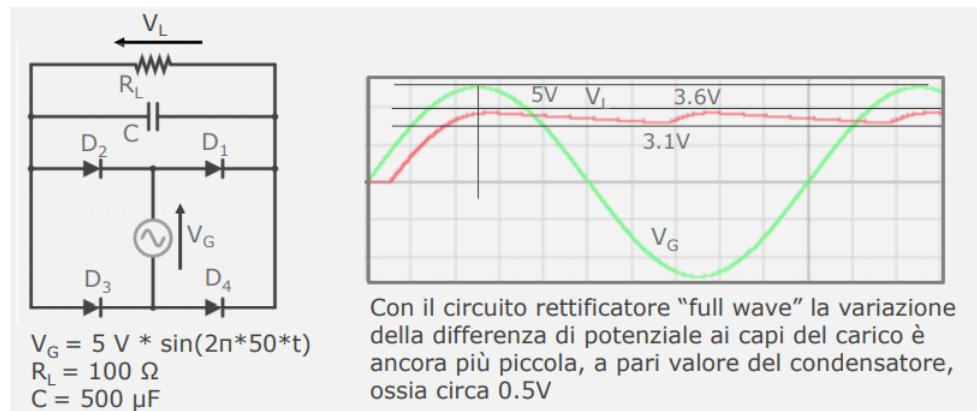


Figura 5.14: Rettificatore "full wave" con condensatore

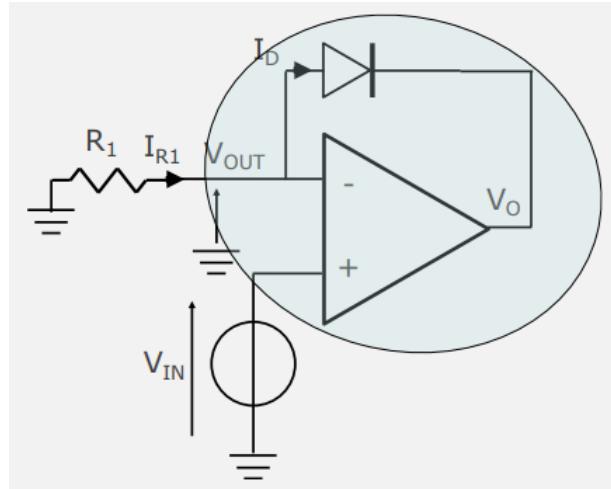


Figura 5.15: Rettificatore ideale

Il circuito in figura 5.15 è un *rettificatore ideale*. Procediamo con l'analisi:

$$I_{R1} = -\frac{V_{OUT}}{R_1} \quad I_D = I_{R1}$$

1. Supponendo $V_{IN} < 0$:

Ipotizziamo V_O non in saturazione, quindi

$$V_{IN} \approx V_{OUT}$$

$$I_{R1} = -\frac{V_{IN}}{R_1} > 0$$

$$I_D > 0$$

quindi il diodo è acceso (ON)

$$V_D = g(I_D) \approx V_{TH} \approx 0.6$$

$$V_O = V_{OUT} - 0.6 = V_{IN} - 0.6$$

V_O non è in saturazione.

Ipotizziamo ora V_O in saturazione, quindi

Se $V_O = +V_{CC}$ il diodo è spento

$$I_D = 0 = I_{R1} \Rightarrow V_{OUT} = 0 \quad V_O = A_O \cdot (V_+ - V_-) = A_O \cdot V_{IN} = -V_{EE}$$

Se $V_O = -V_{EE}$ il diodo è acceso

$$V_{OUT} = V_O + V_{TH} = -V_{EE} + 0.6 \quad V_O = A_O \cdot (V_{IN} + V_{EE} - 0.6) = +V_{CC}$$

Le due affermazioni sono paradossali: se $V_O = +V_{CC}$ allora $V_O = -V_{EE}$, ma se $V_O = -V_{EE}$ allora $V_O = +V_{CC}$. Ne segue che l'amplificatore non può essere in saturazione se $V_{IN} < 0$.

2. Analizziamo ora per $V_{IN} > 0$.

Ipotizziamo V_O non in saturazione, quindi

$$V_{IN} \approx V_{OUT}$$

$$I_D = I_{R1} = -\frac{V_{IN}}{R_1} < 0$$

ma ciò è impossibile, perché la differenza di potenziale ai capi del diodo è positiva. Ne segue che V_O non può essere non in saturazione.

Ipotizziamo ora V_O in saturazione, quindi

Se $V_O = +V_{CC}$ il diodo è spento

$$I_D = 0 = I_{R1} \Rightarrow V_{OUT} = 0 \quad V_O = A_O \cdot (V_+ - V_-) = A_O \cdot V_{IN} = +V_{CC}$$

Se $V_O = -V_{EE}$ il diodo è acceso

$$V_{OUT} = V_O + V_{TH} = -V_{EE} + 0.6 \quad V_O = A_O \cdot (V_{IN} + V_{EE} - 0.6) = +V_{CC}$$

La seconda affermazione è autocontraddittoria, quindi è impossibile. Ne segue che se $V_{IN} > 0$ V_O è in saturazione e $V_O = +V_{CC}$.

Riassumendo, se $V_{IN} > 0$, V_O è in saturazione e $V_{OUT} = 0$; se $V_{IN} < 0$ V_O non è in saturazione e $V_{OUT} = V_{IN}$. L'amplificatore operazionale permette quindi di realizzare uno dei modelli “ideali” di diodo visti precedentemente.

5.3 Circuiti astabili e affini

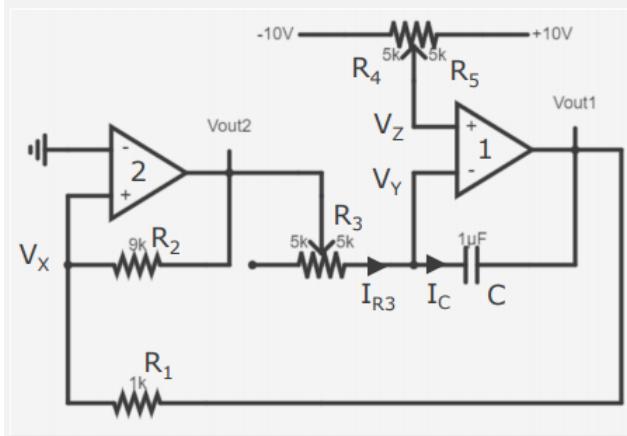


Figura 5.16: Circuito astabile con 2 Amplificatori Operazionali

Analizziamo ora alcuni interessanti circuiti che è possibile realizzare sfruttando l'azione combinata degli amplificatori operazionali e dei diodi: i circuiti astabili (e altri circuiti affini). Un primo esempio di *circuito astabile* è raffigurato in figura 5.16.

Si noti che, da questo momento in poi, considerato che il funzionamento di molti circuiti dipende dai valori degli elementi costruttivi, la teoria generale non verrà più presentata al prescindere di un circuito esemplare che sicuramente funziona.

In laboratorio è saggio creare circuiti con pezzi il più possibile vicini a quelli indicati negli esempi, per evitare di trovarsi impossibilitati ad osservare il comportamento tipico di un circuito, altrimenti ben assemblato, a causa di un pezzo anomalo. In breve, copiate le figure.

Procediamo con l'analisi, supponendo inizialmente $R_4 = R_5$

$$V_Z = V_Y = 0$$

$$I_{R3} = \frac{V_{OUT2} - V_Y}{R_3} = I_C$$

$$\frac{dV_{OUT1}}{dt} = -\frac{I_C}{C} = -\frac{V_{OUT2}}{R_3 \cdot C}$$

Ipotizziamo che inizialmente l'uscita V_{OUT2} sia in saturazione e che sia positiva.

$$V_{OUT2} = +V_{CC} = +10V$$

ne segue che V_{OUT1} decresce linearmente nel tempo.

$$V_X = V_{OUT1} \frac{R_2}{R_1 + R_2} + V_{OUT2} \frac{R_1}{R_1 + R_2} = 0.9 \cdot V_{OUT1} + 0.1 \cdot V_{OUT2} = 0.9 \cdot V_{OUT1} + 1V$$

da cui segue che anche V_X decresce linearmente nel tempo. Si giungerà quindi, ad un certo punto, ad un valore di V_X negativo. Nel momento in cui questo accade V_{OUT2} diventa immediatamente³ negativo

$$V_{OUT2} = -V_{EE} = -10V$$

Le correnti I_{R3} e I_C cambiano verso. V_{OUT1} e V_X crescono ora linearmente nel tempo.

Quando V_X diventa positiva,

$$V_{OUT2} = +V_{CC} = +10V$$

ritornando al punto di partenza. Il ciclo continua indefinitamente. In particolare V_{OUT2} commuta periodicamente tra i valori $+V_{CC}$ e $-V_{EE}$, ed è quindi un'onda quadra. Il segnale V_{OUT1} , invece, varia linearmente, crescendo quando V_{OUT2} è negativo e decrescendo quando V_{OUT2} è positivo (*onda triangolare*). I limiti del segnale V_{OUT1} si calcolano semplicemente imponendo $V_X = 0$

$$0 = V_X = V_{OUT1} \cdot \frac{R_2}{R_1 + R_2} + V_{OUT2} \cdot \frac{R_1}{R_1 + R_2} = 0.9 \cdot V_{OUT1} + 0.1 \cdot V_{OUT2} = 0.9 \cdot V_{OUT1} \pm 1V$$

$$V_{OUT1} = \pm 1.11V$$

Il periodo del segnale ad onda quadra corrisponde al tempo necessario affinché il condensatore C inverta la sua carica

$$\Delta T = C \frac{\Delta V}{I_{R3}} = 1\mu F \frac{2 \cdot 1.11V}{2mA} = 1.11ms$$

Si noti che questo è l'unico valore del segnale che dipende da I_{R3} (e quindi da R_3). Ne segue che, agendo su R_3 , si può cambiare la frequenza del segnale in uscita.

Se adesso si modifica il valore del primo potenziometro di modo che $R_4 \neq R_5$, il potenziale V_Z (così come il potenziale V_Y) non è più nullo. La corrente I_{R3} non ha più valori uguali in modulo e si crea un'asimmetria tra i processi di carica e scarica del condensatore. Il circuito rimarrà quindi più tempo nello stato $V_{OUT2} = +V_{CC}$ e meno tempo nello stato $V_{OUT2} = -V_{EE}$ o viceversa.

³chiaramente la transizione da uno stato di saturazione positivo ad uno negativo non può essere istantanea. Per immediata intendiamo di natura temporale molto più piccola dei periodi di oscillazione introdotti poco più avanti, tale quindi da poter essere considerata istantanea

Se siamo disposti a rinunciare a questa interessantissima feature, possiamo semplificare il circuito e proporne una versione che usa un solo amplificatore operazionale (figura 5.17).

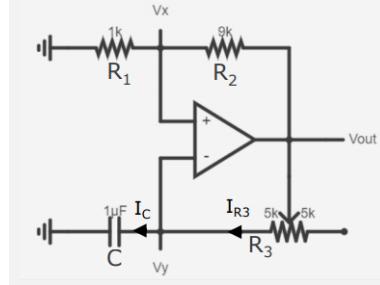


Figura 5.17: Circuito astabile con 1 Amplificatore Operazionale

Procediamo con l'analisi

$$I_{R3} = \frac{V_{OUT} - V_Y}{R_3} = I_C$$

$$\frac{dV_Y}{dt} = \frac{I_C}{C} = \frac{V_{OUT} - V_Y}{R_3 \cdot C}$$

ipotizziamo che inizialmente

$$V_{OUT} = +V_{CC} = +10V$$

V_Y cresce esponenzialmente nel tempo (come nel semplice circuito RC)

$$V_X = V_{OUT} \frac{R_1}{R_1 + R_2} = 0.1 \cdot V_{OUT} = +1V$$

Quando V_Y diventa più positivo di V_X

$$V_{OUT} = -V_{EE} = -10V$$

$$V_X = 0.1 \cdot V_{OUT} = -1V$$

Le correnti I_{R3} e I_C cambiano verso. V_Y ora decresce esponenzialmente nel tempo. Quando diventa più negativo di V_X

$$V_{OUT} = +V_{CC} = +10V$$

Il ciclo continua indefinitamente.

Variando ora R_3 è possibile modificare, analogamente a quanto visto nel circuito precedente, la frequenza del segnale in uscita. Non è più possibile, come accennato in precedenza, creare un segnale asimmetrico.

Aggiungendo a questo circuito un diodo in parallelo al condensatore è possibile ottenere un circuito monostabile (figura 5.18)

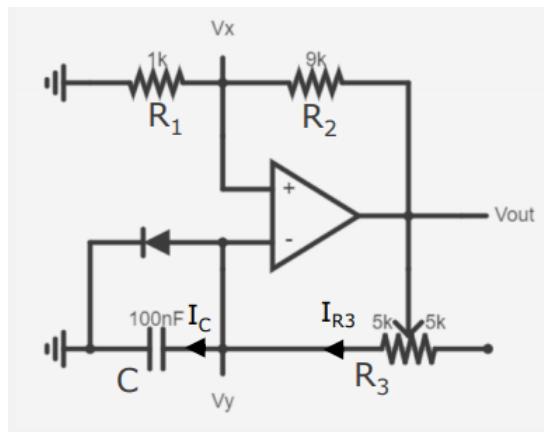


Figura 5.18: Circuito monostabile

Procediamo con l'analisi del *circuito monostabile*.

Per $V_Y < V_{TH} (\approx 0.6V)$ il comportamento del circuito sarà quindi identico a quello del precedente in quanto il diodo, non conducendo corrente, non altererà il funzionamento del circuito. Il circuito potrà quindi liberamente commutare dallo stato $V_{OUT} = -V_{EE}$ allo stato $V_{OUT} = +V_{CC}$. Una volta raggiunto lo stato $V_{OUT} = +V_{CC}$, V_X passa immediatamente al valore di 1V, ma il potenziale V_Y è impossibilitato a superare il valore $V_{TH} \approx 0.6$ dalla presenza del diodo.

Il circuito raggiunge quindi uno stato stabile, non presente nei precedenti circuiti astabili (come intuibile dai nomi stessi). Una volta portato nello stato instabile, il circuito tornerà nello stato stabile in un tempo caratteristico determinato dai suoi componenti.

Per "spingere" il circuito monostabile fuori dallo stato stabile occorre intervenire dall'esterno (come fornendo una spinta impulsiva), attraverso diversi possibili circuiti. Nell'esempio in figura 5.19 si usa un sistema di tre componenti.

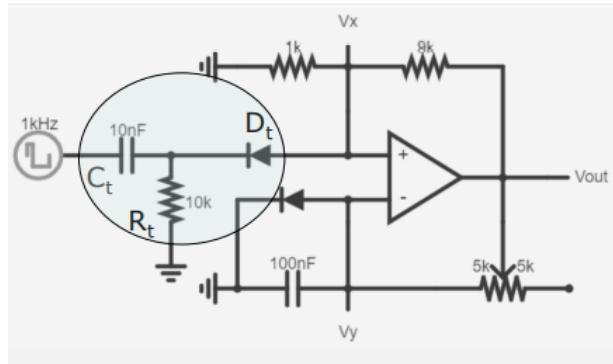


Figura 5.19: Circuito monostabile

6 Dispositivi attivi di base

I dispositivi attivi sono dei dispositivi tali per cui il passaggio di corrente al loro interno è regolato da un segnale di tensione (o di corrente). Funzionano in modo analogo ad un rubinetto: il segnale di controllo permette di “modulare” il flusso, che può passare da $I_{OUT} = 0$ (rubinetto completamente chiuso) fino a $I_{OUT} = I_{IN}$ (rubinetto completamente aperto).

Non si tratta di generatori (occorre fornire loro potenza in ingresso).

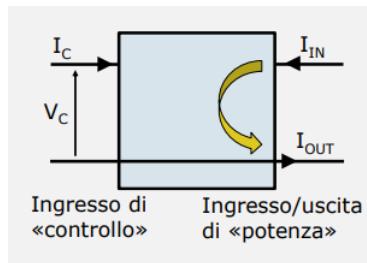


Figura 6.1: Schema di un dispositivo attivo

6.1 Dispositivi obsoleti o rari

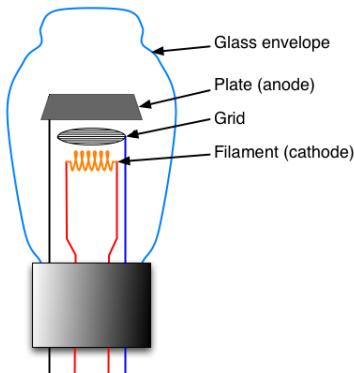


Figura 6.2: Schizzo di una valvola termoionica

Le valvole termoioniche (figura 6.2) sono dispositivi simili a lampadine, in quanto costituite da ampolle di vetro sigillate al cui interno è presente il vuoto. Al loro interno scorrono filamenti elettrodi metallici accessibili anche all'esterno. Se il potenziale dell'anodo è superiore a quello del catodo, gli elettroni emessi dal catodo sono accelerati verso l'anodo dal campo elettrico e così si crea una corrente (da anodo a catodo). Se il potenziale dell'anodo è inferiore a quello del catodo non scorre invece corrente.

Il terminale aggiuntivo “griglia” serve a controllare il flusso di elettroni: quando il potenziale dell'anodo è superiore a quello del catodo, se la griglia viene posta a potenziale minore rispetto a quest'ultimo gli elettroni emessi dal catodo ne sono progressivamente sempre più “respinti”, fino ad azzerare la corrente tra anodo e catodo.

In presenza di flusso di corrente tra anodo e catodo, piccole variazioni del potenziale applicato alla griglia possono determinare grandi variazioni di potenziale tra anodo e catodo (amplificazione).

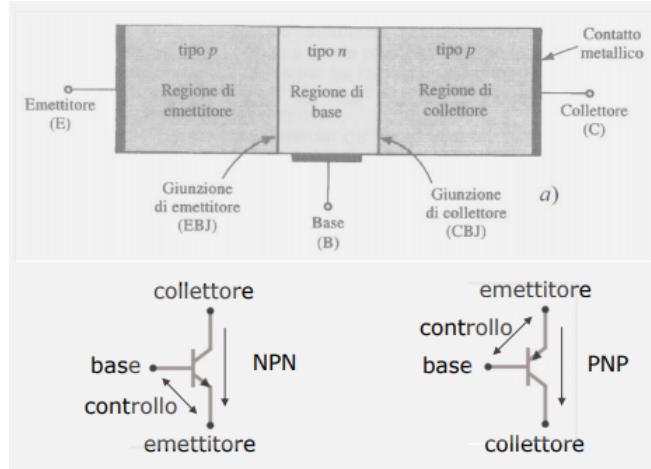


Figura 6.3: Schema di un BJT (Bipolar Junction Transistor) con simbolo circuituale

Un BJT (figura 6.3) è un transistor, ovvero un dispositivo attivo che funziona tramite l'uso di semiconduttori. Il BJT possiede gli stessi elementi P ed N di un diodo, ma ha due giunzioni a formare una “struttura” PNP (ma è possibile anche una struttura NPN).

I transistor sono più pratici delle valvole termoioniche, in quanto notevolmente più compatti. Il BJT è stato in particolare il primo di questi dispositivi commercialmente disponibile su larga scala, ma il suo utilizzo è oggi sempre meno comune perché più costoso di un MOS.

Una debole corrente di base (segnale di controllo) fa scorrere una corrente β (simbolo standard del guadagno in corrente) volte maggiore (da 5 a 300 circa) tra collettore ed emettitore (NPN) o tra emettitore e collettore (PNP). In un BJT NPN “acceso” si avrà una differenza di potenziale base-emettitore $V_{BE} \approx 0.6V$ (giunzione P-N).

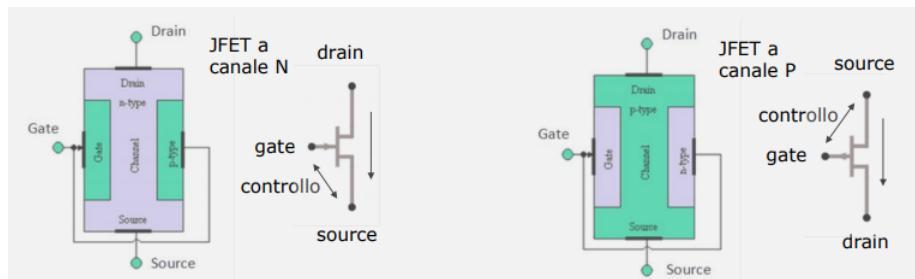


Figura 6.4: Schema di un JFET (Junction Field Effect Transistor) con simbolo circuituale

Il JFET (figura 6.4) è un transistor che, a differenza del BJT, è regolato in tensione. È costituito da una giunzione P-N, tipicamente speculare: un canale N è realizzato all'interno del gate P (o viceversa), diviso quindi in due parti collegate tra di loro (equipotenziali). Modulando la differenza di potenziale tra gate e source è possibile “restringere” la zona di canale (ovvero la

sezione di canale dove esistono elettroni liberi se il canale è N o un surplus di lacune elettroniche se il canale è P) e regolare il passaggio di corrente.

Ne esistono versioni ad arricchimento (canale chiuso per $V_{GS} = 0$, che si può aprire modulando V_{GS}) e a svuotamento (canale aperto per $V_{GS} = 0$, che si può restringere modulando V_{GS}).

Nel caso di un JFET a canale N a svuotamento, ad esempio, la corrente è massima per $V_{GS} = 0$ e si annulla per $V_{GS} = -V_{PinchOff}$.

È un dispositivo relativamente costoso da produrre, ma trova ancora utilizzo in quanto a basso rumore e quindi più indicato per le applicazioni più “delicate”.

6.2 MOS

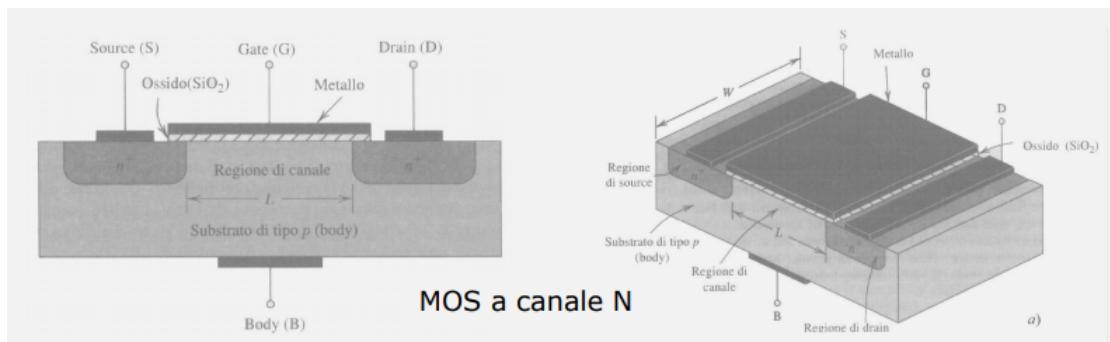


Figura 6.5: Schema di un MOS (Metal Oxide Semiconductor)

Il MOS è un transistor di facile realizzazione, in quanto il semiconduttore deve essere lavorato solo da un lato, agendo sulla superficie. Un solo pezzo di materiale semiconduttore può quindi essere usato per realizzare numerosissimi MOS affiancati. È quindi possibile realizzare un circuito integrato formato da milioni di transistor MOS ad un costo contenuto.

Simile al JFET, a modulare il flusso di corrente attraverso la regione di canale è presente questa volta una sorta di “condensatore”, ovvero uno strato di ossido che separa uno strato di metallo (il gate) dal semiconduttore. A seconda del materiale semiconduttore utilizzato si parla di P-MOS o di N-MOS.

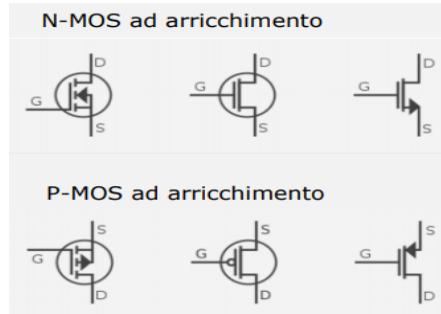


Figura 6.6: Simboli circuituali dei MOS

Il MOS è un dispositivo a 4 terminali: i tre “classici” (Gate, Source, Drain) e un quarto terminale di “Body” (o “Bulk”). Nei circuiti integrati il terminale di Body è comune a tutto il chip, mentre nei dispositivi discreti è collegabile esternamente (talvolta già internamente collegato al Source). Per evitare il passaggio di corrente attraverso questo terminale, questo deve essere posto alla tensione più bassa, tra quelle presenti nel circuito, negli N-MOS e più alta nei P-MOS.

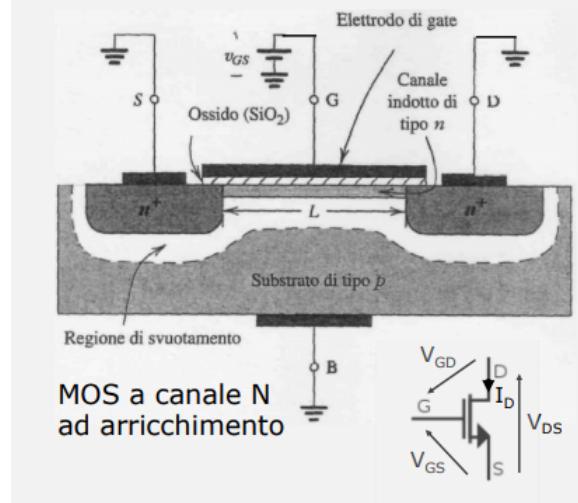


Figura 6.7: Schema di un N-MOS ad arricchimento

Negli N-MOS (figura 6.7) si intende $V_D > V_S$. Nella maggior parte dei dispositivi MOS, Drain e Source sono interscambiabili, ma è bene decidere a priori quale è il Drain e quale è il Source per evitare confusione (eccezione fatta per i dispositivi discreti dove il Body è già collegato al Source, nei quali questa decisione è già stata presa in fase di manifattura).

Per creare il canale, formato da elettroni liberi negli N-MOS, si deve aumentare la differenza di potenziale V_{GS}/V_{GB} . Fintantoché $V_{GS} < V_{TH}$ gli elettroni accumulati “bilanciano” le lacune presenti naturalmente nel substrato di tipo P, ma non si ha ancora un canale. Superata la soglia gli elettroni liberi accumulati sono in numero tale da creare effettivamente un canale, dove poi scorrerà corrente se $V_D > V_S$. La tensione di soglia può variare, ma è tipicamente compresa tra gli 0,5 V e i 5 V.

In regime di funzionamento, ovvero superata la tensione di soglia, il canale così creato si comporta come una resistenza, ovvero la relazione tra I e V_{DS} è lineare. Tuttavia, per valori di V_D molto grandi, si riscontra che la corrente tende a crescere meno che linearmente. È un fenomeno la cui trattazione è complessa, ma si può provare a darne una descrizione qualitativa: gli elettroni tendono a stare vicino al Gate quando la tensione tra Gate e Body è positiva, ma su questo fenomeno agiscono anche i potenziali di Source e Drain; se il potenziale di Drain è alto (ricordiamo che il potenziale di Drain è sempre più grande del potenziale di Source), il Gate ha meno influenza sugli elettroni che stanno da quel lato e il canale si restringe.

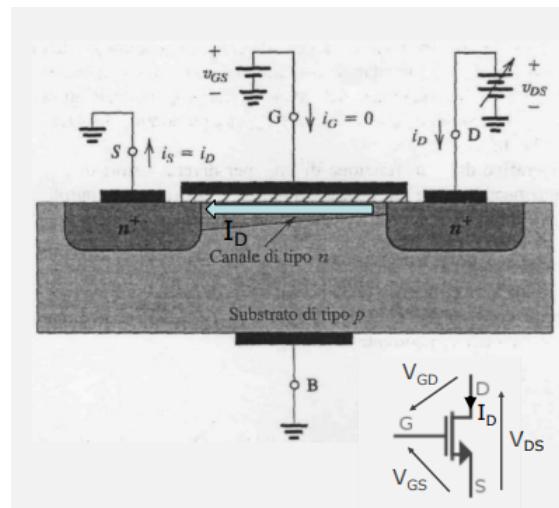


Figura 6.8: MOS in funzione (si noti il canale più stretto nei pressi del Drain)

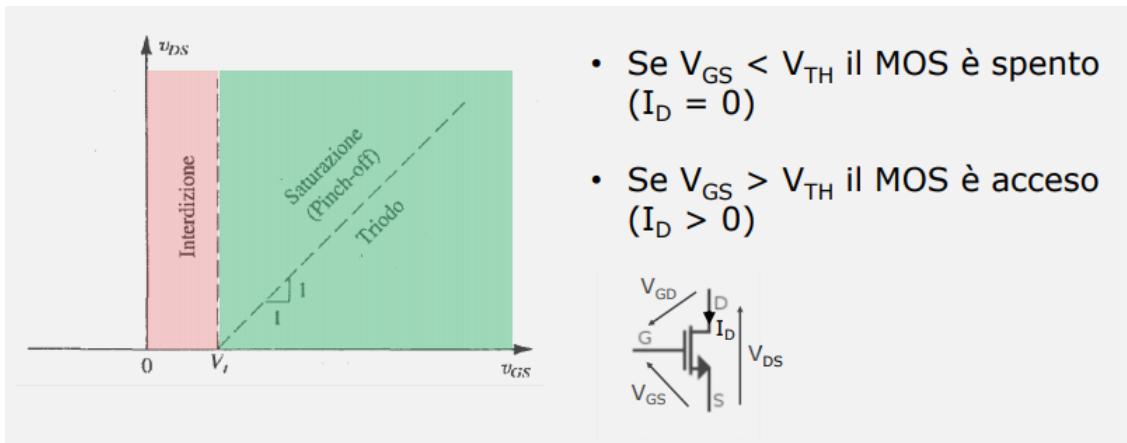


Figura 6.9: Regime di funzionamento di un MOS

Equazioni di funzionamento:

$$V_{GD} = V_G - V_D = V_G - V_S + V_S - V_D = V_{GS} - V_{DS} \quad (\text{KVL})$$

$$V_{GD} > V_{TH} \quad \text{per creare canale dal lato Drain} \quad V_{DS} < V_{GS} - V_{TH}$$

Se $V_{DS} < V_{GS} - V_{TH}$ il MOS è in zona triodo/lineare, ovvero si comporta come una resistenza

$$I_{LIN} = \frac{\mu_n C_{ox}}{2} \cdot \frac{W}{L} \cdot (2V_{DS} \cdot (V_{GS} - V_{TH}) - V_{DS}^2)$$

dove μ_n è la mobilità relativa degli elettroni nel materiale semiconduttore, C_{ox} è la capacità per elemento di superficie, del “condensatore” metallo-ossido-semiconduttore, W è la larghezza (width) del canale e L la sua lunghezza (length).

Si può vedere che (al netto del termine perturbativo V_{DS}^2 , che possiamo trascurare in quanto termine del secondo ordine nell'ipotesi in cui V_{DS} sia piccolo rispetto a $V_{GS} - V_{TH}$) la corrente dipende linearmente da V_{DS} .

Se $V_{DS} > V_{GS} - V_{TH}$ non c'è più canale di Drain: il MOS è in zona di saturazione

$$I_{SAT} = \frac{\mu_n C_{ox}}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH})^2$$

dove si vede che la corrente non dipende più da V_{DS} . La corrente è saturata ad un valore massimo.

La matematica ci dice inoltre che, per ogni $V_{GS} > V_{TH}$, $I_{SAT} > I_{LIN}$. Inoltre, $I_{SAT} = I_{LIN}$ se (e solo se) $V_{GD} = V_{TH}$ (conclusione sensata, al raccordo dei due stati la corrente calcolata è la stessa per entrambe le equazioni).

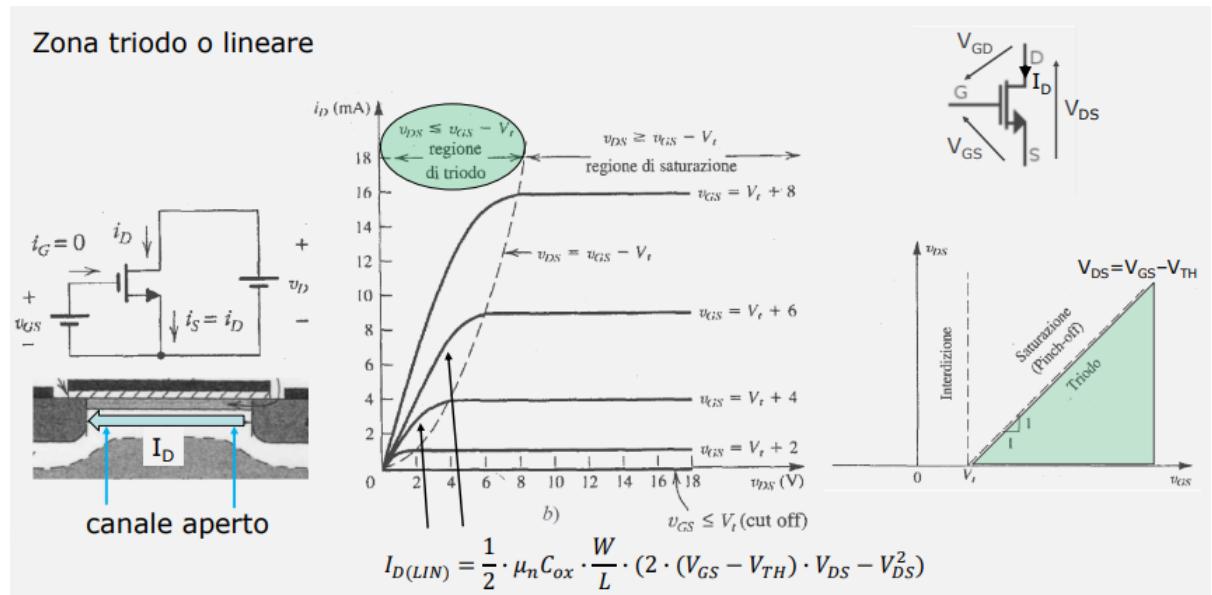


Figura 6.10: Grafico della corrente che scorre nel MOS al variare di V_{DS} . Si noti evidenziato il punto di raccordo tra la regione di triodo e la regione di saturazione

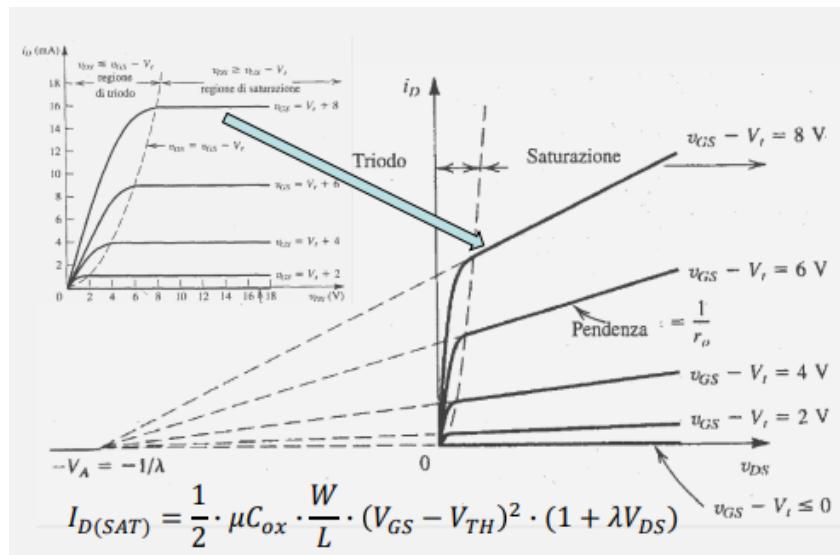


Figura 6.11: Grafico dell'effetto Early. La pendenza effettiva delle rette è stata grandemente accentuata

In zona di saturazione si riscontra tuttavia sperimentalmente che la corrente I è comunque debolmente dipendente da V_{DS} . Questo effetto (detto *effetto Early*) è dovuto all'“arretramento” del canale verso il Source al crescere del potenziale di Drain. Ogni dispositivo è caratterizzato da un proprio potenziale $-V_A$ (tensione di Early), che rappresenta il punto di intersezione tra tutte le rette della regione di saturazione. Tipicamente questa tensione può essere tra le decine e le centinaia di volt.

Per i P-MOS il funzionamento è del tutto analogo (sono duali agli N-MOS), serve solo ripensare quanto detto in precedenza per gli elettroni con le lacune elettroniche. Imposto che $V_D < V_S$, e che di conseguenza la tensione di soglia V_{TH} sarà negativa, le formule per la corrente sono le stesse.

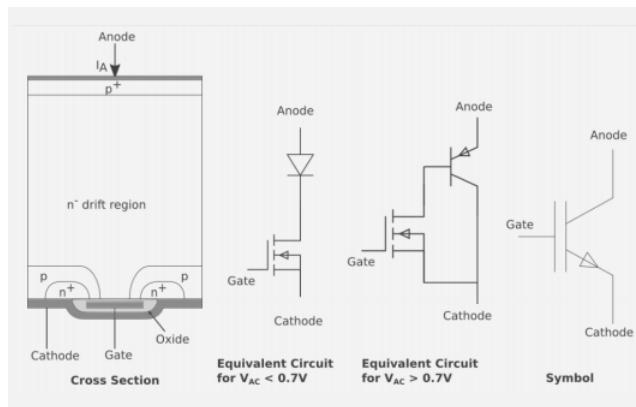


Figura 6.12: Schema di un IGBT (Insulated Gate Bipolar Transistor) con simbolo circuitale

Il dispositivo IGBT (figura 6.12) è la combinazione di due dispositivi: un MOS e un BJT. Combinando il meglio di entrambi, offre la semplicità di un controllo in tensione tipica di un MOS con la capacità di corrente tipica di un BJT. Non è disponibile nei circuiti integrati, ma è particolarmente indicato per applicazioni di potenza (> 1 KW).

Per determinare la curva caratteristica di un MOS, si può usare il circuito in figura 6.13

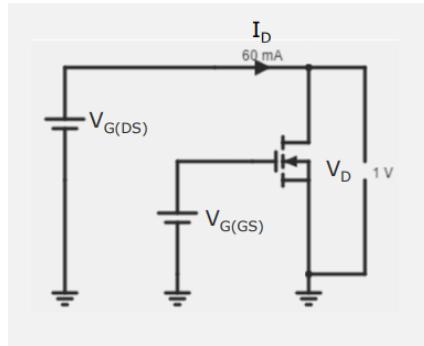


Figura 6.13: Circuito per determinare la curva caratteristica di un MOS

È un circuito molto semplice, ma richiede due strumenti di misura (1 amperometro e 1 voltmetro). D'altro canto, il circuito in figura 6.14 richiede una sola misura di tensione (non perturbativa). In questo ultimo circuito il condensatore può servire per stabilizzare il circuito, nel caso di amplificatore operazionale reale. Qui sotto è presente una rapida analisi delle quantità coinvolte nel circuito in figura 6.14.

$$V_S = 0$$

$$V_{GS} \approx V_{G(GS)} \quad V_{DS} \approx V_{G(DS)}$$

$$I_D = \frac{V_{OUT} - V_D}{R}$$

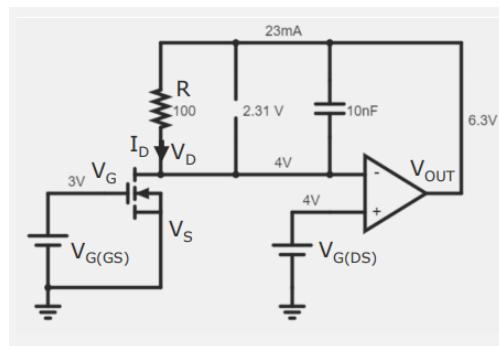


Figura 6.14: Circuito alternativo per determinare la curva caratteristica di un MOS

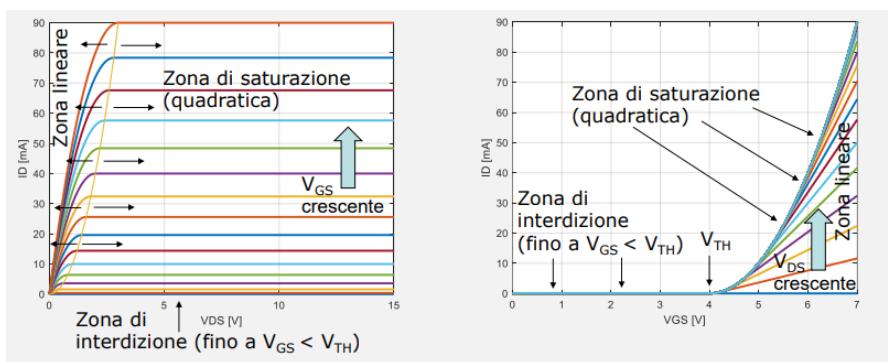


Figura 6.15: Curve caratteristiche del MOS

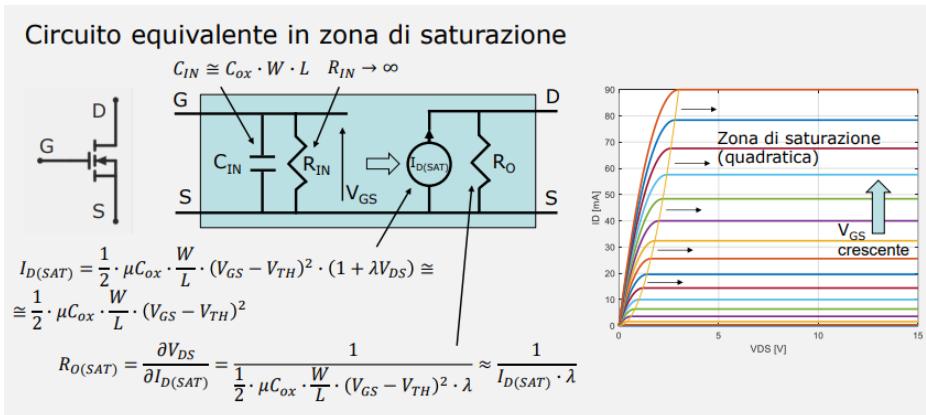


Figura 6.16: Circuito equivalente ad un MOS in zona di saturazione

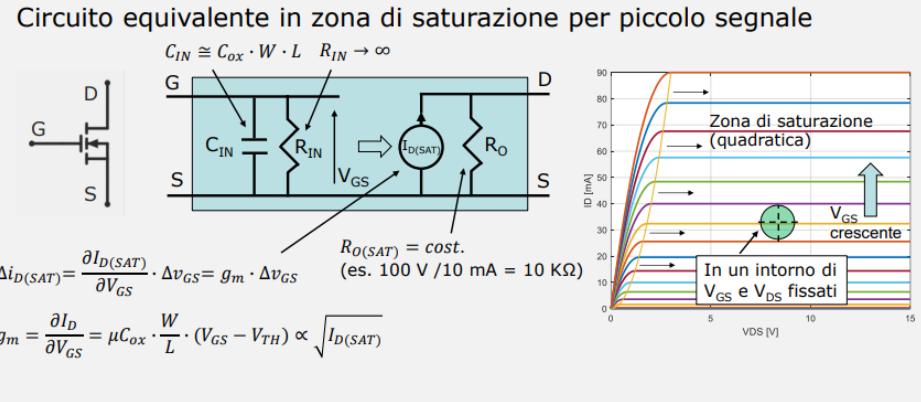


Figura 6.17: Circuito equivalente ad un MOS in zona di saturazione per piccolo segnale

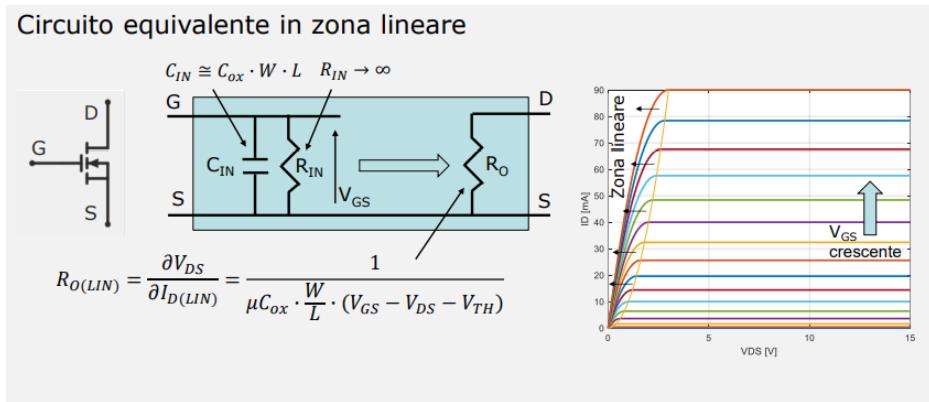


Figura 6.18: Circuito equivalente ad un MOS in zona lineare

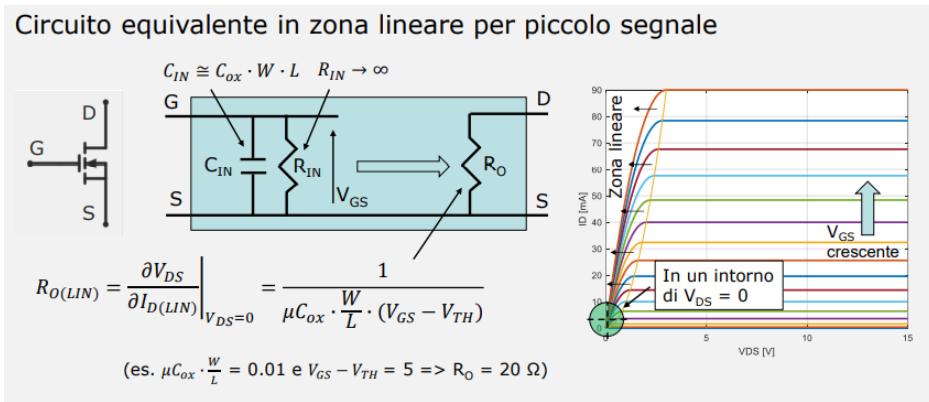


Figura 6.19: Circuito equivalente ad un MOS in zona lineare per piccolo segnale

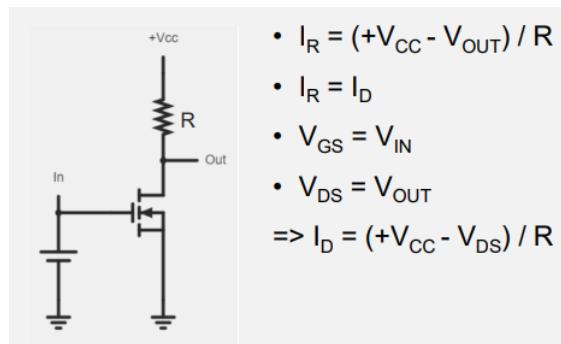


Figura 6.20: Circuito con carico resistivo

Si consideri adesso il circuito in figura 6.20, e in particolare alla relazione tra V_{IN} e V_{OUT} .

Per V_{IN} piccolo il MOS è spento, in quanto il potenziale di Gate è insufficiente perché si formi il canale e ci sia il relativo passaggio di corrente. Senza passaggio di corrente, per la legge di Ohm non c'è differenza di potenziale ai capi della resistenza, e $V_{OUT} = +V_{CC}$.

Se V_{IN} è sufficientemente alta, invece, il MOS è acceso e la corrente vi scorre liberamente all'interno. V_{OUT} è equipotenziale (o quasi) con la terra. $V_{OUT} \approx 0$.

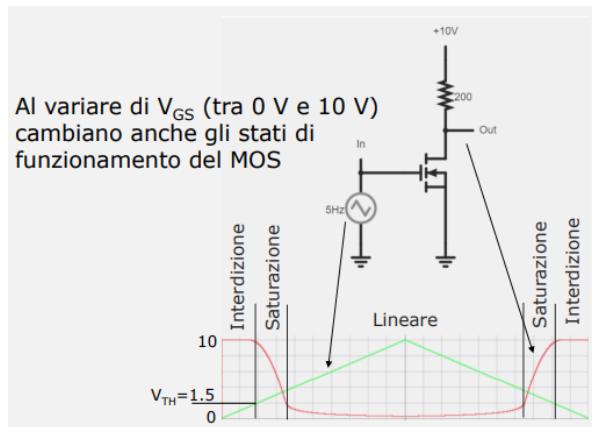


Figura 6.21: Relazione ingresso uscita

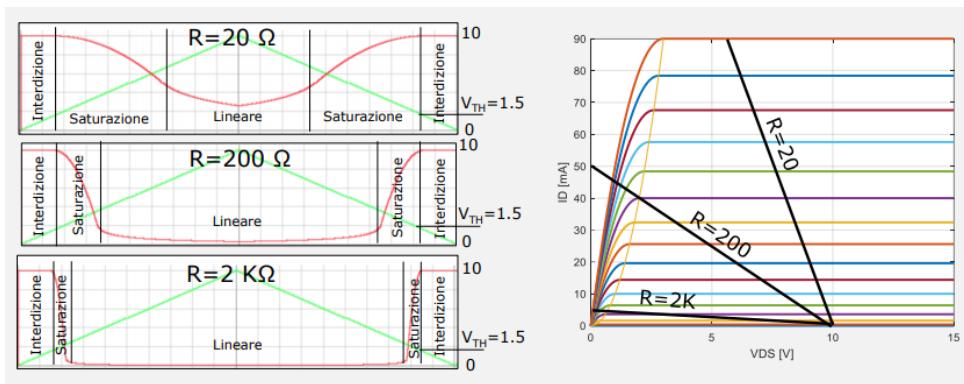


Figura 6.22: Zone di funzionamento

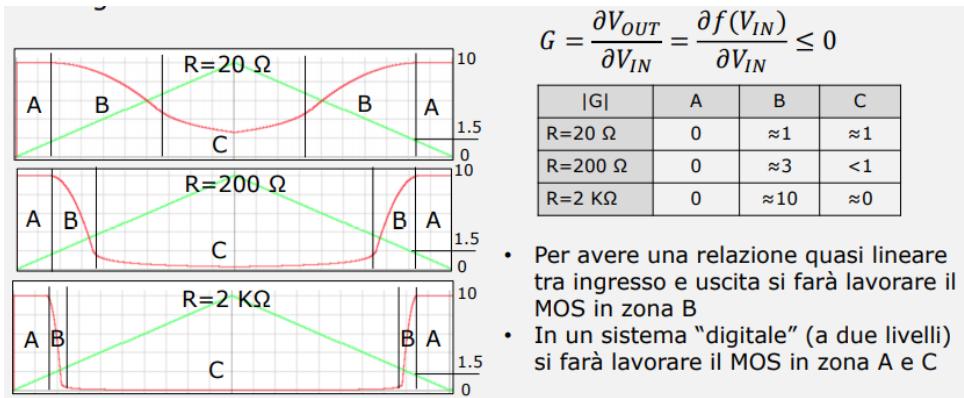


Figura 6.23: “Guadagno” del circuito

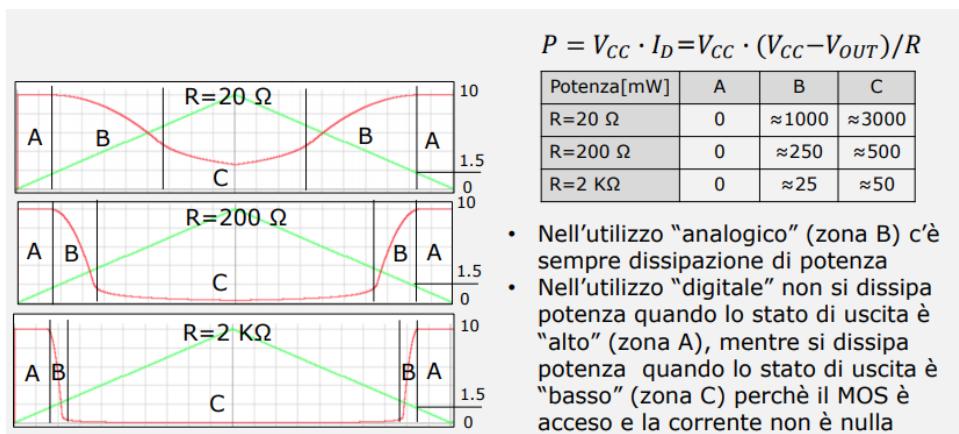


Figura 6.24: Dissipazione di potenza

Questo circuito rappresenta un'ottima occasione per iniziare a discutere di circuiti digitali e della loro differenza dai circuiti analogici.

In ambito analogico i segnali sono continui (dominio e codominio), come lo è ad esempio il segnale elettrico prodotto da un microfono. In ambito digitale i segnali sono discreti (dominio e codominio) o “sequenze quantizzate”, esprimibili con combinazioni di variabili elementari (bit) a due stati (“0/1”, “alto/basso”, ecc.). A livello macroscopico, però, il mondo è continuo in tempo e ampiezza.

In un dispositivo digitale, quindi, i segnali “portano informazione” soltanto in predeterminati istanti di tempo e l’informazione elementare (bit) è associata ed estrapolabile dal valore del segnale di tensione (o di corrente).

Di solito si associa il valore 1 ad un voltaggio positivo, e il valore 0 ad un voltaggio piccolo o nullo. Questa informazione rende il circuito sopra descritto preziosissimo: questo circuito restituisce un segnale 1 quando prende in input un segnale 0 e viceversa. Con questo circuito è possibile realizzare un *circuito invertitore* (figura 6.25, da non confondere con il circuito in configurazione invertente), che si rivelerà molto utile nel capitolo successivo.

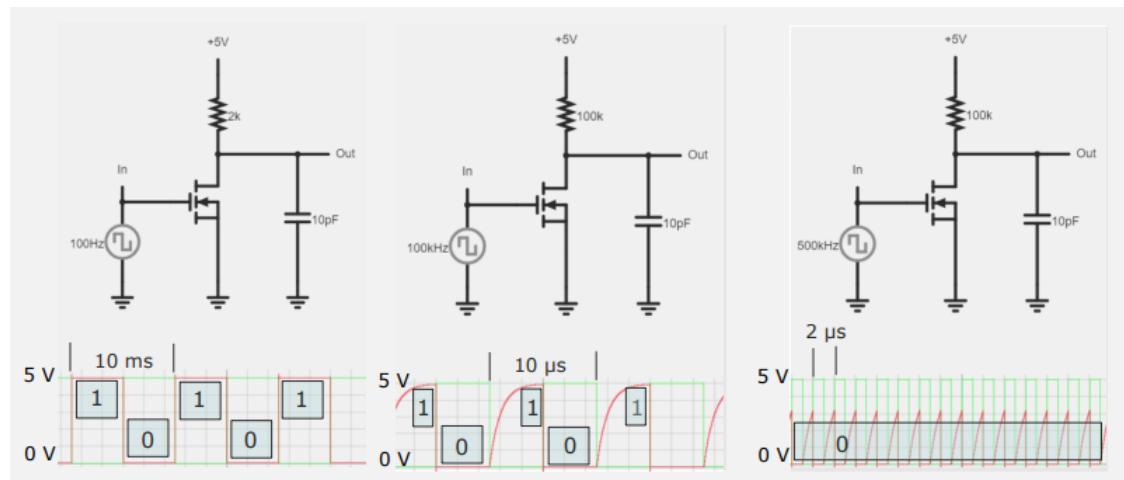


Figura 6.25: Circuito invertitore a carico resistivo

Sostituendo il carico resistivo (passivo) con un dispositivo attivo complementare (MOS a canale P) la dissipazione di potenza è nulla in entrambi gli stati (alto e basso) essendo uno tra i due MOS sempre spento. Questa logica è detta CMOS (Complementary MOS). In logica CMOS la relazione ingresso/uscita è solitamente resa simmetrica (figura 6.26).

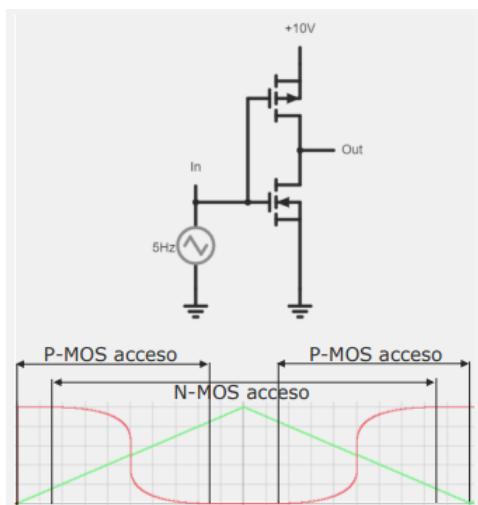


Figura 6.26: Il circuito invertitore CMOS

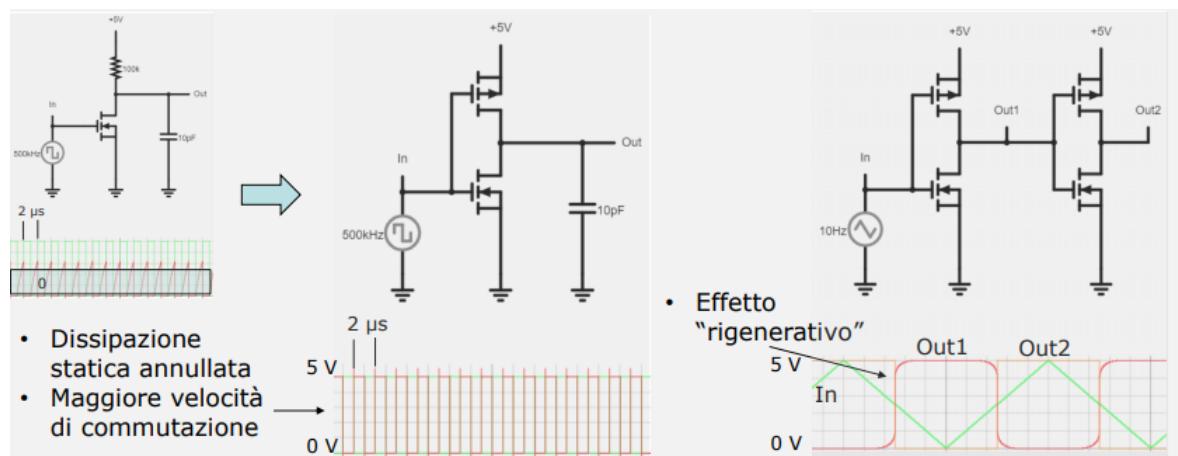


Figura 6.27: Vantaggi del circuito invertitore CMOS

7 Nozioni di base di elettronica digitale

Inizia adesso la parte interessante del corso.

7.1 Algebra Booleana

Ricordiamo che in algebra si definisce *operazione* una funzione che, dati due elementi di un insieme S , restituisce come risultato un elemento di S . La combinazione di S con una o più operazioni si definisce sistema algebrico.

L'algebra di Boole studia quei sistemi algebrici identificati nel seguente modo:

$$(S, +, *, !, 0, 1)$$

Dove S è l'insieme su cui sono definite le operazioni, $+$ è l'operazione di OR, $*$ è l'operazione di AND, $!$ è l'operazione di NOT, 0 è l'elemento neutro di $+$ e 1 l'elemento neutro di $*$.

In particolare, nell'algebra Booleana a due elementi (algebra di commutazione), $S = \{0, 1\}$. Le variabili 1 e 0 vengono chiamate anche, rispettivamente, *vero* e *falso*.

$+$	0	1
0	0	1
1	1	1

(a) OR

$*$	0	1
0	0	0
1	0	1

(b) AND

!	-
0	1
1	0

(c) NOT

Tabella 7.1: Descrizione delle operazioni elementari

L'operazione AND restituisce vero se entrambi gli input sono veri, e falso in tutti gli altri casi. L'operazione OR restituisce invece vero se almeno uno dei due input è vero, e falso se sono entrambi falsi. L'operazione NOT è invece un'operazione particolare, che accetta un solo input, e restituisce vero se questo è falso e falso se questo è vero. Questi comportamenti sono descritti in tabella 7.1.

Il comportamento delle funzioni logiche viene spesso descritto con l'ausilio delle *tabelle della verità* (esempio in tabella 7.2). Queste permettono di determinare il valore di verità della funzione conoscendo il valore di verità dei suoi ingressi.

A	B	C	$f(A, B, C)$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

Tabella 7.2: Esempio di tabella della verità

Si definisce *coppia letterale* una coppia (variabile, valore) che è vera quando la variabile e il valore sono concordi ed è falsa quando sono discordi.

$$(A, 1) := A$$

$$(A, 0) := A'$$

dove con A' si intende A negato ($\neg A$), ovvero quel valore che è vero quando A è falso e viceversa.

Abbiamo già detto che 0 è l'*elemento neutro* dell'operazione OR e che 1 è l'*elemento neutro* dell'operazione AND.

$$A + 0 = A \quad A * 1 = A$$

Si verifica facilmente che 0 è l'*elemento assorbente* dell'operazione AND e che 1 è l'*elemento assorbente* dell'operazione OR.

$$A + 1 = 1 \quad A * 0 = 0$$

Si verifica facilmente anche che entrambe le operazioni hanno la *proprietà dell'idempotenza*, ovvero la proprietà per cui se i due termini in ingresso hanno lo stesso valore di verità, il termine in uscita avrà lo stesso valore di verità.

$$A + A = A \quad A * A = A$$

Così come si verifica facilmente che l'operazione di OR di una variabile con il suo *inverso* è sempre vera, e viceversa l'operazione di AND è sempre falsa.

$$A + A' = 1 \quad A * A' = 0$$

Le due operazioni godono inoltre della *proprietà commutativa*,

$$A + B = B + A \quad A * B = B * A$$

associativa,

$$A + (B + C) = (A + B) + C \quad A * (B * C) = (A * B) * C$$

*distributiva*⁴.

$$A * (B + C) = A * B + A * C \quad A + (B * C) = (A + B) * (A + C)$$

Abbiamo parlato precedentemente del concetto di *elemento assorbente*, ed entrambi i valori di vero o falso sono elemento assorbente di una delle due operazioni (ed elemento neutro dell'altra). Ne segue che, preso un qualunque elemento B , applicando ad esso le operazioni di AND ed OR con una stessa variabile A il risultato sarà A :

$$A + (A * B) = A \quad A * (A + B) = A$$

⁴la proprietà distributiva dell'operazione AND non dovrebbe essere sorprendente, considerando che non è diversa dall'operazione di moltiplicazione; più sorprendente potrebbe essere invece che valga per l'operazione OR. Conviene forse pensare in termini logici piuttosto che matematici: la prima proposizione è falsa se e solo se A è falso e almeno uno tra B e C è falso; la seconda invece è falsa se e solo se almeno uno tra $A + B$ e $A + C$ è falso; ma se A fosse vero entrambi $A + B$ e $A + C$ sarebbero veri, quindi A è falso; la seconda si riduce dunque ad un'operazione di AND tra B e C , che è falsa se e solo se non sono entrambi veri.

Enunciamo adesso le *leggi di De Morgan* (letto Morgàn)

$$(A + B)' = A' * B' \quad (A * B)' = A' + B'$$

Dimostrazione: se $B = A$ (ricordando l'idempotenza)

$$(A + A)' = A' = A' * A' \quad (A * A)' = A' = A' + A'$$

se $B = A'$ (ricordando le operazioni con gli inversi)

$$(A + A')' = 1' = 0 = A' * A \quad (A * A')' = 0' = 1 = A' + A$$

Dalle leggi di De Morgan si evince il *principio di dualità*: è possibile trasformare ogni identità in una identità duale scambiando tra loro le operazioni AND e OR o scambiando tra loro gli elementi 0 e 1.

Ogni funzione logica combinatoria può essere espressa tramite l'uso dei tre operatori: AND, OR, NOT.

Prendiamo la tabella della verità 7.2. Possiamo esprimere la funzione $f(A, B, C)$ come prodotto di somme di A, B, C e delle loro negazioni nel seguente modo:

la prima riga della tabella ci dice che f è falsa se A, B, C sono tutti falsi. Possiamo quindi scrivere f come

$$f(A, B, C) = (A + B + C) * g(A, B, C)$$

dove la somma $A + B + C$ è falsa se e solo se tutti i suoi addendi sono falsi, e vera altrimenti, e g è un'altra funzione di A, B, C . Ripetendo questo ragionamento per tutte altre righe della tabella che danno come risultato 0, possiamo scrivere f come

$$f(A, B, C) = (A + B + C) * (A + B' + C) * (A' + B' + C)$$

se uno degli addendi è falso, ci troviamo in una delle righe della tabella che ha valore falso, e la funzione restituisce falso ($A * 0 = 0$). Se nessuno degli addendi è falso, non ci troviamo in nessuna delle righe a valore 0 e la funzione è vera.

Possiamo anche esprimere f come somma dei prodotti di A, B, C e delle loro negazioni.

L'ultima riga della tabella ci dice che f è vera se A, B, C sono tutti veri. Possiamo quindi scrivere f come

$$f(A, B, C) = ABC + h(A, B, C)$$

il prodotto ABC è vero se e solo se tutti i suoi addendi sono veri, e falso altrimenti, e h è un'altra funzione di A, B, C . Ripetendo questo ragionamento per tutte altre righe della tabella che danno come risultato 1, possiamo scrivere f come

$$f(A, B, C) = ABC + AB'C + AB'C' + A'BC + A'B'C$$

se uno degli addendi è vero, ci troviamo in una delle righe della tabella che ha valore vero, e la funzione restituisce vero ($A + 1 = 1$). Se nessuno degli addendi è vero, non ci troviamo in nessuna delle righe a valore 1 e la funzione è falsa.

Partendo da entrambe queste espressioni di f si può semplificare e arrivare ad un'espressione più semplice

$$f(A, B, C) = AB' + C$$

7.2 Porte logiche

Si definisce *famiglia logica* un insieme di dispositivi logici tra loro compatibili. La compatibilità riguarda principalmente la corrispondenza tra i livelli logici ('0' e '1') e i corrispondenti livelli elettrici dei segnali in ingresso e in uscita al dispositivo. Tipicamente un segnale a bassa tensione corrisponde al livello logico 0 e un segnale ad alta tensione a 1; ciò che cambia tra una famiglia logica e un'altra è quindi cosa si intende per alta tensione e bassa tensione⁵.

Ecco i simboli circuituali e le tabelle della verità per le principali porte logiche:

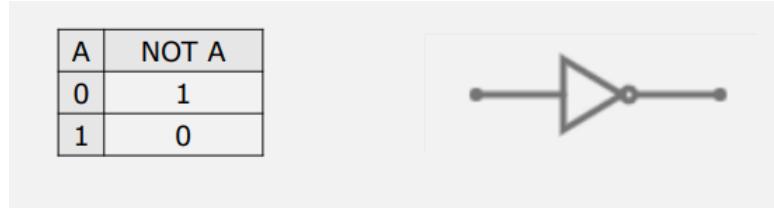


Figura 7.1: NOT

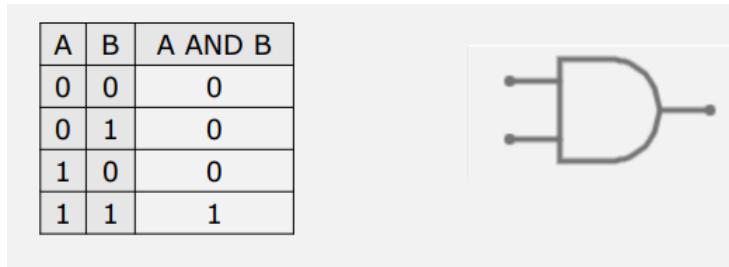


Figura 7.2: AND

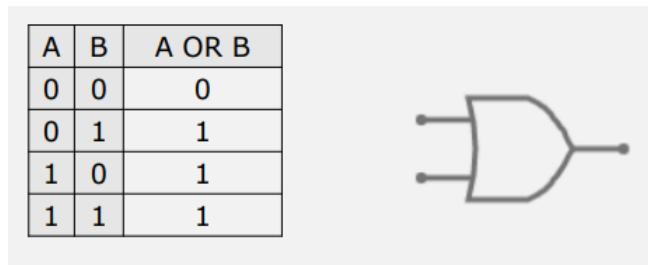


Figura 7.3: OR

⁵Per le porte logiche disponibili in laboratorio si intende per "alto" un voltaggio $\approx 5\text{ V}$ e per "basso" uno prossimo allo zero. Può capitare che un gate non restituisca un'uscita pari a esattamente a 5 V, ma un valore più basso. Ma non c'è da preoccuparsi, perché sui datasheet delle singole porte logiche è riportato cosa la porta interpreta come "alto" o "basso" in funzione di V_{CC} (3,15 V sono considerati "1" da un NAND di Texas Instruments con $V_{CC} = 4,5\text{ V}$, ad esempio).

A	B	A XOR B
0	0	0
0	1	1
1	0	1
1	1	0



Figura 7.4: XOR

A	B	A NAND B
0	0	1
0	1	1
1	0	1
1	1	0



Figura 7.5: NAND

A	B	A NOR B
0	0	1
0	1	0
1	0	0
1	1	0



Figura 7.6: NOR

A	B	A XNOR B
0	0	1
0	1	0
1	0	0
1	1	1



Figura 7.7: XNOR

Concentriamoci un momento sulla porta NAND:

- Se i due ingressi sono identici, la porta si riduce ad un invertitore ($\text{NAND}(A, A) = \text{NOT}(A)$).
- Se adesso invertiamo la porta NAND, otteniamo una porta AND

$$(\text{NOT}(\text{NAND}(A, B)) = \text{AND}(A, B)).$$

- Se adesso invertiamo gli ingressi alla porta NAND, otteniamo una porta OR

$$(\text{NAND}(A', B') = \text{NOT}(\text{AND}(A', B')) = \text{NOT}(\text{NOT}(\text{OR}(A, B))) = \text{OR}(A, B)).$$

È quindi possibile realizzare qualsiasi funzione logica combinatoria anche utilizzando esclusivamente porte NAND.

La porta NAND possiede quindi la proprietà di *completezza funzionale*: ogni altra funzione logica (AND, OR etc.) può essere implementata utilizzando solamente porte NAND (figura 7.8).

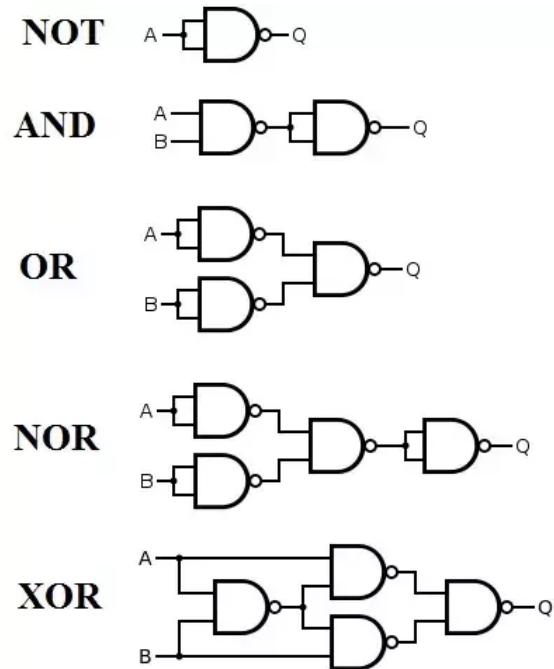


Figura 7.8: Le principali funzioni logiche realizzate con la porta NAND

Lo stesso principio vale per la porta NOR (figura 7.9).

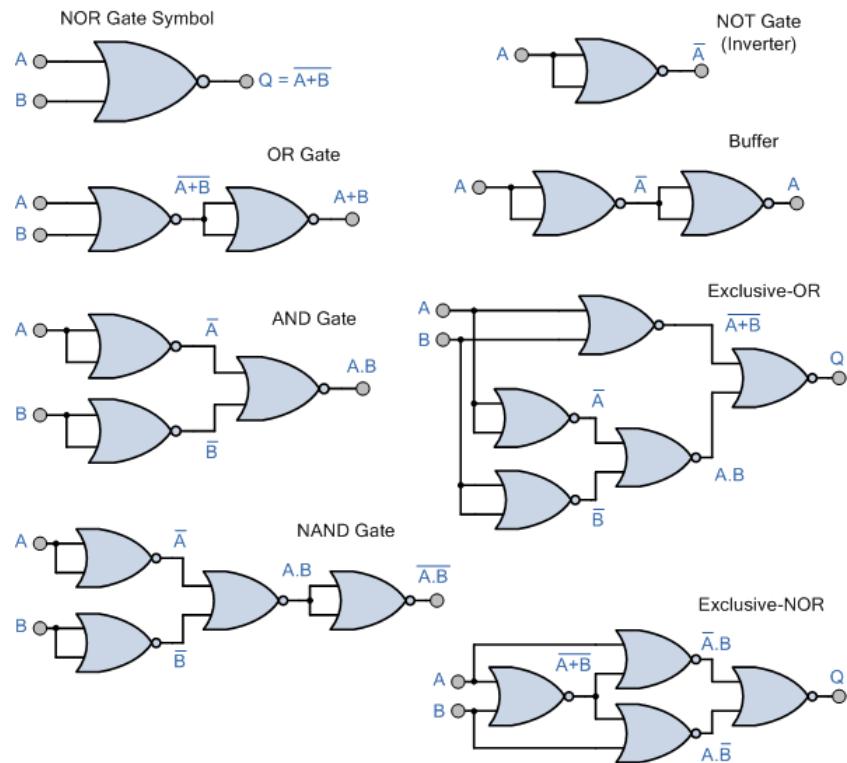


Figura 7.9: Le principali funzioni logiche realizzate con la porta NOR

7.3 Aritmetica binaria

Una variabile booleana (un bit) è in grado di rappresentare solo e solamente due cose diverse (più formalmente *stati*): 0 e 1. Questa quantità di informazione è quasi sempre insufficiente nelle applicazioni quotidiane dei dispositivi digitali, ma è possibile risolvere questo problema affiancando un grande numero di bit.

Con B bit è possibile rappresentare fino a 2^B cose diverse. La funzione esponenziale ci dice che, con un numero limitato di bit, è possibile codificare un enorme numero di cose diverse

$$B = 8 \Rightarrow 2^8 = 256$$

$$B = 32 \Rightarrow 2^{32} = 4'294'967'296$$

Possiamo usare i bit per codificare i numeri interi in codice binario. La codifica più comune per i numeri interi non negativi è:

$$N = \sum_{b=0}^{B-1} A_b \cdot 2^b$$

Dove A_b è una cifra binaria (cioè un bit). Alcuni esempi (utili a capire come si "conta" in binario):

$$[00000000]_b = 0_d$$

$$[00000001]_b = 1_d$$

$$[00000010]_b = 2_d$$

$$[00000011]_b = 3_d$$

$$[00000100]_b = 4_d$$

$$[00010001]_b = 17_d$$

$$[11111111]_b = 255_d$$

Volendo includere nella codifica anche i numeri negativi, la scelta più diffusa è la *rappresentazione in complemento a 2*, in cui si utilizzano metà dei codici per i numeri non negativi: da $[0000]_b$ a $[0111]_b$ e metà per i numeri negativi: da $[1000]_b$ a $[1111]_b$. La codifica si basa sul concetto di "circolarità modulo 2^B ".

I numeri non negativi iniziano per 0 e si comportano normalmente. Il più grande dei numeri non negativi inizia per 0, mentre ogni altra cifra della sua rappresentazione binaria vale 1. Se aggiungessimo 1 a questo numero otterremmo un numero che inizia per 1 mentre ogni altra cifra della sua rappresentazione binaria vale 0.

Assegniamo a questo numero il ruolo di più piccolo dei numeri negativi.

Continuando a sommare, raggiungiamo un numero la cui rappresentazione binaria è formata solamente da 1. Questo è il più grande dei numeri negativi e, in quanto tale, è pari a -1 .

Sommmando adesso a -1 il numero 1, otterremmo un numero la cui rappresentazione binaria è formata unicamente da 0, (in quanto il bit $B + 1$ che dovrebbe assumere il valore 1 non è disponibile lavorando con B bit) cioè 0.

Abbiamo così creato un “circuito” di 2^B numeri all’interno del quale l’operazione di somma è ben definita, ovvero non è possibile ottenere un numero al di fuori del circuito sommando due numeri interni al circuito. Inoltre, ricordando che il bit $B + 1$ non è disponibile, non c’è virtualmente differenza tra un numero N all’interno del circuito e $N + 2^B$.

Con $B = 4$

$$0_d = [0000]_b$$

$$3_d = [0011]_b$$

$$7_d = [0111]_b$$

$$-8_d = 16_d - 8_d = 8_d = [1000]_b$$

$$-1_d = 16_d - 1_d = 15_d = [1111]_b$$

Con $B = 4$ si rappresentano quindi 8 numeri non negativi e 8 negativi:

$$0_d = [0000]_b \quad -1_d = [1111]_b$$

$$1_d = [0001]_b \quad -2_d = [1110]_b$$

$$2_d = [0010]_b \quad -3_d = [1101]_b$$

$$3_d = [0011]_b \quad -4_d = [1100]_b$$

$$4_d = [0100]_b \quad -5_d = [1011]_b$$

$$5_d = [0101]_b \quad -6_d = [1010]_b$$

$$6_d = [0110]_b \quad -7_d = [1001]_b$$

$$7_d = [0111]_b \quad -8_d = [1000]_b$$

Con questa codifica circolare l’operazione di somma tra numeri interi diventa una semplice operazione di somma tra numeri positivi. Bisogna solo fare attenzione all’eventualità di un overflow: sommando due addendi concordi è possibile ottenere un numero discorde in segno dai due addendi, ottenendo di fatto un risultato senza senso (il risultato sensato uscirebbe dal circuito).

Con 4 bit, per esempio, sommando 7_d e 1_d ($[0111]_b$ e $[0001]_b$) si otterrebbe 8_d , che non è un numero presente nel circuito. L'operazione di somma restituisce invece -8_d ($[1000]_b$).

Ma come trasformare un numero positivo nel suo opposto negativo? Si nota facilmente che, negando un numero positivo N (cioè trasformando ogni cifra binaria nella sua negazione), si ottiene un numero negativo pari a $-N - 1$ (proprietà dimostrabile, ma questo esula dallo scopo di questo corso). L'opposto di un numero positivo si ottiene quindi aggiungendo 1 alla sua negazione

$$NOT(A) = -A - 1 \quad - A = NOT(A) + 1$$

la stessa proprietà vale anche per i numeri negativi, il cui opposto può essere calcolato con la stessa formula.

7.4 Dispositivi digitali

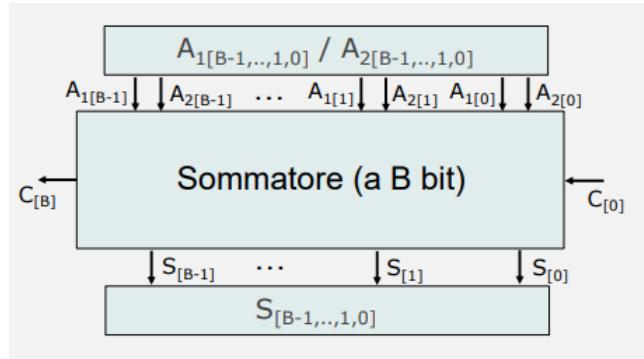


Figura 7.10: Sommatore a B bit

Il *sommatore a B bit* (figura 7.10) è un circuito che ha $2B + 1$ ingressi (B ingressi per il primo addendo, B ingressi per il secondo addendo, 1 per l'operazione di sottrazione) e $B + 1$ uscite.

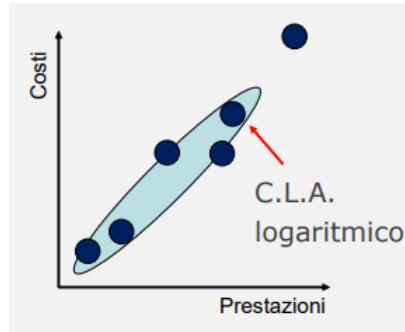


Figura 7.11: Circuiti sommatori a confronto

Esistono diversi modi per realizzare un sommatore a B bit. Il primo metodo è quello della *sintesi diretta* (figura 7.11, in alto a destra nel grafico): ognuna delle $B + 1$ funzioni logiche rappresentanti le uscite può essere scritta in forma canonica (ad esempio come somma di prodotti) a partire dalle 2^{2B} combinazioni degli ingressi.

In questo modo servirebbero circa:

- $2B$ invertitori
- 2^{2B} porte AND
- 2^{2B} porte OR

Il tempo richiesto per il calcolo non dipenderebbe da B , ma l'implementazione è fattibile solo per B piccolo. Esistono implementazioni più semplici di questo sommatore, anche se meno performanti. Il meno costoso, anche se meno efficiente, è il *ripple carry adder* (figura 7.12, rappresentato dal marker in basso a sinistra nel grafico in figura 7.11).

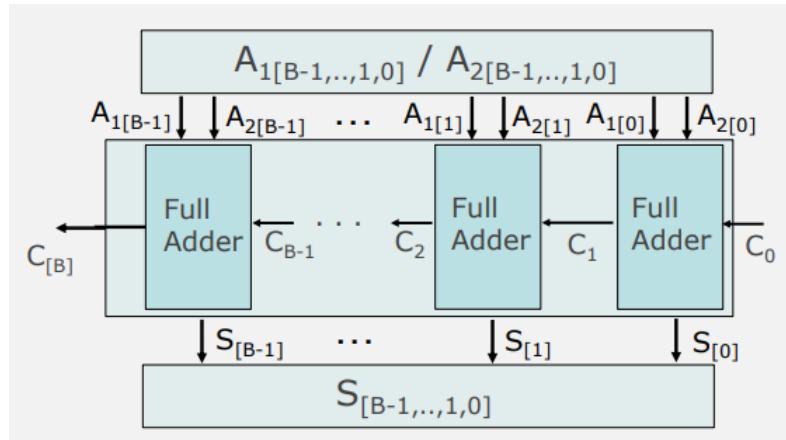


Figura 7.12: Ripple carry adder

Immaginiamo di sommare due numeri binari in colonna.

Iniziando dalla cifra meno significativa, possiamo eseguire l'operazione di somma con un semplice confronto:

- Se entrambi i numeri sono 0, la loro somma è 0;
- Se uno dei due numeri è 0 e l'altro è 1, la loro somma è 1;
- Se entrambi i numeri sono 1, la loro somma è 0 e riporto (il carry, appunto) 1.

L'operazione di somma per il bit meno significativo è quindi una funzione logica a 2 variabili booleane che restituisce in output 2 valori booleani (tabella 7.3). È possibile creare un circuito che implementi questa funzione usando uno XOR per la somma e un AND per il riporto, e prende il nome di *half-adder*.

A ₁	A ₂	S	C
0	0	0	0
1	0	1	0
0	1	1	0
1	1	0	1

Tabella 7.3: Tabella della verità dell'half-adder

A questo punto si passa alla prossima cifra significativa. La somma adesso deve tenere in considerazione un eventuale riporto (oltre agli addendi). L'operazione di somma diventa quindi una funzione logica a 3 variabili booleane che restituisce in output 2 valori booleani (tabella 7.4) tale che:

- Se tutti gli ingressi sono 0, la somma è 0 e il riporto è 0;
- Se un ingresso è 1 e gli altri sono 0, la somma è 1 e il riporto è 0;
- Se un ingresso è 0 e gli altri sono 1, la somma è 0 e il riporto è 1;
- Se tutti gli ingressi sono 1, la somma è 1 e il riporto è 1.

A ₁	A ₂	C _{in}	S	C _{out}
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

Tabella 7.4: Tabella della verità del full-adder

Il circuito che implementa questa funzione è detto *full-adder*. È possibile adesso, iterando questa funzione logica, sommare due numeri binari di qualunque dimensione. Il ripple carry adder (figura 7.12) altro non è che un sommatore a B bit formato da B full-adder, collegati in modo tale che l'uscita C_{out} di ognuno sia collegata all'ingresso C_{in} del successivo.

Si potrebbe usare un half-adder in prima posizione, ma in realtà il primo ingresso C₀ è utile per l'operazione di sottrazione, dove bisogna aggiungere 1 al termine dell'operazione di negazione per completare la conversione.

Come implementare un full-adder con porte logiche? La funzione logica, partendo dalla tabella della verità, può essere scritta come

$$\begin{aligned} S &= A'_1 A'_2 C_i + A'_1 A_2 C'_i + A_1 A'_2 C'_i + A_1 A_2 C_i = A'_1 (A_2 \text{ XOR } C_i) + A_1 (A_2 \text{ XOR } C_i)' \\ &= A_1 \text{ XOR } (A_2 \text{ XOR } C_i) = A_1 \text{ XOR } A_2 \text{ XOR } C_i \end{aligned}$$

$$\begin{aligned} C_{out} &= A'_1 A_2 C_i + A_1 A'_2 C_i + A_1 A_2 C'_i + A_1 A_2 C_i = A'_1 A_2 C_i + A_1 A'_2 C_i + A_1 A_2 C'_i + A_1 A_2 C_i + A_1 A_2 C_i \\ &= (A_1 + A'_1) A_2 C_i + A_1 (A_2 + A'_2) C_i + A_1 A_2 (C_i + C'_i) = A_2 C_i + A_1 C_i + A_1 A_2 \end{aligned}$$

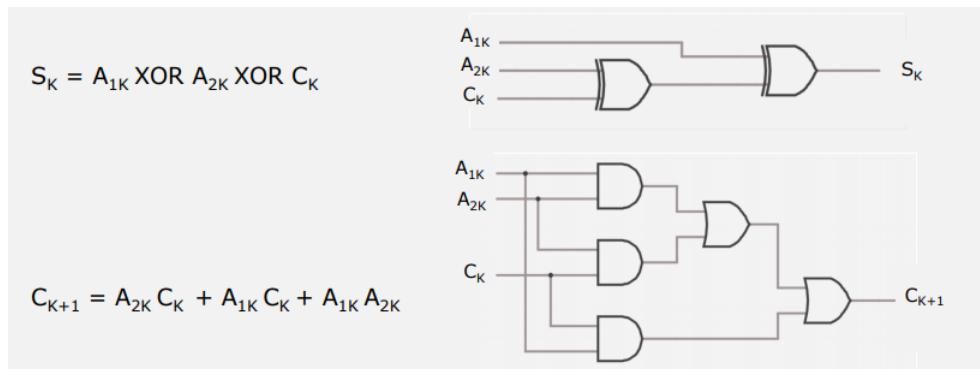


Figura 7.13: Full adder

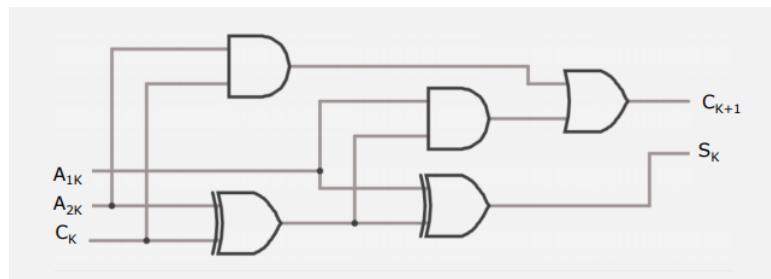


Figura 7.14: Full adder più economico

Un'implementazione potrebbe essere come raffigurata in figura 7.13. Si possono però risparmiare porte logiche ricordando che

$$\begin{aligned} C_{out} &= A_2 C_i + A_1 C_i + A_1 A_2 = A_2 C_i + A_1 (C_i + A_2) = A_2 C_i + A_1 (C_i * A_2 + C_i \text{ XOR } A_2) \\ &= A_2 C_i + A_1 C_i A_2 + A_1 (C_i \text{ XOR } A_2) = A_2 C_i + A_1 (C_i \text{ XOR } A_2) \end{aligned}$$

dove lo XOR viene già implementato nella funzione di somma. In questo modo servono solo un OR e due AND, oltre a quanto già presente per la funzione di somma (figura 7.14).

Introduciamo adesso una distinzione tra *logica combinatoria* e *logica sequenziale*.

Il valore di una funzione logica combinatoria dipende solo dal valore degli ingressi al tempo corrente. Il valore di una funzione logica sequenziale, invece, dipende non solo dal valore degli ingressi al tempo corrente ma anche dal valore degli ingressi al tempo passato. In altre parole, la funzione logica sequenziale possiede una serie di stati, modificabili dagli ingressi, il cui valore al tempo corrente influisce sul valore della funzione.

La memoria a 1 bit (figura 7.15) è un esempio di logica sequenziale. Si tratta di un circuito bistabile, ovvero che possiede due stati stabili di funzionamento ($Q = 0/Q = 1$), dotato di due ingressi e un'uscita. Il primo ingresso contiene il dato da memorizzare, il secondo ingresso dice al circuito quando aggiornare il suo stato con il dato ricevuto dal primo ingresso, l'uscita restituisce il dato memorizzato.

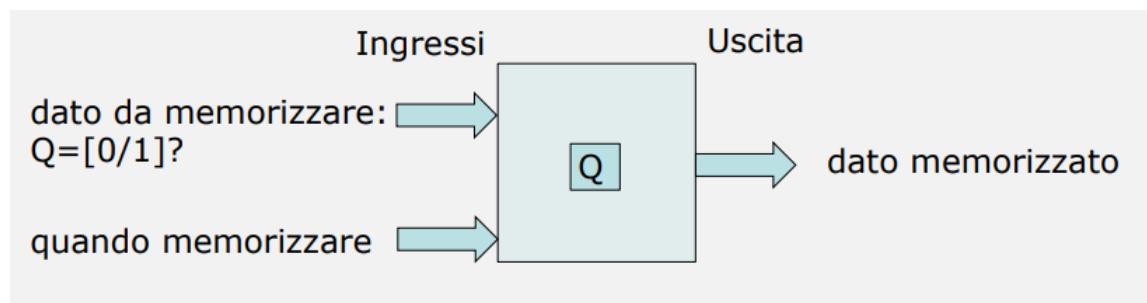


Figura 7.15: Memoria a 1 bit

La memoria a singola cella (figura 7.16) a B bit, è formata da $B + 1$ ingressi e da B uscite. È formata da B memorie a 1 bit, che condividono lo stesso ingresso di “aggiornamento”. Esistono tipicamente memorie a 8, 16, 32, 64, 128 bit; con la possibile aggiunta di bit di ridondanza (tipicamente uno solo) per il controllo degli errori.

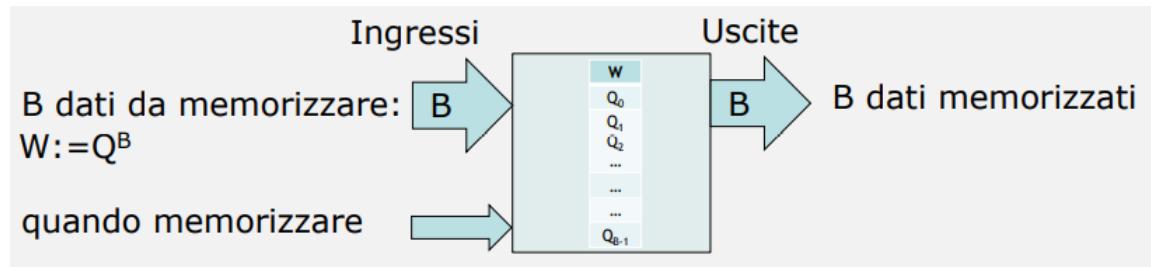


Figura 7.16: Memoria a singola cella

La memoria a più celle (figura 7.17) è formata da B_I memorie a una cella da B_D bit ciascuna. Per accedere ad una specifica cella di memoria serve conoscerne l'indirizzo. Esistono memorie con poche celle, ad esempio $N = 256$ e $B_I = 8$ linee di indirizzo, fino a centinaia di milioni di celle e molte decine di linee di indirizzo.

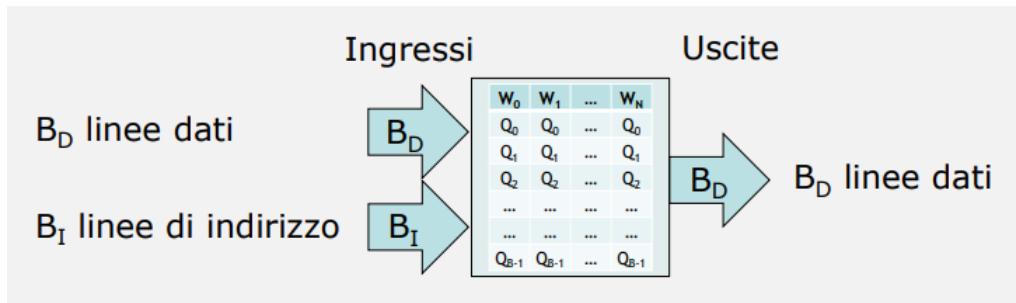


Figura 7.17: Memoria a più celle

Altri esempi di memorie (figure 7.18, 7.19):

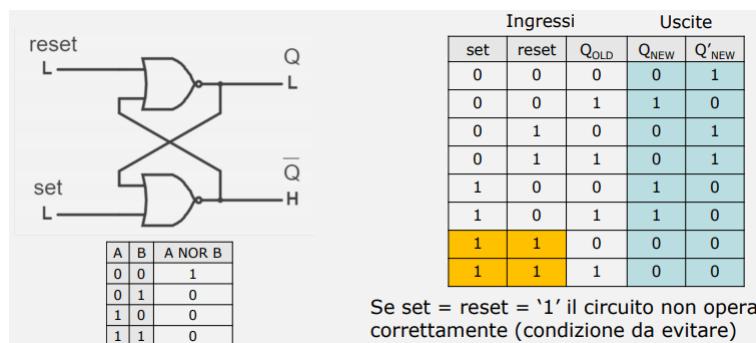


Figura 7.18: Memoria statica a 1 bit con porte NOR

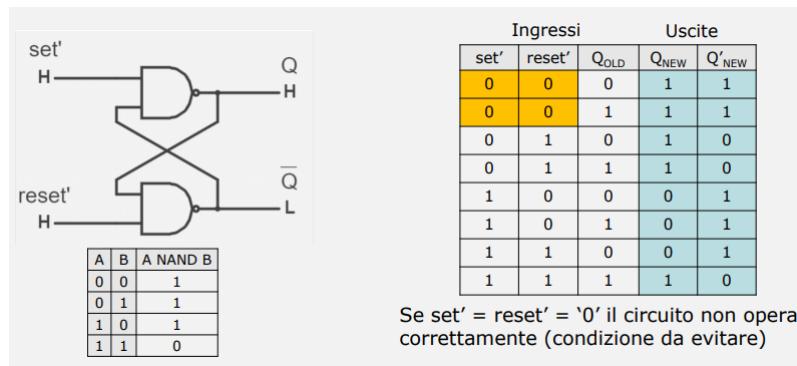


Figura 7.19: Memoria statica a 1 bit con porte NAND

Il Field Programmable Gate Array o FPGA (figura 7.20) è un “ASIC riconfigurabile” per applicazioni di elettronica digitale: unisce alcuni vantaggi dei circuiti integrati (minore potenza consumata, maggiore velocità di esecuzione) con i vantaggi dell’implementazione a discreti (ridotti tempi di sviluppo, bassi costi fissi di produzione e test). Il principale svantaggio è il non trascurabile costo variabile di produzione (da ≈ 10 Euro a $\approx 1\text{-}2$ kEuro per pezzo). Furono sviluppati anche i FPAA (Field Programmable Analog Array), con minor fortuna.

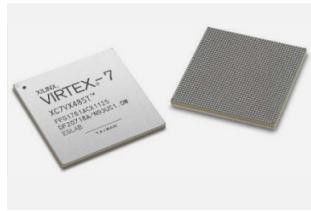


Figura 7.20: FPGA

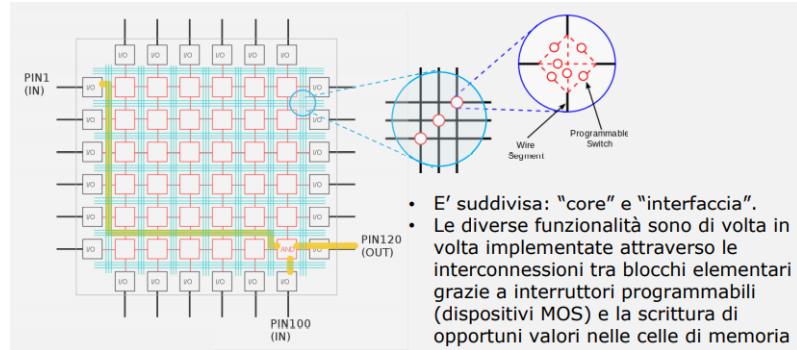


Figura 7.21: Struttura interna di un FPGA

Negli ultimi anni negli FPGA di medio-alto livello sono stati introdotti elementi “dedicati” (simil ASIC) per funzionalità quali memoria, DSP, CPU, ecc. Esistono anche dispositivi più complessi che implementano una sezione di logica FPGA e uno o più CORE ARM (ad esempio Xilinx ZYNQ).

In termini di porte logiche equivalenti (che non esistono fisicamente in un FPGA) la complessità dei dispositivi varia da un migliaio a diverse centinaia di migliaia. Inoltre, mentre in un processore semplice (CPU a singolo “core”) le funzionalità sono specificate “via software” ed eseguite in sequenza su un “hardware” predefinito, in un FPGA le funzionalità sono specificate “via hardware” e finché le risorse a disposizione lo permettono, possono essere eseguite in parallelo.

Implementazione “discreta” vs “integrata”		
	Vantaggi	Svantaggi
Utilizzo di componenti discreti (resistori, condensatori, ...) e integrati di impiego generale (OpAmp, ...)	Ridotti tempi di sviluppo; bassi costi di produzione e test	Elevata area e dissipazione di potenza
Utilizzo di ASIC (Application Specific Integrated Circuit)	Minore potenza consumata; maggiore velocità di esecuzione; bassi costi variabili di produzione	Lunghi tempi di sviluppo; alti costi fissi di sviluppo, produzione e test

Figura 7.22: Implementazione discreta e integrata di un circuito

Il corso è finito.

Per eventuali correzioni, insulti o minacce scrivete a lorenzo.ramella@studenti.unimi.it
Grazie per aver letto e buona fortuna per gli esami.