

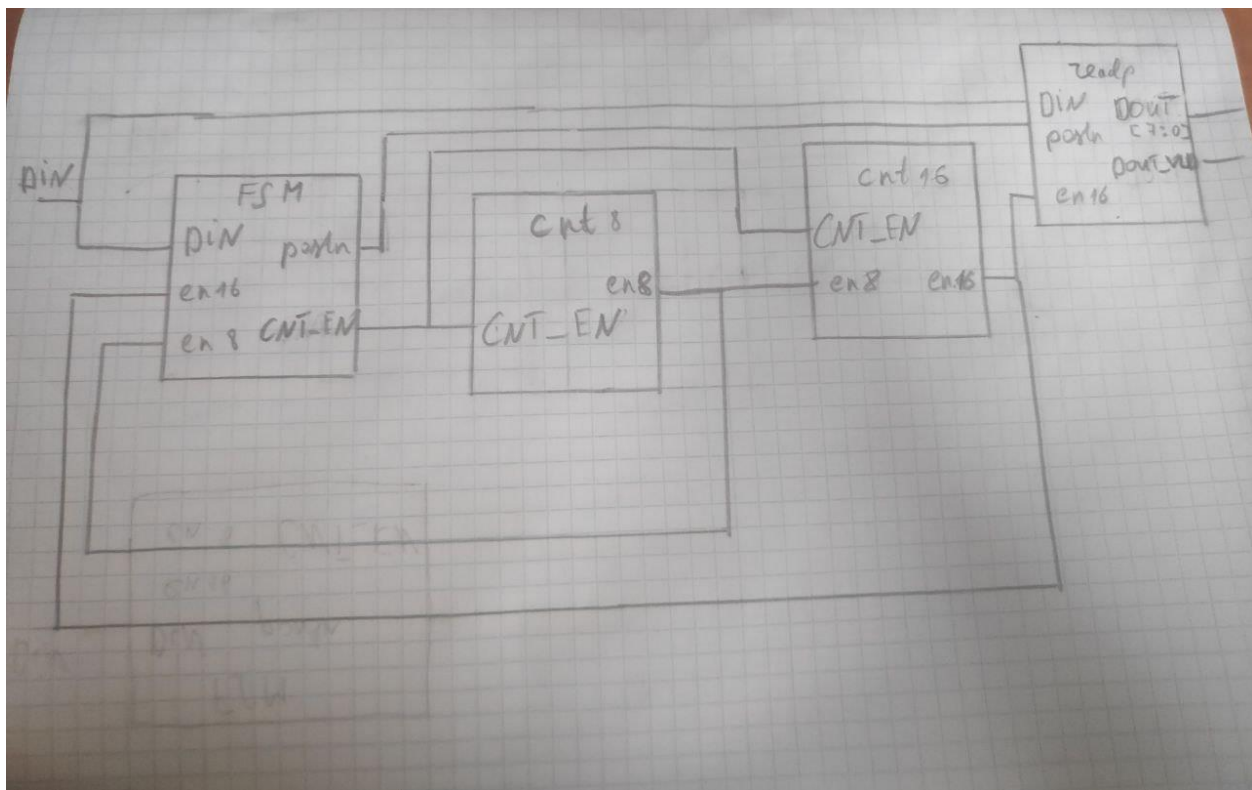
# Příloha: Výstupní zpráva

Jméno: Rostyslav Kachan

Login: xkacha02

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

**cnt8** - Když dostane logickou 1 na vstupu CNT\_EN, začne počítat od 0 do 7, když se dopočítá, pak na výstupu EN8 dostaneme logickou 1 po čas 1 taktu. Pokud na vstupu obdrží RST = 1 nebo CNT\_EN = 0, vynuluje hodnotu čítače.

**cnt16** - Když přijme logickou 1 na vstupu en8, začne počítat od 0 do 1, když se dopočítá, pak na výstupu en16 dostaneme logickou 1 po dobu 8 hodinových

taktů. Pokud na vstupu obdrží  $RST = 1$  nebo  $CNT\_EN = 0$ , vynuluje hodnotu čítače.

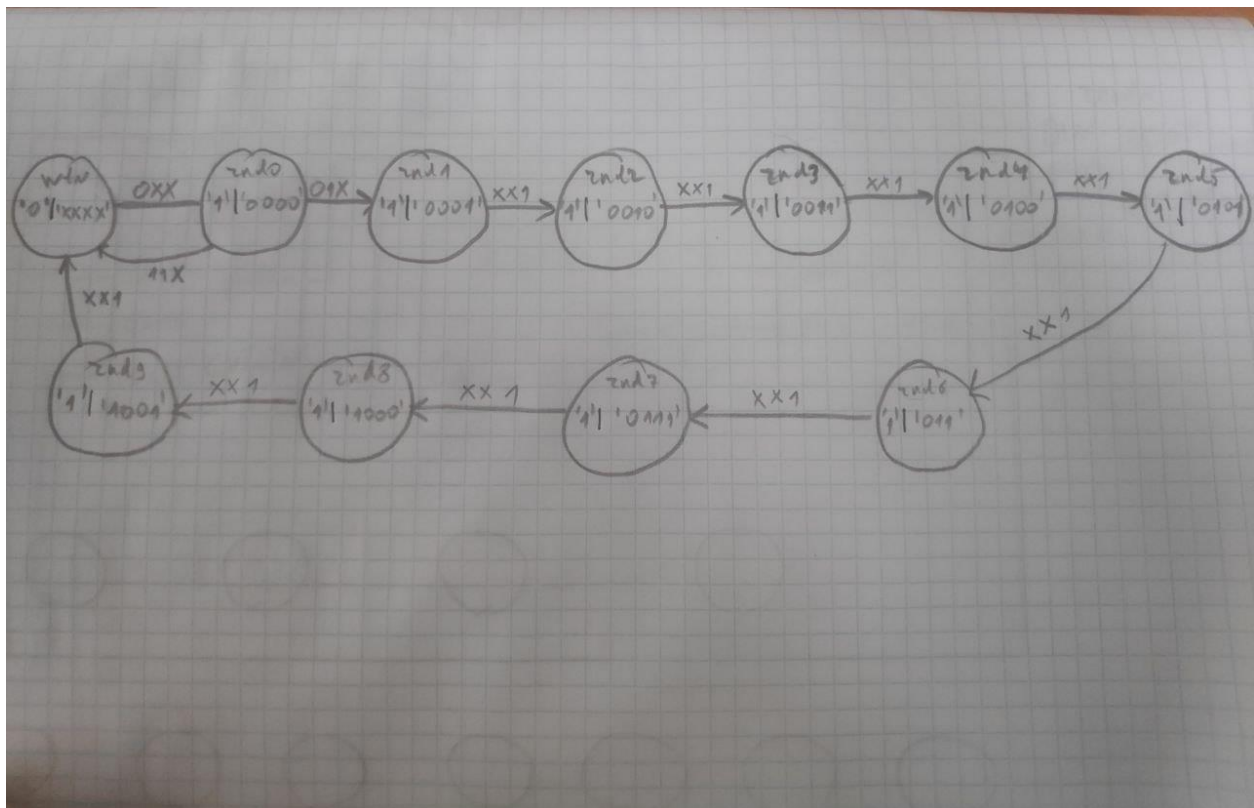
**readp** - Pokud na vstupu en16 obdrží logickou 1, v závislosti na hodnotě postn nastaví hodnotu DIN na odpovídající bit DOUT nebo DOUT\_VLD. V opačném případě, pokud obdrží 1 na vstupu CLK, nastaví DOUT\_VLD na 0.

**FSM** – Na základě vstupů DIN, en 8, en16 pomocí výstupů CNT\_EN a postn řídí ostatní prvky

## Návrh automatu (Finite State Machine)

Legenda:

- Stavy automatu: wtn, rdn0, rdn1, rdn2, rdn3, rdn4, rdn5, rdn6, rdn7, rdn8, rdn9.
- Vstupní signály: DIN, en8, en16
- Mealyho/Moorovy výstupy: CNT\_EN, postn



## Snímek obrazovky ze simulací



