

ادامه‌ی درس

نکته: در زبان VHDL هیچ کدام از عملگرها جزو syntax زبان نیستند و همی آن‌ها تعریف شده‌اند.

همچنین این قابلیت وجود دارد که ما خود نیز عملگر تعریف کنیم.

modelsim-installation-folder

└ vhdl-src

├ ieee  
└ std  
...

نکته: زبان سخت‌افزاری به گونه‌ای ساخته شده‌اند که به صورت concurrent عمل کنند.

اما این سبب می‌شود که debug کردن آن بسیار سخت است.

زبان‌های سخت‌افزاری در واقعیت concurrent هستند و این زبان‌های مثل VHDL یا سری قابلیت برای نوشتن به صورت sequential فراهم کرده‌اند.

مثال:

```
ENTITY decoder3x8 IS
```

```
    PORT (x : IN std_logic_vector(2 DOWNTO 0);
```

```
          z0 : OUT std_logic;
```

```
          ...
```

```
          z7 : OUT std_logic);
```

```
BEGIN END decoder3x8;
```

```
ARCHITECTURE concurrent OF decoder3x8 IS
```

```
BEGIN
```

```
    z0 <= '1' WHEN x = "000" ELSE "0";
```

```
    ...
```

} ترتیب آن‌ها مهم نیست.

```
END concurrent;
```

نکته: می‌توان یک مورد از assignment‌های بالا را به صورت زیر نوشت:

```
WITH x SELECT
```

```
    z0 <= '0' WHEN "000",
```

```
    '1' WHEN OTHERS;
```

مثال:

ENTITY mux16x1 IS

PORT (x : IN std\_logic\_vector (15 DOWNTO 0);

sel : IN std\_logic\_vector (3 DOWNTO 0);

z : OUT std\_logic);

BEGIN END mux16x1;

ARCHITECTURE con of mux16x1 IS

BEGIN

z <= x(0) WHEN sel = "0000" ELSE

x(1) WHEN sel = "0001" ELSE

...

x(14) WHEN sel = "1110" ELSE

x(15);

END con;

نکته: می توان مورد بالا را به صورت select نوشت:

WITH sel SELECT

z <= x(0) WHEN "0000",

x(1) WHEN "0001",

...

x(14) WHEN "1110",

x(15);

نکته: برای دیدن یک سیگنال دیجیتال، می توان از وسایلی مثل Oscilloscope و Digiloscope (Logical Analyser)،

استفاده کرد. مورد دوم امکان مشاهده چندین سیگنال دیجیتال را می دهد.

نکته: برای بررسی عملکرد یک ماژول در VHDL از testbench استفاده می شود.

نکته: در قسمت compiler options حتماً نسخه ۱۹۹۱ به بعد استفاده شود.

در همان قسمت اگر گزینه check for synthesis انتخاب شود، قابل تست بودن آن بررسی می شود.

تال testbench برای decoder:

```
ENTITY decoder3x8_tb IS BEGIN END decoder3x8;
```

```
ARCHITECTURE concurrent OF decoder3x8 IS
```

```
    COMPONENT decoder3x8 IS
```

```
        PORT (...); -- same as before
```

```
    END COMPONENT;
```

```
    SIGNAL z0_t, z1_t, z2_t, ..., z7_t : std_logic;
```

```
    SIGNAL x_t : std_logic_vector(2 DOWNTO 0);
```

```
BEGIN
```

```
    U1: decoder3x8 PORT MAP (x_t, z0_t, z1_t, ..., z7_t);
```

```
    x_t <= "000",
```

```
           "001" AFTER 15 ns,
```

```
           "010" AFTER 30 ns,
```

```
           ...
```

```
           "111" AFTER 101 ns;
```

```
END concurrent;
```