

ادامی درس

نکات مهم در UART هنگام ارسال:

۱. زمانیکه start فعال می شود، یک P2S جدید شروع می شود.

۲. در هنگام (میانجی) یکبار ارسال، می توان یک start جدید را قبول کرد. (سرویس داده نمی شود).

۳. در هنگام شروع فعال شدن start، یک کپی از din باید latch شود.

پیشنهاد این است که از fsm استفاده شود.

synthesis problem

1) delay

2) sensitivity list

- comb. vs seq. process

- all states of conditions should be checked

- in each run of a process, all output signals should be valued.

- in each process, sensitivity list signals can not be output of the process.

3) INOUT signals have large concerns.

HLS (high level synthesis)

C/C++/Matlab → VHDL → synthesis → HW

hand off

HLS is the HW implementation tool for software developers.

C/C++/python

VHDL/Verilog

```
main() {
  ...
}
```

```
entity {
  concurrent statements
}
```

difference:

## 1. sequential vs concurrent

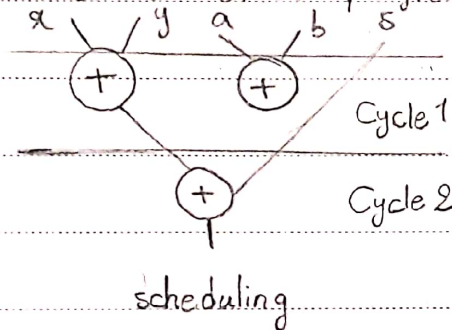
state machine should be implemented

Converting the sequential context of c++ program to concurrent context of HDL.

مثال:  $y = x + z;$

$w = a + b;$

$x1 = y + s;$



unscheduled: Data flow graph (DFG)

scheduled: Control DFG (CDFG)

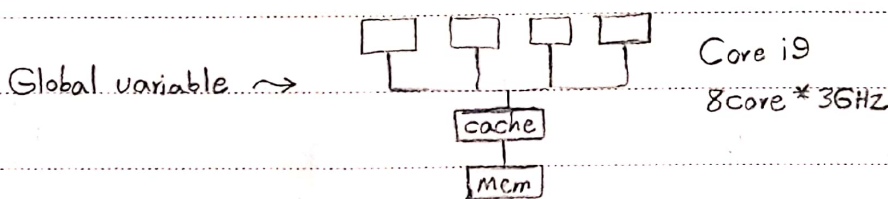
↓ حاکم منابع و نحوه اجرای سیگما

مشخص می شود این گراف به که VHDL

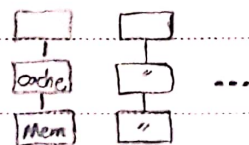
تبدیل می شود.

## 2. Converting the centralized memory model to distributed model

Change the mind set of software programmers.



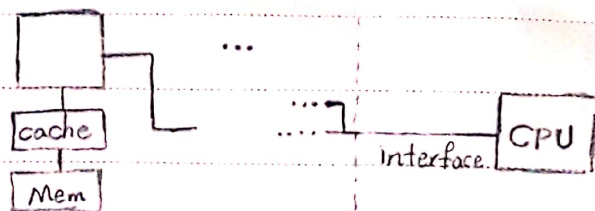
Localized code,  
encapsulation



900MHz x 1000 parallel element

## 3. Synthesizing the interface efficiently

(hardware/software partitioning)



ابزارهای سنتز سطح بالا:

- Ptolemy (Berkeley) 1990

Others:

- Synplify (Synopsys) 2000

- SystemC

- Legup (Toronto) 2004

- SystemVerilog

- BlueSpec (IBM)

- OpenCL

C/C++  $\rightarrow$  VHDL/Verilog

- C/C++/Matlab/python

- Vivado (Xilinx) 2004

- Intel-HLS (Intel-Altera) 2018

C/C++  $\rightarrow$  Map to FPGA