

2.4算术逻辑单元（ALU）

运算器组成：算术逻辑单元 累加器 状态寄存器 通用寄存器组

2.4.1串行加法器和并行加法器

- 一位全加器
 - 两个加数输入，以及低位进入输入
 - 本位结果和进位输出
- 串行加法器
 - 只有一个全加器，数据逐位的送入加法器中运算，逐位送回寄存器
 - 操作数n位 则进行n次
 - 成本低，但是速度慢
- 并行加法器
 - 多个加法器共同组成，每个全加器都有一个低位送来的进位输入，向高位的进位输出
 - 进位方式
 - 串行进位 将全加器串接在一起，每级进位依赖于前一级进位
 - 并行进位 同时进位，各级进位信号同时形成

提高并行加法器速度的关键在于加快进位产生和传递速度

2.4.2 算术逻辑单元的功能和结构

ALU：算数运算与逻辑运算