
《计算机组成原理》课程设计任务书

一、课程设计题目

基于 FPGA 的单周期 CPU 设计与实现。

二、课程设计的目的与意义

本课程设计是学完计算机组成原理课程并进行了多个单元实验后，综合利用所学的理论知识，并结合在单元实验中所积累的计算机部件设计和调试方法，设计出一台具有自定义指令系统的简单计算机系统。所设计的系统能在基于 FPGA 的实验平台上运行一段程序，通过检查程序结果的正确性来判断所设计计算机系统正确性。

本课程设计属于设计型实验，不仅锻炼学生简单计算机系统的设计能力，而且通过进行主机系统底层电路的实现、故障分析与定位、系统调式等环节的锻炼，进一步提高学生分析和解决问题的能力。

三、课程设计的内容

1. 单周期 CPU 的实现平台：

设计单周期 CPU，并调试通过。题目为基于 FPGA 的单周期 CPU 设计与实现。

2. 单周期 CPU 的指令格式：

该单周期 CPU 实现的指令如下：

表 1 指令格式

| # | 指令 | 15~12 | 11~10 | 9~8 | 7~6 | 5~3 | 2~0 | 指令功能 |
|----|-------|-------|-------|-----|-------------|-----|------------------------|------------------------------|
| 1 | or | 0 | rs | rt | rd | 0 | 0 | \$rd = \$rs \$rt (5~3位无用) |
| 2 | and | 0 | rs | rt | rd | 0 | 1 | \$rd = \$rs & \$rt |
| 3 | add | 0 | rs | rt | rd | 0 | 2 | \$rd = \$rs + \$rt |
| 4 | sub | 0 | rs | rt | rd | 0 | 3 | \$rd = \$rs - \$rt |
| 5 | sllv | 0 | rs | rt | rd | 0 | 4 | \$rd = \$rs << \$rt |
| 6 | srlv | 0 | rs | rt | rd | 0 | 5 | \$rd = \$rs >> \$rt |
| 7 | sra v | 0 | rs | rt | rd | 0 | 6 | \$rd = \$rs >> \$rt 算术右移 |
| 8 | slt | 0 | rs | rt | rd | 0 | 7 | \$rd = (\$rs < \$rt) ? 1 : 0 |
| 9 | DISP | 1 | rs | rt | immediate-u | | DISP[imm] = \$rs | |
| 10 | lui | 2 | 0 | rt | immediate-u | | \$rt = imm << 8 | |
| 11 | ori | 3 | rs | rt | immediate-u | | \$rt = \$rs imm | |
| 12 | andi | 4 | rs | rt | immediate-u | | \$rt = \$rs & imm | |
| 13 | addi | 5 | rs | rt | immediate-s | | \$rt = \$rs + imm | |
| 14 | lw | 6 | rs | rt | immediate-s | | \$rt = MEM[\$rs + imm] | |

| | | | | | | |
|----|-------------|----|---------------------|-----------|--------------------|-----------------------------|
| 15 | sw | 7 | rs | rt | immediate-s | MEM[\$rs+imm] = \$rt |
| 16 | beq | 8 | rs | rt | offset-s | beq =? |
| 17 | bne | 9 | rs | rt | offset-s | bne != ? |
| 18 | bgt | 10 | rs | rt | offset-s | bgt >? (有符号比较) |
| 19 | jump | 11 | jump address | | | jump |
| 20 | halt | 12 | 0 | | | halt (时钟暂停) |

3. 对指令的说明：

(1) srl/sra 指令

srl 和 sra 的主要区别是符号扩展。由于 sra 的含义是算术右移，故该运算的操作数是用补码表示的有符号数，因此该数应做符号扩展。即如果符号位为 1 (即最高位，第 15 位)，则在右移之后，还应将空出来的高位部分填充 1，否则填充 0。srl 则视其操作数为一组独立的逻辑值，进行 0 扩展。

(2) jump 指令

和 MIPS 地址一样，jump 指令的参数是伪绝对地址。这里的地址是下一条要执行指令地址的低 12 位。高四位从当前 PC 处获得。这里，和 MIPS 不一样的是，不需要在最后加零。其原因是，这里的 CPU 是半字寻址的，故每个可能的地址都存储一个有效的 16 位指令。

```
PC = (PC & 0xF000) | address
```

(3) beq/bne/bgt 指令

beq 指令参数是相对于下一条指令的带符号的相对偏移量，这和 MIPS 一样。beq 可如下表示：

```
if $rs == $rt  
    PC = PC + 1 + offset  (offset 是有符号数)  
Else  
    PC = PC + 1
```

bne 指令和 beq 指令的区别是用!=来代替原来的==，bgt 指令和 beq 指令的区别是用>来代替原来的==。

(4) immediate 字段

一些 immediate 字段为无符号数，故应进行 0 扩展，而另一些则看成有符号数，需要进行符号扩展。每条指令具体进行何种方式的扩展，请参见具体指令功能说明。

immediate-s 代表有符号 (SIGNED) 立即数；

immediate-u 代表无符号 (UNSIGNED) 立即数；

offset-s 代表有符号 (SIGNED) 立即数。

4. 单周期 CPU 的评价指标:

- (1) 支持表 1 中至少 10 条指令，至少包含 1 条寄存器指令，1 条立即数指令，1 条读存储器 `lw` 指令，1 条写存储器 `sw` 指令，1 条有条件跳转指令，1 条无条件转移 `jump` 指令和 1 条停机指令。
- (2) 能运行由自己所设计的指令系统构成的一段测试程序，测试程序应能涵盖所有指令，程序执行功能正确。

四、课程设计建议步骤

1. 分析每条指令的功能，并用 RTL(Register Transfer Language) 来表示。
2. 根据指令的功能给出所需的元件，并考虑如何将他们互连。
3. 确定每个元件所需控制信号的取值。
4. 汇总所有指令所涉及到的控制信号，生成指令与控制信号关系表。
5. 根据指令与控制信号关系表得到每个控制信号的逻辑表达式，据此设计控制单元电路。
6. 先设计实现寄存器组(R0-R4)与 8~16 位的扩展器。

7. 按照 R-型指令、立即数运算指令、Load/Store 指令、分支指令、无条件转移指令及取指令部件的顺序设计数据通路图。

8. 分析控制信号取值，完成操作码表，并完成设计控制单元。

9. 设计主电路并确定触发时钟。

10. 准备程序与数据完成测试。

注：数据通路的详细设计方法见压缩包参考资料。

五、课程设计考核指标

最终成绩由 FPGA 程序运行结果、课程设计报告、检查（答辩）综合而成。各部分所占比例如下：

1. FPGA 程序运行结果

该部分占总成绩 60%。主要考核分析、解决问题的能力，调试、测试能力等。

| 运 行 结 | 课程目标 | 评价标准 | | | | | 成绩比例 (%) |
|-------------|------|---------------|------------------|------------------|------------------|-------------------|-------------|
| | | 优秀 (0.9~1) | 良好 (0.8~0.89) | 中等 (0.7~0.79) | 及格 (0.6~0.69) | 不及格 (0.0~0.59) | |

| | | | | | | | |
|---|--------|-----------------------------|---------------------------------------|---------------------------------------|---------------------------------------|--------------------------|----|
| 果 | 课程目标 1 | 熟悉仿真软件的各项操作 | 比较熟悉仿真软件的操作 | 能用仿真软件完成课程设计项目 | 基本能用仿真软件完成课程设计项目 | 不熟悉仿真软件的使用 | 14 |
| | 课程目标 2 | 设计、仿真或验证正确的指令条数 ≥ 15 条 | 设计、仿真或验证正确的指令条数 ≥ 13 条, < 15 条 | 设计、仿真或验证正确的指令条数 ≥ 11 条, < 13 条 | 设计、仿真或验证正确的指令条数 ≥ 10 条, < 11 条 | 设计、仿真或验证正确的指令条数 < 10 条 | 86 |

2. 课程设计报告

该部分占总成绩 30%。主要考核学生搜集、整理、分析参考资料、参考文献的能力，综合运用文字、图表等方法表达个人观点的能力。

| 课程设 | 课程目标 | 评价标准 | | | | | 成绩比例 (%) |
|-----|------|---------------|------------------|------------------|------------------|-------------------|----------|
| | | 优秀 (0.9~1) | 良好 (0.8~0.89) | 中等 (0.7~0.79) | 及格 (0.6~0.69) | 不及格 (0.0~0.59) | |

| | | | | | | | |
|-------------|--------|---|--|---|---|--|-----|
| 计 报 告 | 课程目标 3 | 对课程设计的第 1-6 阶段进行了深入的论述；有完整的软件测试结果，同时对测试结果进行了分析和评价；有对参考文献资料的引用；文字表达流畅，概念表述准确，排版质量好 | 对课程设计的第 1-6 阶段进行了详细的论述；有比较完整的软件测试结果测试及结果分析；有对参考文献资料的引用；文字表达基本流畅，概念表述基本准确，排版质量好 | 对课程设计的第 1-6 阶段进行了比较完整的论述；有比较完整的软件测试结果及测试结果分析；有对参考文献资料的引用，概念表述基本准确 | 对课程设计的第 1-6 阶段进行了基本正确的论述；有测试结果但分析不足；基本没有对参考文献的引用，概念表述基本准确 | 对课程设计的第 1-6 阶段进行的论述不充分；测试结果不完整；没有对参考文献资料的引用；文字表达不流畅，概念表述存在显著不准确，排版质量较差 | 100 |
|-------------|--------|---|--|---|---|--|-----|

3. 检查（答辩）

该部分占总成绩 10%。主要考核学生综合运用文字、图表等方法表达个人观点的能力、口头表达能力，以及沟通和交流能力。

| 检 查 及 答 辩 | 课程目标 | 评价标准 | | | | | 成绩比例 (%) |
|-----------------------|--------|------------------|------------------|------------------|------------------|-------------------|-------------|
| | | 优秀 (0.9~1) | 良好 (0.8~0.89) | 中等 (0.7~0.79) | 及格 (0.6~0.69) | 不及格 (0.0~0.59) | |
| | 课程目标 3 | 有制作良好的设计文稿，语言表达清 | 语言表达清晰，对主要工作基本描述 | 语言表达较清晰，对主 | 语言表达较清 | 语言表达不清晰，对主要工 | 100 |

| | | | | | | | |
|--|--|-------------------------|----------------|----------------------|-------------------|----------------|--|
| | | 晰，对主要工作描述清楚，能较好地进行沟通和交流 | 清楚，能较好地进行沟通和交流 | 要工作基本描述清楚，沟通与交流的方法欠缺 | 作基本描述清楚，沟通与交流能力较弱 | 述清楚，沟通与交流的方法欠缺 | |
|--|--|-------------------------|----------------|----------------------|-------------------|----------------|--|

六、应提交的资料

1. 每个同学提交打印的课程设计报告一份，资料袋一个。
2. 各班以班为单位刻录光盘：包括每个同学的 FPGA 程序、课程设计报告的电子文档、答辩视频和 PPT（讲解时是录屏，看结果时是对实验板运行结果的录像）。

七、课程设计参考资料

- [1] 计算机组装原理课程组. 计算机组装原理课程设计指导书 (Ver1.3). 重庆理工大学计算机学院, 2024 年
- [2] 戴志涛, 白中英. 计算机组装原理 (第七版). 科学出版社. 2024 年
- [3] 刘卫东等. 计算机硬件系统实验教程. 清华大学出版社. 2013