



IVH Projekt - dokumentace

Autor : Roman Janota

Login : xjanot04

Datum : 8. května 2022

Popis modulů

Projekt obsahuje soubory: anewspaper_pack.vhd, clkgen.vhd*, clkgen_config.vhd*, column_entity.vhd, controller_newspaper.vhd, counter.vhd, fpga.vhd*, fpga_inst.vhd*, fsm_newspaper.vhd, ROM_newspaper.vhd, tb_column.vhd, tb_controller.vhd, tb_fsm.vhd, tb_rom.vhd a tlv_gp_ifc.vhd*. Zdrojové soubory označené „*“ byly přiloženy v kostře a tak zde nebudou popisovány.

anewspaper_pack.vhd

soubor obsahující definici typu DIRECTION_T

column_entity.vhd

tento soubor definuje sloupec jako synchronní prvek a jeho chování při pohybu doleva, či doprava

controller_newspaper.vhd

ovladač chování, instanciuje entity – led_clk (časovač pro všechny led diody na displeji fitkitu), col_clk (časovač pro jednotlivé sloupce displeje), fsm (stavový automat) a rom pamět. Pro instanciaci led_clk jsem zvolil 12 jako generický parametr. Vypočítal jsem $\log_2(\text{FPGA_freq} / (\text{col_cnt} * \text{FPS}))$, kde FPGA_freq je frekvence FPGA na FitKitu, tedy 25 MHz, col_cnt je počet sloupců, tedy 16 a FPS, tedy počet snímků za sekundu jsem zvolil 120. Vyšlo 13.666, ale při testování mi to přišlo moc pomalé, a proto jsem zvolil o jedno míň, tedy 12 (výpočet výsledné periody níže u counter.vhd). U instanciace col_clk byl podobný princip, tedy výpočet $\log_2(\text{FPGA_freq} / \text{col_cnt}) = 20.575$, a proto jsem zvolil konstantu rovnou 20.

Konstrukce for generate je rozdělena na 3 if generate, kde se testuje první sloupec, poslední sloupec a všechny ostatní sloupce.

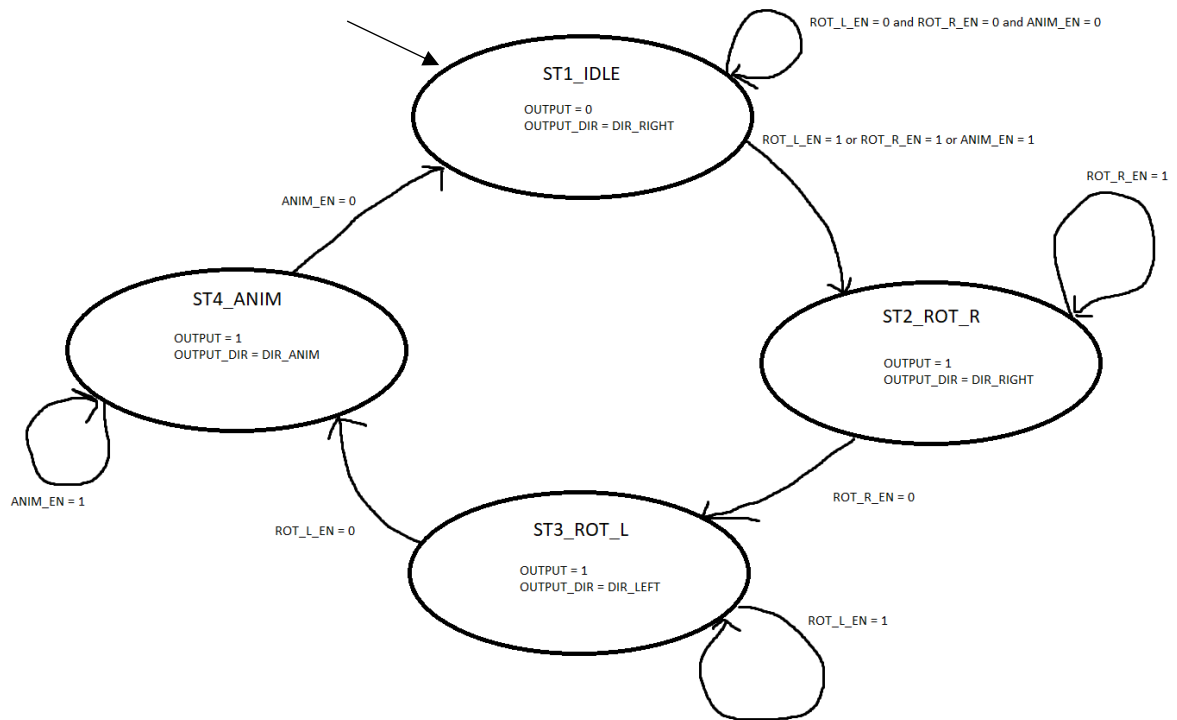
Dále se zde nachází 2 procesy, první pro vstupy/výstupy stavového automatu a druhý pro asynchronní ROM paměť

counter.vhd

počítadlo na čas obsahující generický parametr OUT_P, který značí, do kolikati budeme počítat ($2^{\text{OUT_P} + 1} - 1$)

fsm_newspaper.vhd

Moorův Stavový automat o 4 stavech – st1_IDLE, st2_ROT_R, st3_ROT_L, st4_ANIM, a 2 výstupech. Nakreslen na následující straně.



ROM_newspaper.vhd

modul obsahující architekturu asynchronní 16x128 ROM paměti

tb_column.vhd

testbench pro sloupce obsahující nastavení počátečního stavu, sepnutí EN po dobu 40 ns, změnu směru zleva doprava, opět změnu počátečního stavu a sepnutí EN.

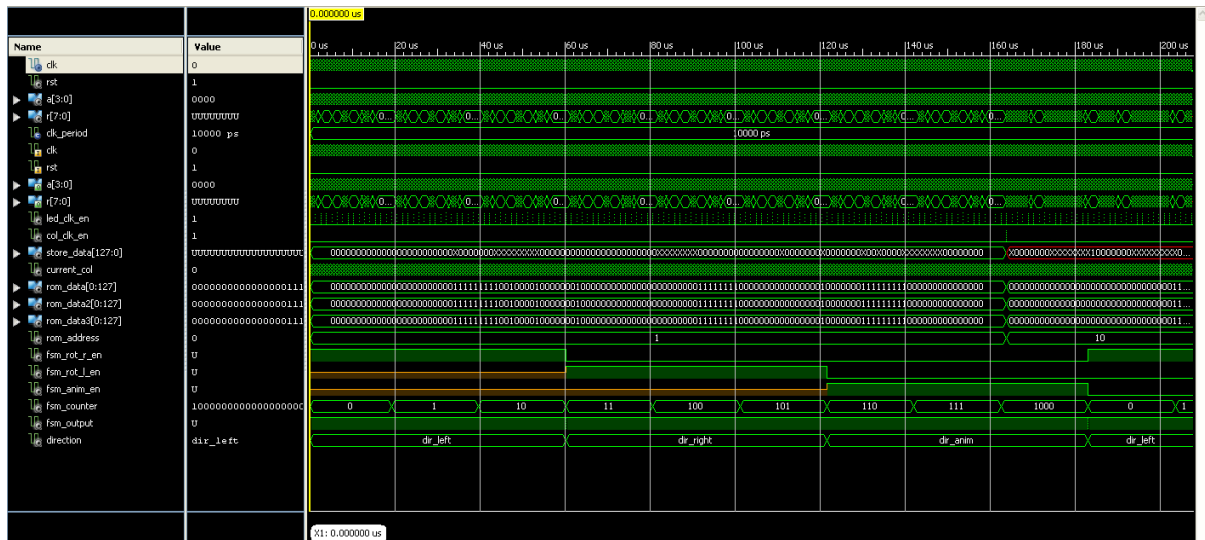
Ukázka simulace:



Komponenta by se měla chovat správně dle simulace.

tb_controller.vhd

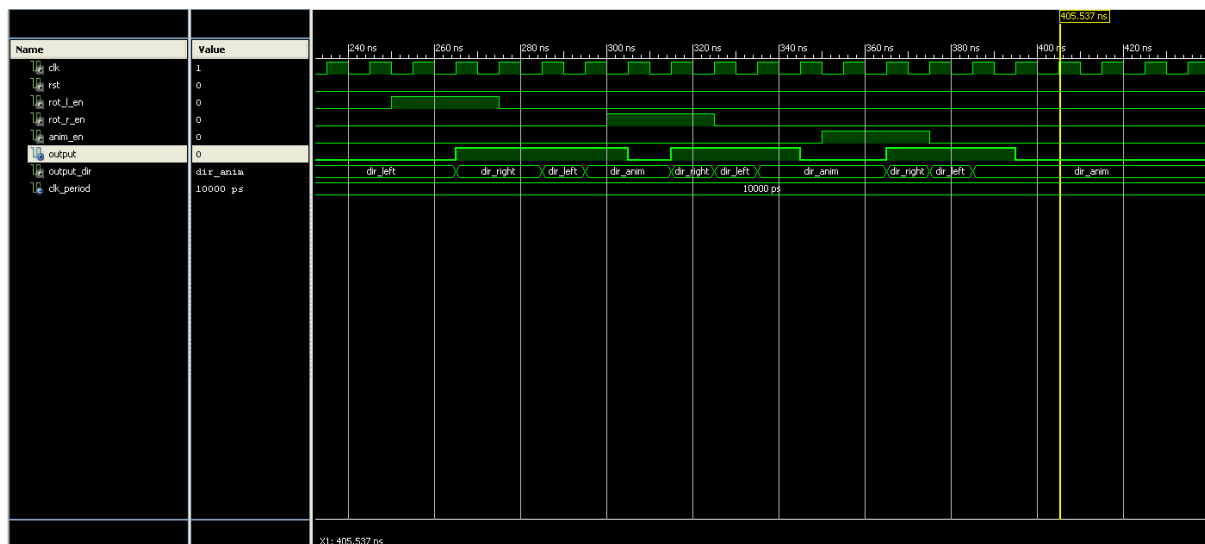
testbench pro celý projekt. Ukázka simulace:



Je vidět, že vše nefunguje, jak má. Zejména v určitých časových intervalech se na některých bitech výstupních dat objeví zkrat. Tento jev je způsoben sepnutím časovače pro jednotlivé sloupce a načtení z části neplatných dat do signálu udržující data.

tb_fsm.vhd

testbench pro stavový automat. Obsahuje nastavení všech spínačů na 0 a poté jejich postupné sepínání. Ukázka simulace:



I u stavového automatu jde vidět, že nepřepíná výstupný směr ve správný čas. Nastavování výstupu také občas skočí na 0.

tb_rom.vhd

testbench pro paměť ROM. Probíhá zde postupné navyšování adresy v paměti. Ukázka simulace:

