

گزارشکار آزمایش اول

آز طراحی سیستم‌های دیجیتال

دستیار آموزشی: آقای طوقانی

نام اعضا:

روژین تقی‌زادگان ۴۰۱۱۰۵۷۷۵

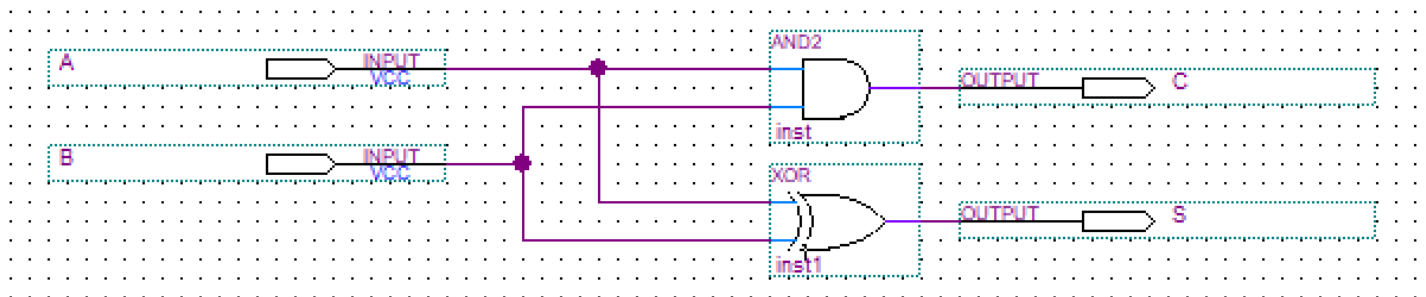
رادین شاه‌دائی ۴۰۱۱۰۶۰۹۶

باربد شهرآبادی ۴۰۱۱۰۶۱۲۵

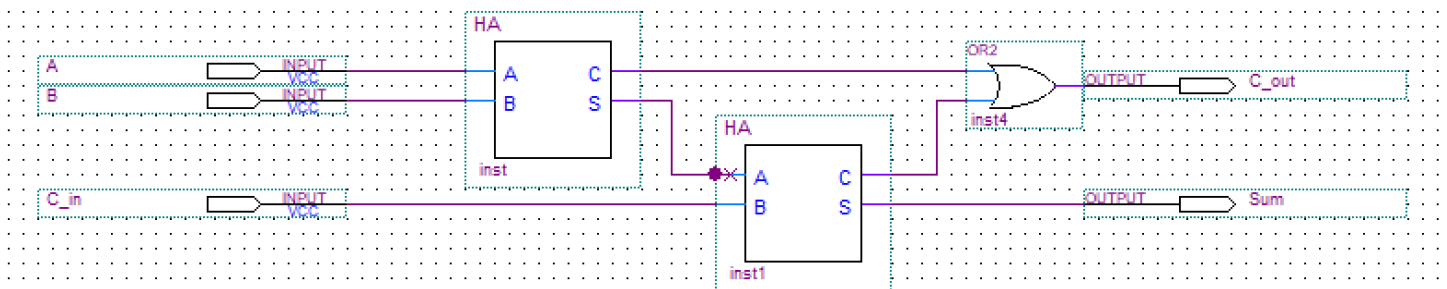
- بخش اول: طراحی سیستم تشخیص اعداد بخش‌پذیر بر ۳:

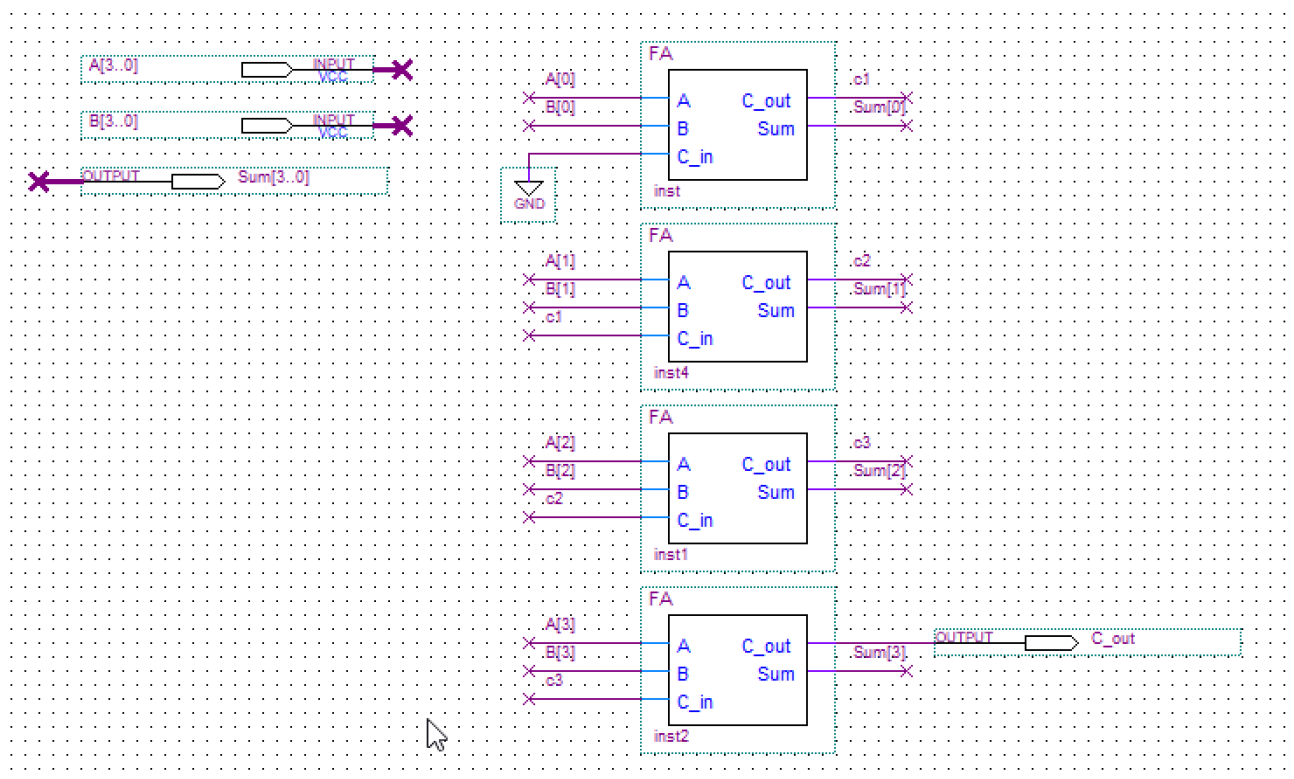
ابتدا مدار جمع‌کننده کامل ۴ بیتی را با استفاده از ۴ جمع‌کننده کامل ۱ بیتی می‌سازیم. هر کدام از جمع‌کننده‌های کامل را با استفاده از ۲ نیم‌جمع‌کننده ساختیم. مدارهای هر کدام را در زیر آورده‌ام.

(۱) نیم‌جمع‌کننده:

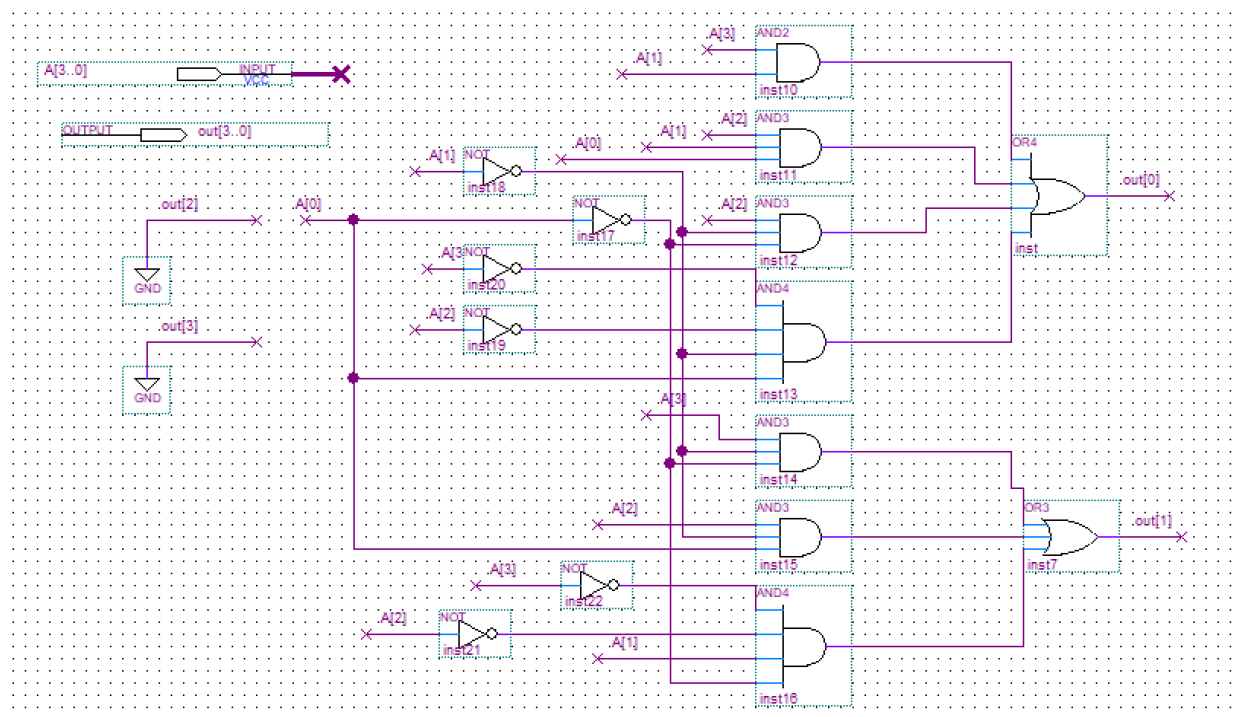


(۲) جمع‌کننده کامل:

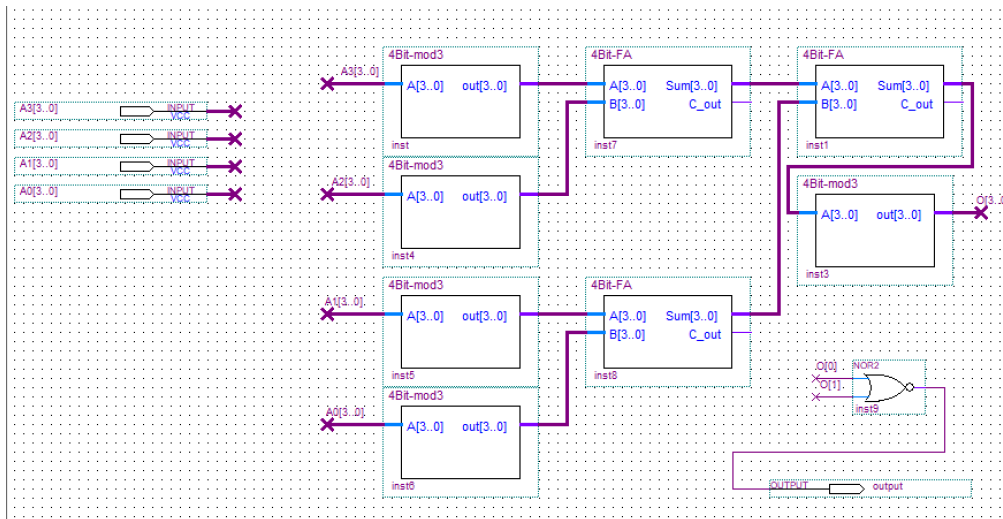




برای طراحی مدار نهایی، به مداری که یک عدد ۴ بیتی میگیرد و باقی مانده آن را به ۳ حساب می کند نیاز داشتیم. باقی را به صورت عددی ۴ بیتی که ۲ بیت پرارزش آن همیشه صفر بودند خروجی دادیم و ۲ بیت کم ارزش را نیز با استفاده از جدول کارنو برای هر کدام و ورودی های مختلف (هر کدام ۱۶ ورودی) طراحی کردیم. مدار محاسبه کننده ی باقی مانده را در زیر آورده ام.



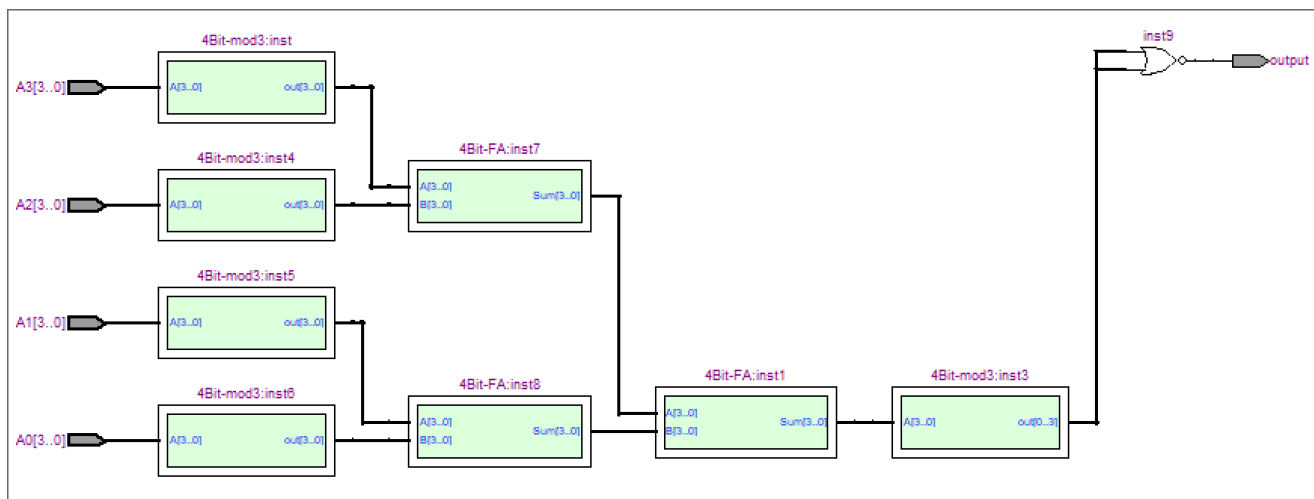
در نهایت برای محاسبه‌ی خروجی، ابتدا باقی‌مانده ۴ رقم هر عدد را نسبت به ۳ محاسبه می‌کنیم، این ۴ عدد را با هم جمع می‌کنیم و سپس دوباره باقی‌مانده‌ی آن را به ۳ محاسبه می‌کنیم. اگر باقی‌مانده نهایی مقدار صفر را داشت، یعنی عدد ما به ۳ بخش پذیر است و سیگنال output فعال خواهد شد. شکل مدار در زیر آمده‌است.

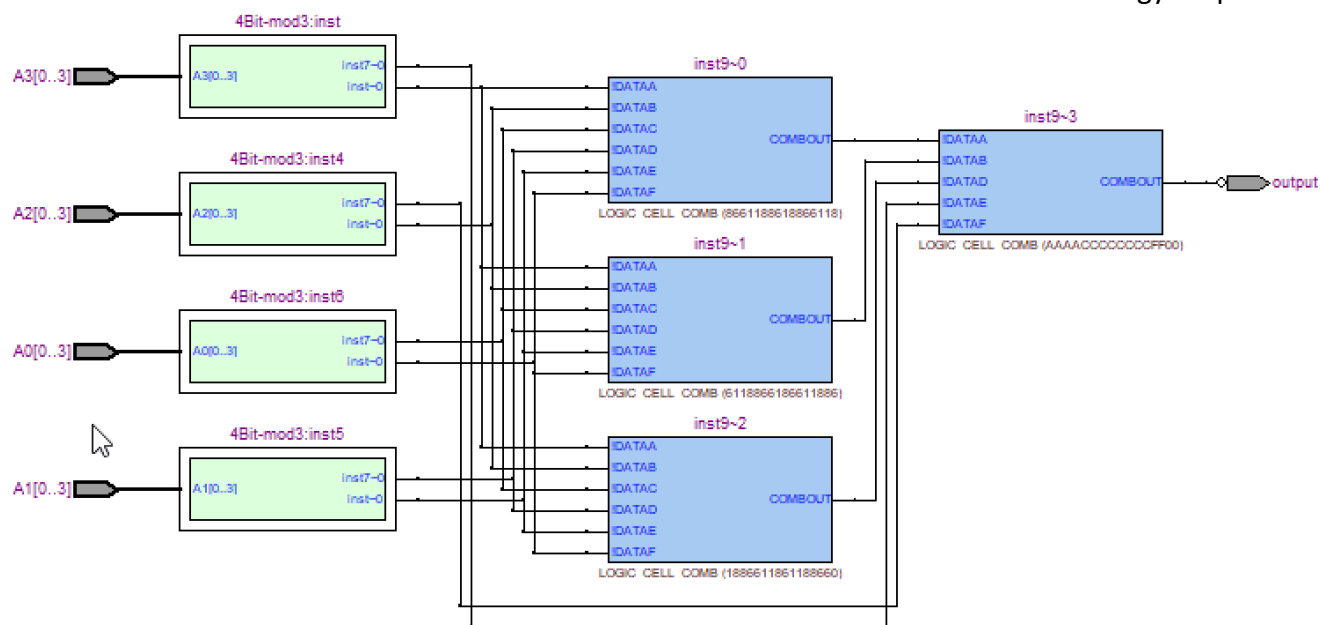


خروجی flow summary:

Flow Status	Successful - Wed Feb 28 12:28:16 2024
Quartus II Version	9.0 Build 132 02/25/2009 SJ Web Edition
Revision Name	Project01-3
Top-level Entity Name	Project01-3
Family	Stratix II
Met timing requirements	Yes
Logic utilization	< 1 %
Combinational ALUTs	12 / 12,480 (< 1 %)
Dedicated logic registers	0 / 12,480 (0 %)
Total registers	0
Total pins	17 / 343 (5 %)
Total virtual pins	0
Total block memory bits	0 / 419,328 (0 %)
DSP block 9-bit elements	0 / 96 (0 %)
Total PLLs	0 / 6 (0 %)
Total DLLs	0 / 2 (0 %)
Device	EP2K10K10-3
Timing Models	Final

خروجی RTL Viewer:

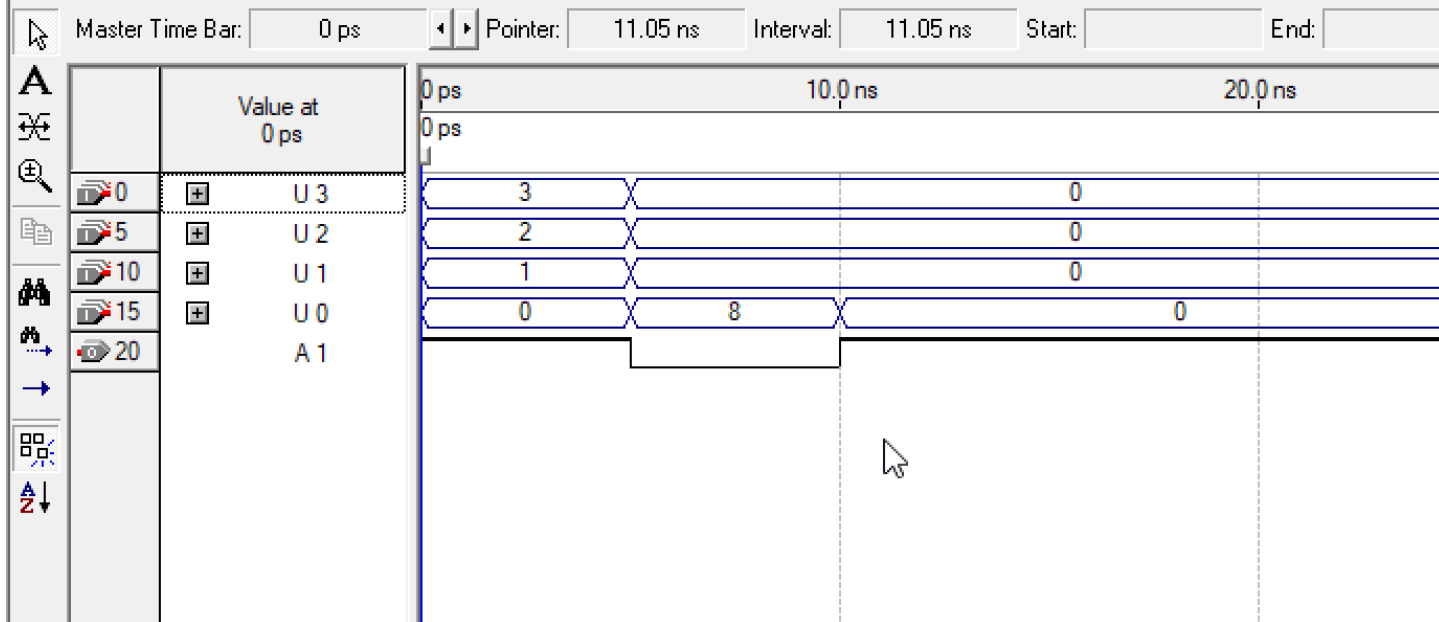




خروجی waveform و تست ۲ عدد 123 و 8000:

Simulation Waveforms

Simulation mode: Functional



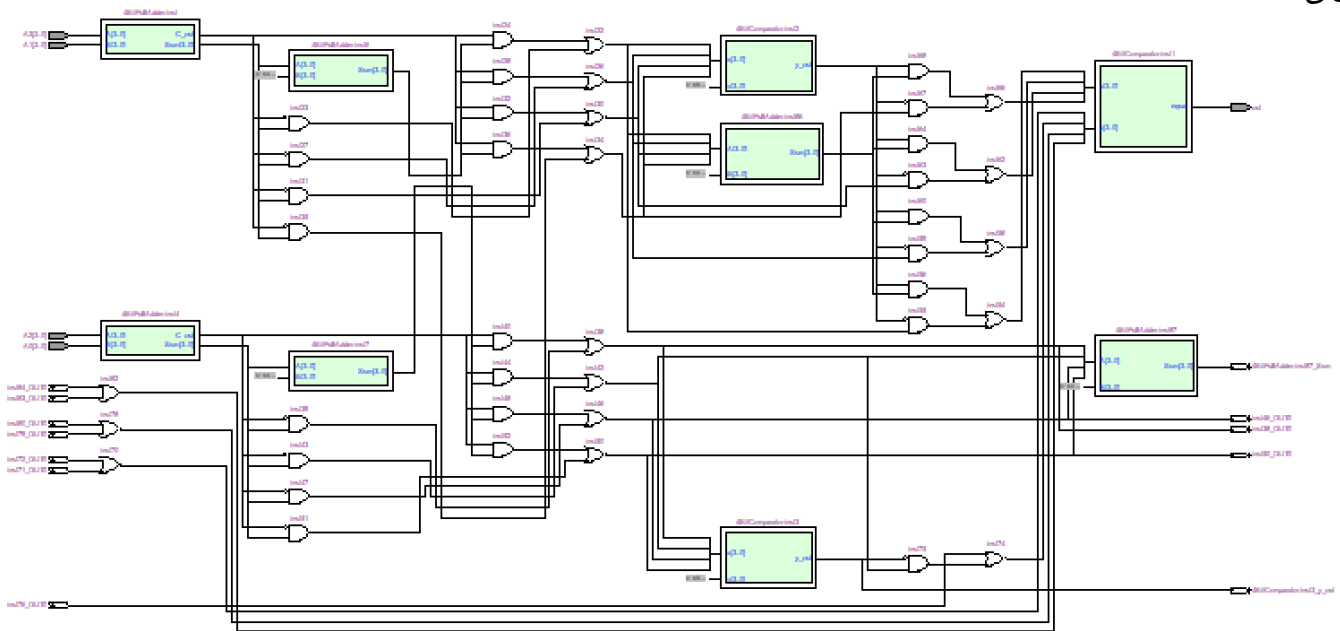
- بخش دوم: طراحی سیستم تشخیص اعداد بخش پذیر بر ۱۱:

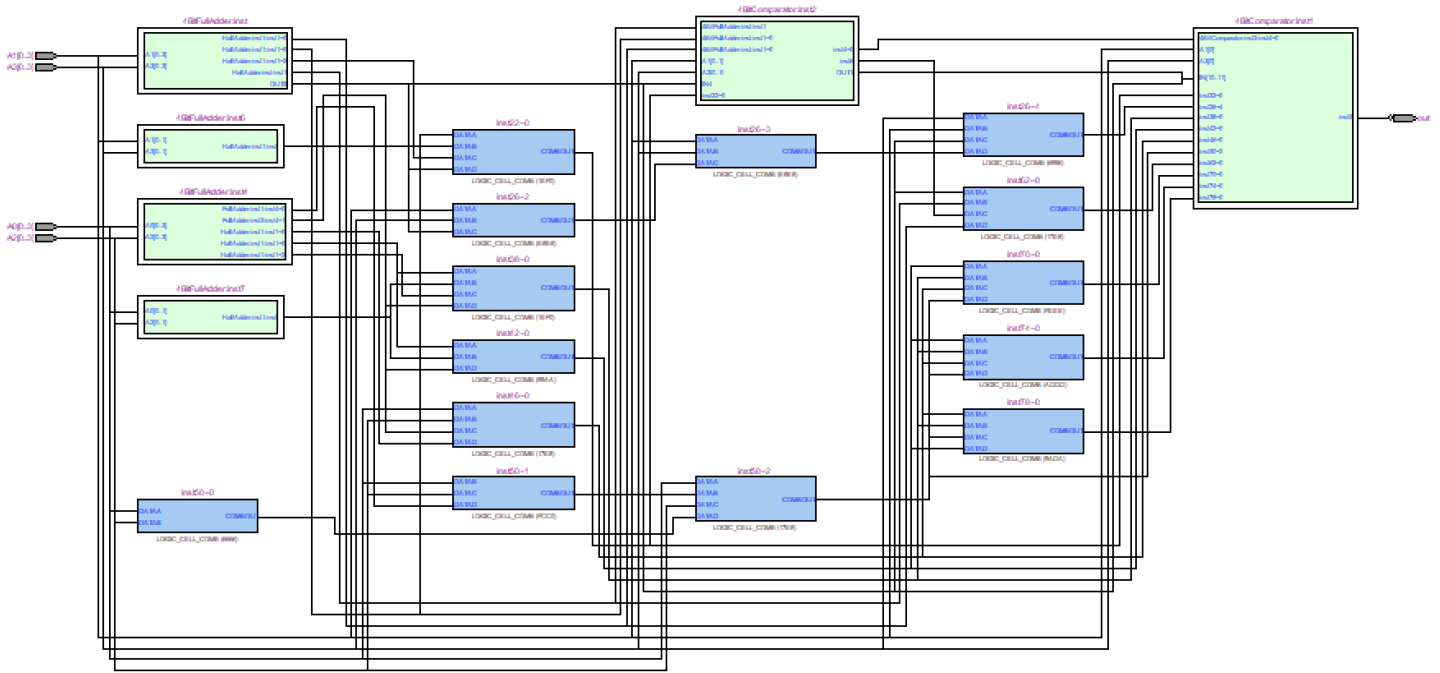
این بخش تفاوت عمده‌ای با بخش اول ندارد، بدین ترتیب که برای پیدا کردن باقی‌مانده‌ی کل عدد به ۱۱، ابتدا بیت چهارم و دوم آن را با هم جمع کرده و سپس جمع بیت سوم و اول را از آن کم می‌کنیم. باقی‌مانده‌ی این عدد همان باقی‌مانده‌ی عدد ما به ۱۱ می‌باشد. حال نحوه‌ی محاسبه $(a_3 + a_1) - (a_2 + a_0)$ را توضیح می‌دهم. ابتدا ۲ جمع را محاسبه می‌کنیم، اگر سیگنال cout هر کدام از جمع‌کننده‌ها فعال شده بود یعنی سرریز داشتیم و باید مقدار جمع را منهای ۱۱ کنیم. سپس باقی‌مانده‌ی هر کدام از جمع‌ها را به عدد ۱۱ محاسبه می‌کنیم و این دو مقدار را از هم کم می‌کنیم. در آخر کافی است چک کنیم که این عدد صفر شده است یا خیر. اگر صفر بود یعنی عدد ما به ۱۱ بخش پذیر است و سیگنال output را فعال می‌کنیم. این مدار بعلت بزرگ بودن در این گزارش جا نمیشد ولیکن تمامی فایل‌ها در پیوست آمده‌است.

خروجی flow summary:

Flow Status	Successful - Wed Feb 28 12:40:14 2024
Quartus II Version	9.0 Build 132 02/25/2009 SJ Web Edition
Revision Name	11divide
Top-level Entity Name	11divide
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Met timing requirements	Yes
Total logic elements	42 / 33,216 (< 1 %)
Total combinational functions	42 / 33,216 (< 1 %)
Dedicated logic registers	0 / 33,216 (0 %)
Total registers	0
Total pins	17 / 475 (4 %)
Total virtual pins	0
Total memory bits	0 / 483,840 (0 %)
Embedded Multiplier 9-bit elements	0 / 70 (0 %)
Total PLLs	0 / 4 (0 %)

خروجی RTL Viewer:





خروجی waveform و تست ۴ عدد 2000, 1234, 8019, 7777:

Simulation Waveforms

Simulation mode: Functional

