

# آزمایشگاه مدار منطقی



روژین تقی زادگان ۴۰۱۱۰۵۷۷۵

رادین شاه دای ۴۰۱۱۰۶۰۹۶

باربد شهرآبادی ۴۰۱۱۰۶۱۲۵

---

استاد انصاری

دانشکده مهندسی کامپیوتر

## فهرست مطالب

هدف آزمایش	2.....
وسایل مورد نیاز	2.....
شرح آزمایش	2.....
نتیجه مورد انتظار	4.....

## هدف آزمایش

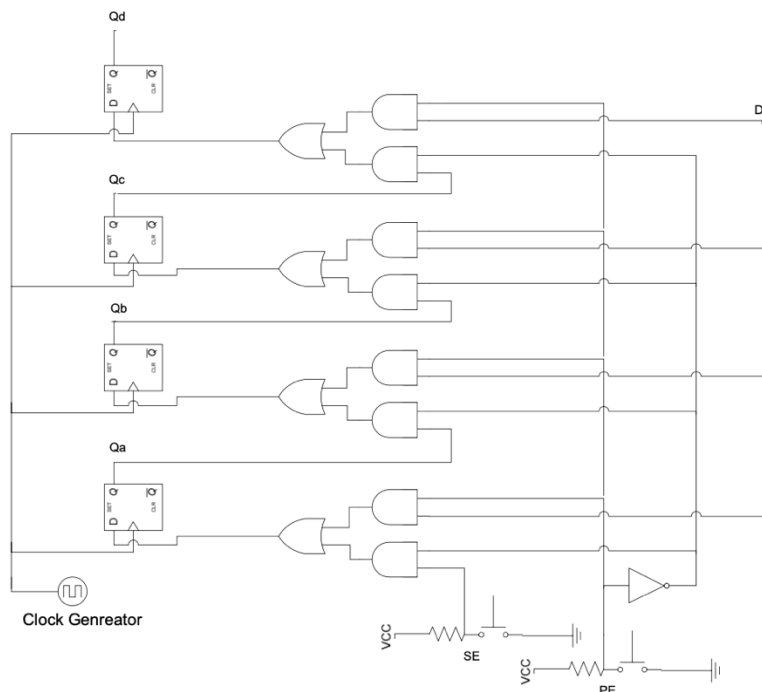
هدف از این آزمایش، پیاده‌سازی یک شیفت رجیستر با استفاده از تراشه ۷۴۹۵ می‌باشد.

## وسایل مورد نیاز

- flip-flop 4042 (clocked D latch)
- MUX (74157)
- ۶ کلید
- ۶ مقاومت ده کیلو اهمی
- شیفت رجیستر ۴ بیتی (۷۴۹۵)
- ۴ گیت نات
- ۴ گیت AND
- ۴ گیت OR

## شرح آزمایش

الف) مدار شکل ۱ را ببندید.



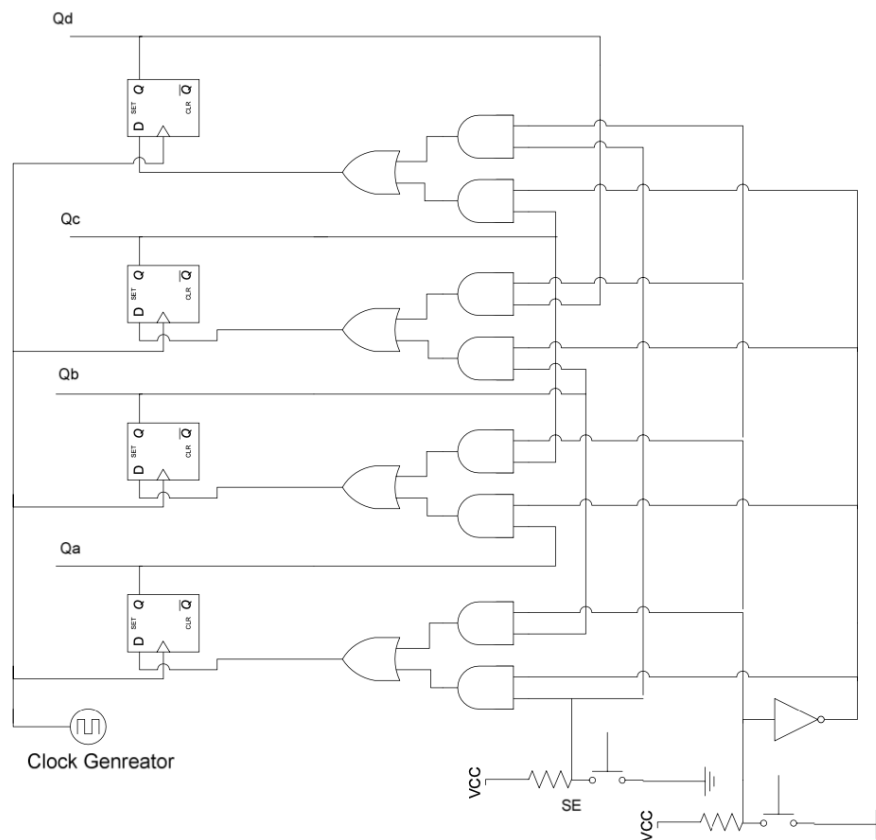
شکل ۱- مدار پیشنهادی اولیه برای پیاده‌سازی یک شیفت رجیستر یکطرفه

(ب) با قرار دادن کلیدهای RS و PE در حالت های مناسب به مدار مقدار اولیه ۱۰۱۰ بدهید.

(پ) با قرار دادن کلیدهای RS و PE در حالت های مناسب شیفت رجیستری با قابلیت شیفت به سمت راست بسازید.

(ت) با اتصال به ورودی سریال مدار (RS) مدار ره به شمارنده جانسون تبدیل کنید و دیاگرام زمان بندی خروجی های مدار را رسم کنید.

(ج) با اعمال تغییراتی مدار را به شکل ۲ که شیفت رجیستر دوطرفه است تبدیل کنید.



شکل ۲- مدار پیشنهادی برای پیاده‌سازی شیفت رجیستر دوطرفه

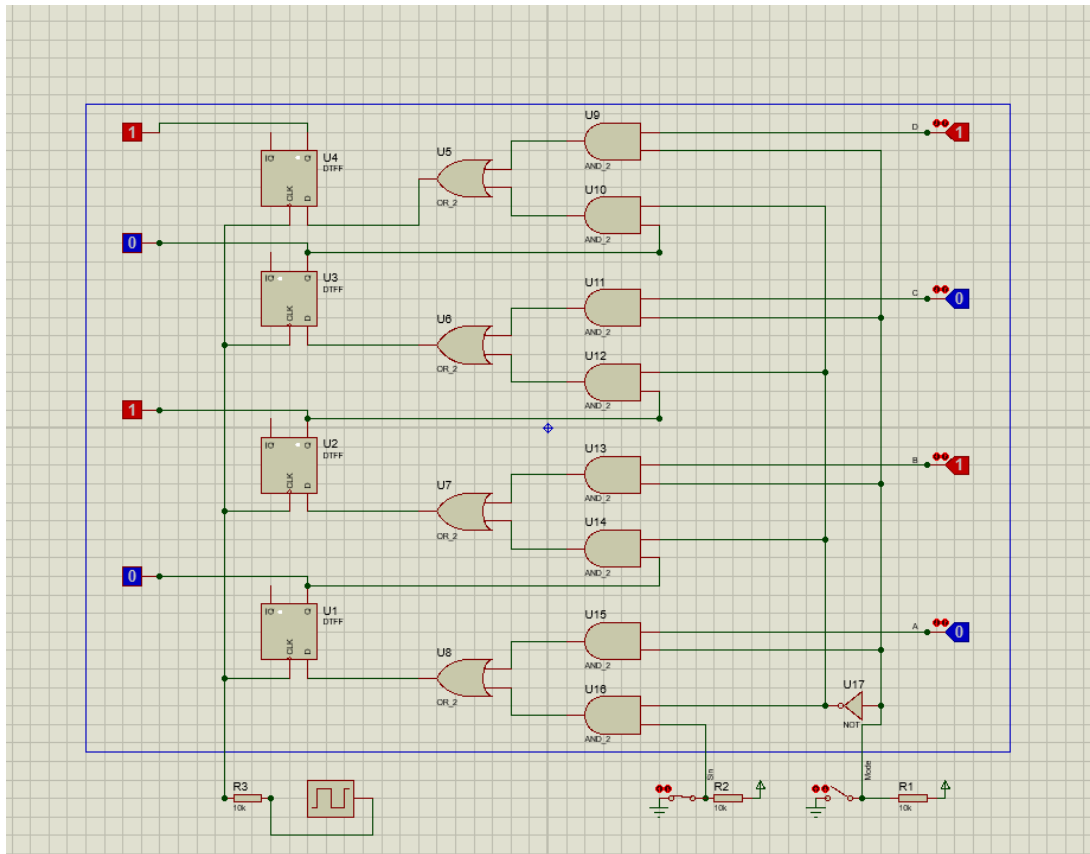
(چ) پس از مطالعه کاتالوگ تراشه ۷۴۹۵ یک شیفت رجیستر با قابلیت شیفت به سمت راست بسازید.

(ح) مداری طراحی کنید که بتواند دنباله های ۰۰۰۱، ۰۰۱۰، ۱۱۱۰، ۱۱۰۱ را شناسایی کند. مدار باید دائماً به دنبال دنباله بگردد و به محض مشاهده یکی از این دنباله ها خروجی مدار «۱» گردد.

توجه: در مدارهای شکل (۱) و شکل (۲) می‌توانید به جای مدارهای AND-OR از مدار متمرکز کننده (MUX) استفاده کنید.

## نتیجه مورد انتظار

ب و پ)



ورودی‌های D-Latch ها به این صورت است:

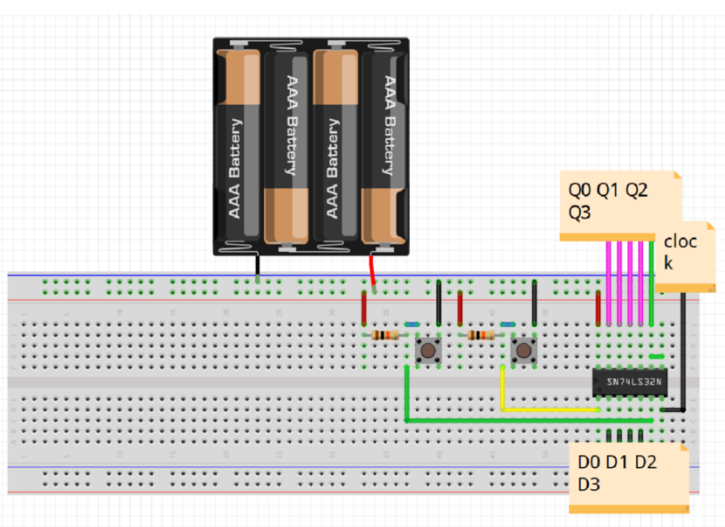
$$D_a = RS \cdot \overline{PE} + PE \cdot A$$

$$D_b = Q_a \cdot \overline{PE} + PE \cdot B$$

$$D_c = Q_b \cdot \overline{PE} + PE \cdot C$$

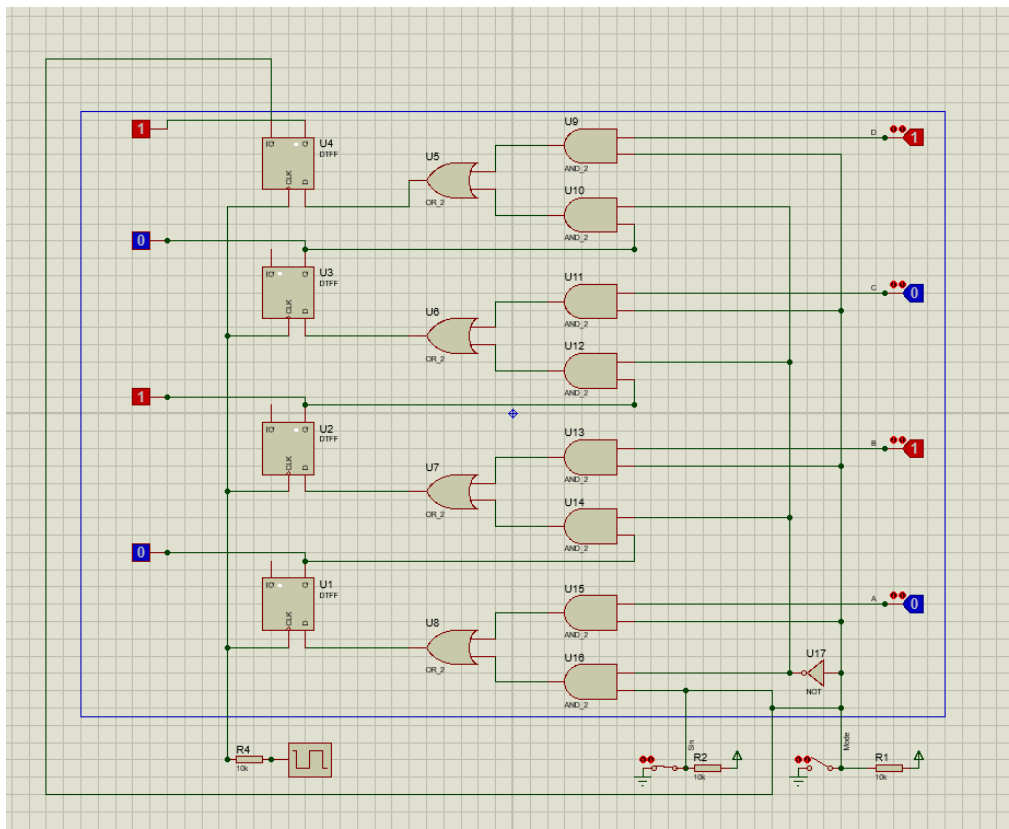
$$D_d = Q_c \cdot \overline{PE} + PE \cdot D$$

یعنی اگر ورودی PE مدار صفر باشد، این مدار به سمت راست شیفت می‌دهد و در غیر این صورت، داده‌ها به صورت موازی load میشوند.



بنابراین برای دادن مقدار اولیه ۱۰۱۰ به مدار، ورودی Pe(Mode) را یک می‌کنیم و به ورودی‌های a, b, c, d به ترتیب مقادیر 0, 1, 0, 1 می‌دهیم سپس Pe(Mode) را صفر می‌کنیم تا مدار به سمت راست شیفت دهد. ( $D_a$  برابر با RS خواهد بود).

(ت)



اگر در همان مدار قبلی، خروجی  $\overline{Q_d}$  را به ورودی سریال مدار (RS) وصل کنیم، مدار را به شمارنده جانسون تبدیل کرده‌ایم. این مدار دنباله زیر را به ترتیب می‌شمارد:

0000

1000

1100

1110

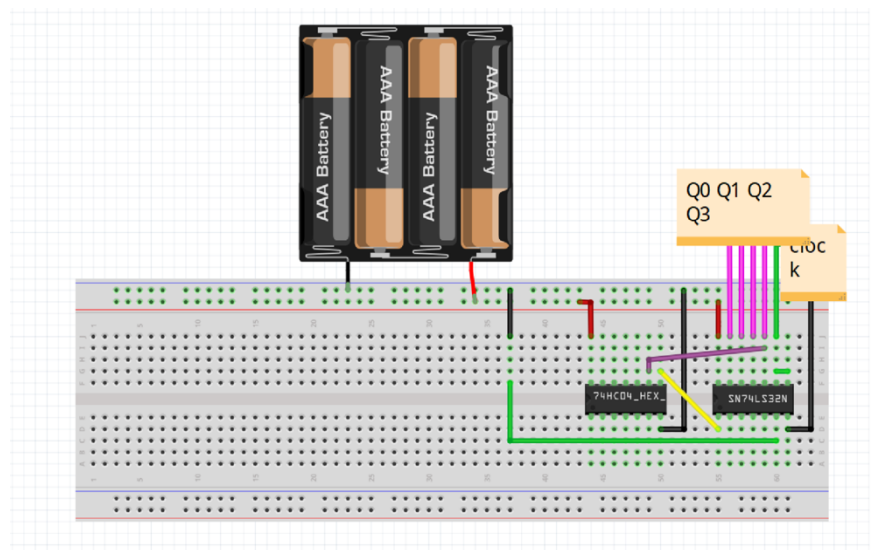
1111

0111

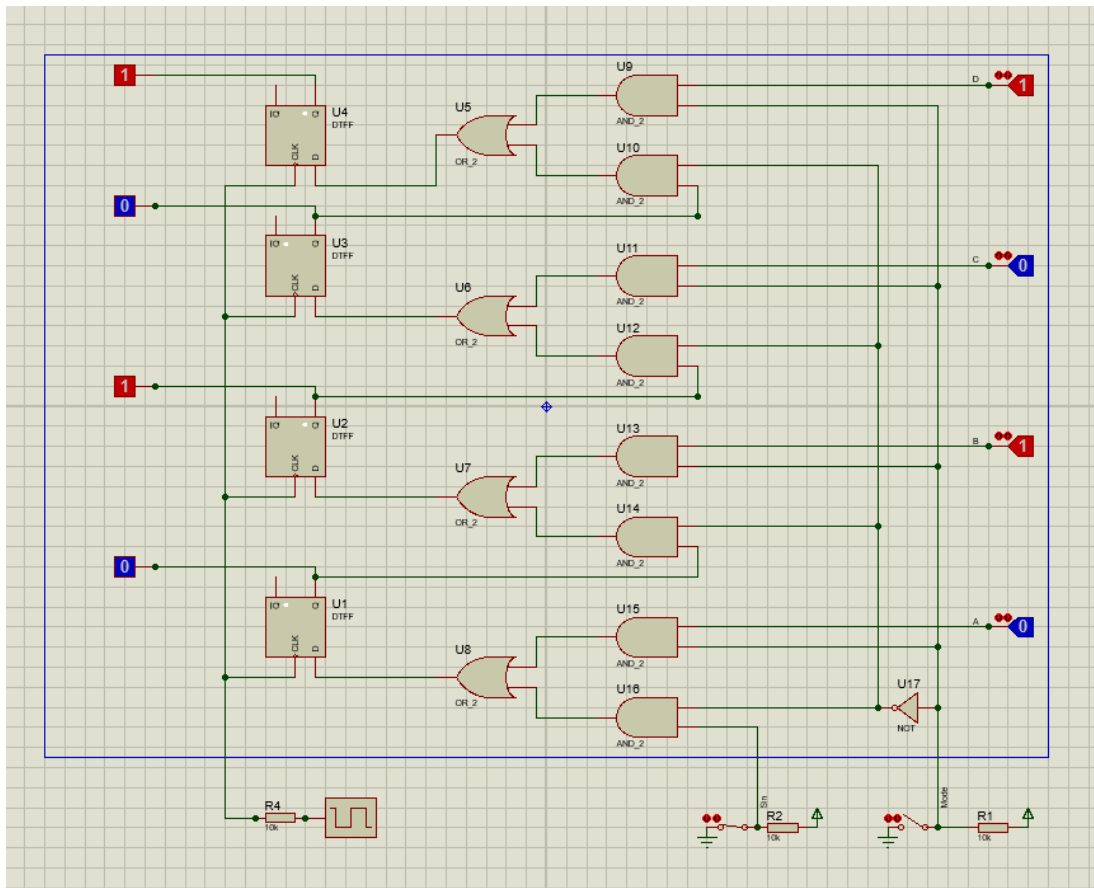
0011

0001

repeat



ج



ورودی‌های D-Latch ها به این صورت است:

$$D_a = RS \cdot \overline{PE} + PE \cdot Q_b$$

$$D_b = Q_a \cdot \overline{PE} + PE \cdot Q_c$$

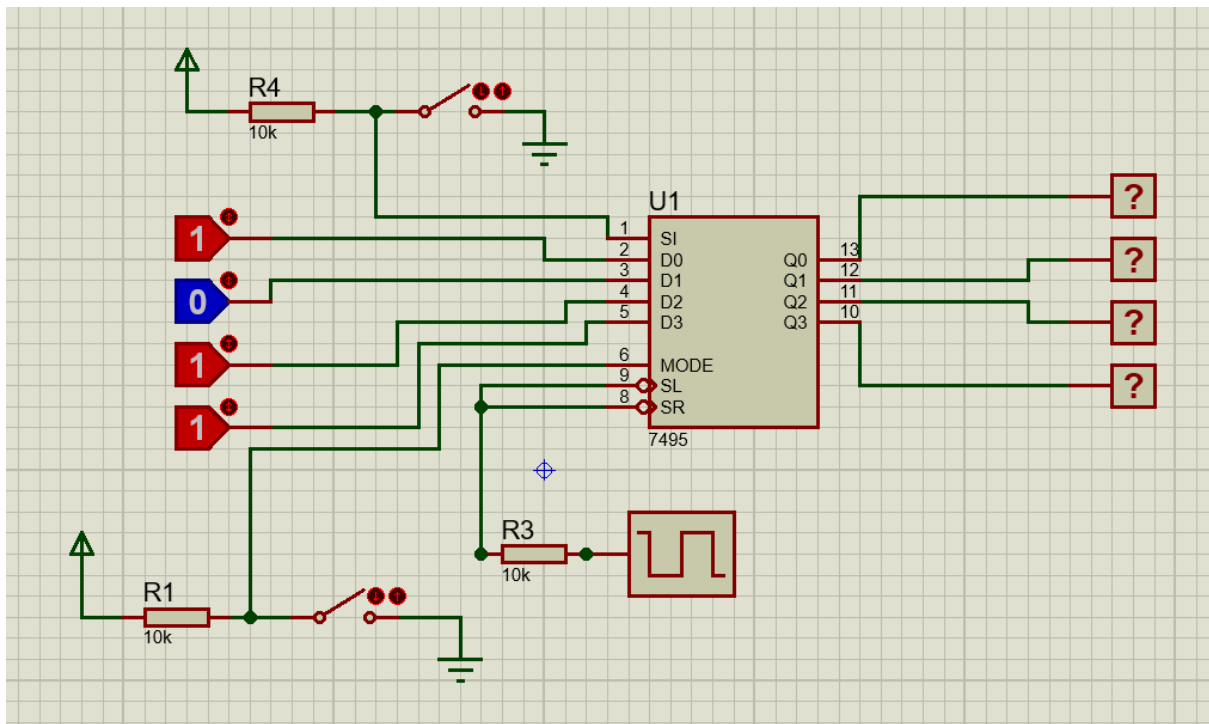
$$D_c = Q_b \cdot \overline{PE} + PE \cdot Q_d$$

$$D_d = Q_c \cdot \overline{PE} + PE \cdot RS$$

یعنی اگر ورودی PE (Mode) مدار صفر باشد، این مدار به سمت راست شیفت می‌دهد و اگر ورودی PE (Mode) مدار یک باشد، این مدار به سمت چپ شیفت می‌دهد. (در حالت شیفت راست ورودی  $D_a$  و در حالت شیفت چپ ورودی  $D_d$  برابر با RS خواهد بود.)

در این حالت مدار دیگر قابلیت load همزمان چهار مقدار را نخواهد داشت.

(ج)



تراشه ۷۴۹۵ از ۱۴ پین تشکیل شده که پین ۱ آن serial input است، پین‌های ۲ تا ۵ آن به ترتیب d, c, b, a هستند، پین ۶ آن PE(MODE) می‌باشد و پین ۷ آن به زمین وصل می‌شود (GND).

پین‌های ۸ و ۹ کلاک‌های تراشه هستند. پین‌های ۱۰ تا ۱۳ مربوط به  $Q_a$  تا  $Q_d$  هستند و پین ۱۴ به VCC وصل می‌شود.



ح) برای اینکه مدار بتواند دنباله خواسته شده را تشخیص بدهد، باید خروجی مدار را به ازای حالت‌های مختلف بجز حالت‌های خواسته شده صفر بگذاریم و در حالت‌های خواسته شده خروجی مدار را یک کنیم. بدین ترتیب داریم:

$$\overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + A\overline{B}\overline{C}D + A\overline{B}C\overline{D}$$

به همین دلیل مدار را با استفاده از خروجی‌های شیفتر رجیستر به صورت زیر طراحی می‌کنیم:

