

# پیش گزارش آزمایش پنجم

روژین تقی زادگان ۴۰۱۱۰۵۷۷۵

رادین شاه دابی ۴۰۱۱۰۶۰۹۶

باربد شهرآبادی ۴۰۱۱۰۶۱۲۵

**هدف از انجام این آزمایش** ساخت شمارنده های BCD و باینری با استفاده از آیسی های ۷۴۷۶ و ۷۴۹۰ می باشد. با توجه به موجود نبودن تراشه های استفاده شده در فریتزینگ صرفاً در پروتئوس مدار ها ساخته شده اند.

## قطعه های مورد نیاز:

۱) تراشه 7476

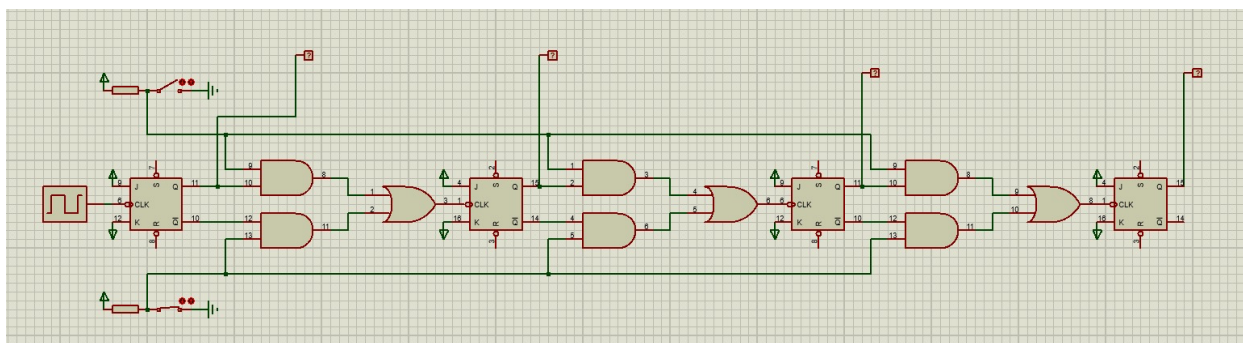
۲) تراشه 74LS90

۳) گیت های AND, OR, NOT, XOR

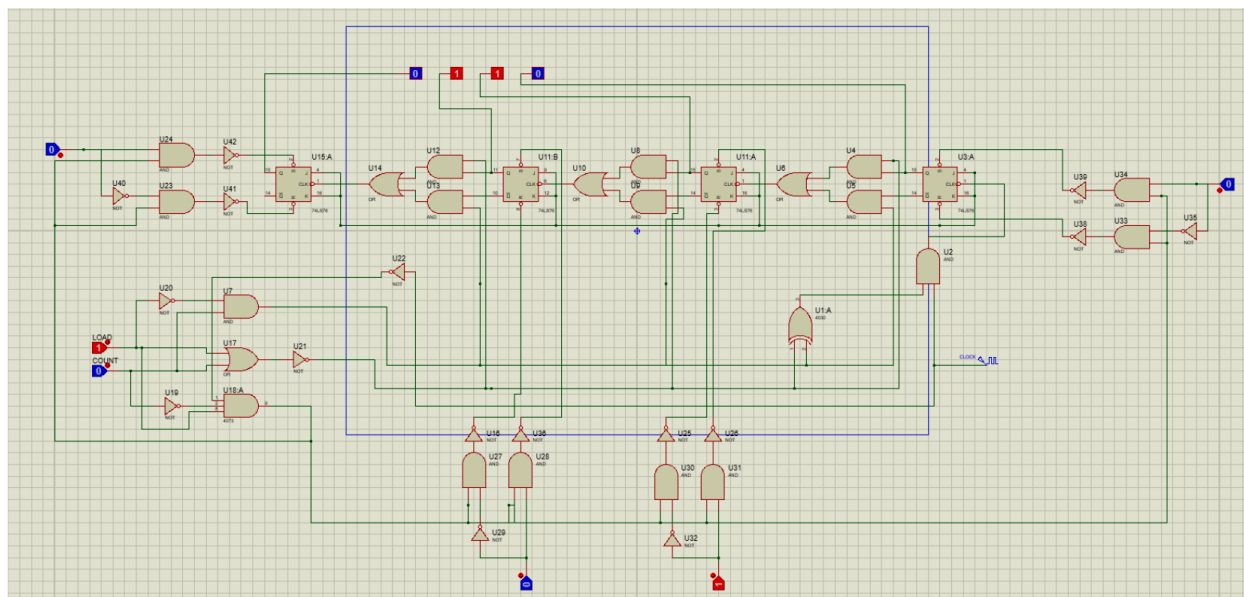
۴) 7-segment BCD

## شرح آزمایش:

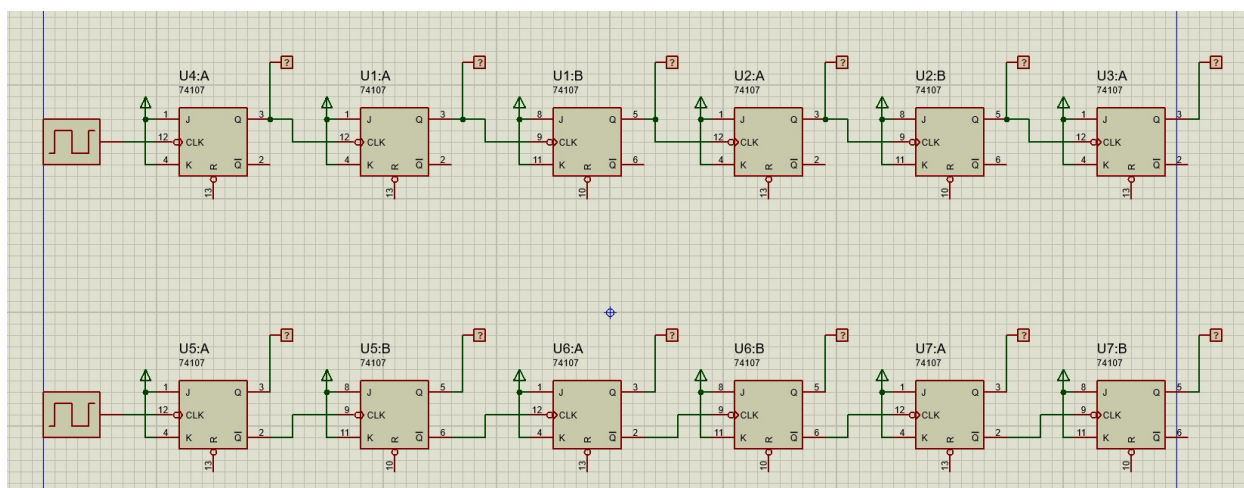
**الف) طراحی شمارنده با قابلیت شمارش به بالا و پایین:** با استفاده از ۴ فلیپ فلاپ JK مدار زیر را طراحی میکنیم. مدار طراحی شده هم قابلیت شمارش به بالا و هم قابلیت شمارش به پایین را دارد و با ورودی های COUNT DOWN و COUNT UP کنترل میشود.



ب) طراحی شمارنده با قابلیت مقداردهی موازی: با اضافه کردن دو ورودی LOAD و COUNT این مدار را پیاده سازی میکنیم. همچنین با اضافه کردن ۴ گیت به عنوان ورودی های موازی، قابلیت مقداردهی را به مدار میدهم.



پ) شمارنده BCD با قابلیت شمارش ۰ تا ۶۳: در این قسمت برای پیاده سازی شمارش از ۰ تا ۶۳ تا گیت فلیپ فلوپ JK استفاده کرده (یک سری برای شماره به پایین و یک سری برای شمارش به بالا) و خروجی های مدار را به نمایشگر های 7-segment ورودی میدهم.



ت) طراحی شمارنده با شمارش ۳ تا ۳: با استفاده از محاسبات زیر و رسم جداول حالت و جدول های کارنو منطق مدار را پیدا کرده و با استفاده از ۳ تا گیت فلیپ فلاپ JK مدار را در پروتئوس شبیه سازی میکنیم.

