**Endereço do STM32**

stm\_slave\_addr: 0x2a

**Protocolo de comunicação com o STM32G0**

A comunicação com o STM32G0 se dá através de uma interface I2C com a transmissão de mensagens encapsuladas em frames de **32 bits** direcionadas aos registradores virtuais do STM32G0. Os frames de mensagem possuem a seguinte estrutura:

* Indicação de operação de escrita ou leitura - (**RW**)
* Endereço de registrador virtual - (**reg\_addr**)
* Conteúdo do registrador - (**content**)

|  |  |  |  |
| --- | --- | --- | --- |
| **FRAME** | RW | reg\_addr | content |
| **SIZE** | uint8\_t | uint8\_t | uint16\_t |

|  |  |
| --- | --- |
| **write** | 0x00 |
| **Read** | 0x01 |

**Pilha de registradores virtuais**

O expansor disponibiliza 27 registradores virtuais de **16 bits**. Cada bit corresponde ao pino de mesmo nome nas portas do STM32, sendo assim, o valor binário configurado em cada bit, será aplicado também no pino correspondente.

|  |  |  |
| --- | --- | --- |
| **Registrador virtual** | **Registrador Virtual**  **addr - HEX** | **Registrador**  **virtual**  **addr - DEC** |
| EXP\_IO\_DIR\_A\_REG | 0x00 | 0 |
| EXP\_IO\_DIR\_B\_REG | 0x01 | 1 |
| EXP\_IO\_DIR\_C\_REG | 0x02 | 2 |
| EXP\_IO\_OUTPUT\_MODE\_A\_REG | 0x03 | 3 |
| EXP\_IO\_OUTPUT\_MODE\_B\_REG | 0x04 | 4 |
| EXP\_IO\_OUTPUT\_MODE\_C\_REG | 0x05 | 5 |
| EXP\_IO\_INPUT\_MODE\_A\_REG | 0x06 | 6 |
| EXP\_IO\_INPUT\_MODE\_B\_REG | 0x07 | 7 |
| EXP\_IO\_INPUT\_MODE\_C\_REG | 0x08 | 8 |
| EXP\_IO\_INPUT\_REF\_A\_REG | 0x09 | 9 |
| EXP\_IO\_INPUT\_REF\_B\_REG | 0x0A | 10 |
| EXP\_IO\_INPUT\_REF\_C\_REG | 0x0B | 11 |
| EXP\_IO\_INPUT\_INVERT\_POL\_A\_REG | 0x0C | 12 |
| EXP\_IO\_INPUT\_INVERT\_POL\_B\_REG | 0x0D | 13 |
| EXP\_IO\_INPUT\_INVERT\_POL\_C\_REG | 0x0E | 14 |
| EXP\_IO\_GPIO\_A\_REG | 0x0F | 15 |
| EXP\_IO\_GPIO\_B\_REG | 0x10 | 16 |
| EXP\_IO\_GPIO\_C\_REG | 0x11 | 17 |
| EXP\_IO\_PORT\_A\_INT\_MASK | 0x12 | 18 |
| EXP\_IO\_PORT\_B\_INT\_MASK | 0x13 | 19 |
| EXP\_IO\_PORT\_C\_INT\_MASK | 0x14 | 20 |
| EXP\_IO\_PORT\_A\_INT\_ENABLE | 0x15 | 21 |
| EXP\_IO\_PORT\_B\_INT\_ENABLE | 0x16 | 22 |
| EXP\_IO\_PORT\_C\_INT\_ENABLE | 0x17 | 23 |
| EXP\_IO\_PORT\_A\_INT\_CAPTURE | 0x18 | 24 |
| EXP\_IO\_PORT\_B\_INT\_CAPTURE | 0x19 | 25 |
| EXP\_IO\_PORT\_C\_INT\_CAPTURE | 0x1A | 26 |

**REGISTRADOR: (EXP\_IO\_DIR\_x\_REG) (x = A, B e C)**

Controla a direção do pino (input ou output).

Quando um bit é setado, o pino correspondente é configurado como output, quando o bit é limpo, o pino correspondente é configurado como input.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| IO\_15 | IO\_14 | IO\_13 | IO\_12 | IO\_11 | IO\_10 | IO\_9 | IO\_8 | IO\_7 | IO\_6 | IO\_5 | IO\_4 | IO\_3 | IO\_2 | IO\_1 | IO\_0 |
| RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

Bits [15:0]: 0: Input mode

1: Output mode

**REGISTRADOR: (EXP\_IO\_OUTPUT\_MODE\_x\_REG) (x = A, B e C)**

Controla a configuração do pino de saída (push-pull ou open-drain).

Quando um bit é setado, o pino correspondente é configurado como open-drain, quando o bit é limpo, o pino correspondente é configurado como push-pull.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| IO\_15 | IO\_14 | IO\_13 | IO\_12 | IO\_11 | IO\_10 | IO\_9 | IO\_8 | IO\_7 | IO\_6 | IO\_5 | IO\_4 | IO\_3 | IO\_2 | IO\_1 | IO\_0 |
| RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

Bits [15:0]: 0: Output push-pull

1: Output open-drain

**REGISTRADOR: (EXP\_IO\_INPUT\_MODE\_x\_REG) (x = A, B e C)**

Controla a configuração do pino de entrada(entrada flutuante ou referenciada).

Quando um bit é setado, o pino correspondente é configurado como entrada referenciada, quando o bit é limpo, o pino correspondente é configurado como entrada flutuante.

***Note:*** se o pino for configurado como entrada referenciada, o registrador (**EXP\_IO\_INPUT\_REF\_x\_REG**) deve ser configurado com a referência (pull-up ou pull-down).

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| IO\_15 | IO\_14 | IO\_13 | IO\_12 | IO\_11 | IO\_10 | IO\_9 | IO\_8 | IO\_7 | IO\_6 | IO\_5 | IO\_4 | IO\_3 | IO\_2 | IO\_1 | IO\_0 |
| RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

Bits [15:0]: 0: Input flutuante

1: Input referenciado

**REGISTRADOR: (EXP\_IO\_INPUT\_REF\_x\_REG) (x = A, B e C)**

Controla o tipo de referência de entrada de um pino(pull-up ou pull-down).

Quando um bit é setado, o pino correspondente possuirá referência de pull-up, quando o bit é limpo, o pino correspondente possuirá referência de pull-down.

***Note:*** A configuração desse registrador só surtirá efeito se o pino estiver configurado como entrada referenciada no registrador **(EXP\_IO\_INPUT\_MODE\_x\_REG)**.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| IO\_15 | IO\_14 | IO\_13 | IO\_12 | IO\_11 | IO\_10 | IO\_9 | IO\_8 | IO\_7 | IO\_6 | IO\_5 | IO\_4 | IO\_3 | IO\_2 | IO\_1 | IO\_0 |
| RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

Bits [15:0]: 0: pull-down

1: pull-up

**REGISTRADOR: (EXP\_IO\_INPUT\_INVERT\_POL\_x\_REG) (x = A, B e C)**

Controla a leitura do pino de entrada com polarização invertida(inversão do nível lido).

Quando um bit é setado, o pino correspondente é configurado como entrada com polarização inversa, quando o bit é limpo, o pino correspondente é configurado como entrada de polarização normal .

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| IO\_15 | IO\_14 | IO\_13 | IO\_12 | IO\_11 | IO\_10 | IO\_9 | IO\_8 | IO\_7 | IO\_6 | IO\_5 | IO\_4 | IO\_3 | IO\_2 | IO\_1 | IO\_0 |
| RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

Bits [15:0]: 0: Polarização normal

1: Polarização inversa

**REGISTRADOR: (EXP\_IO\_GPIO\_x\_REG) (x = A, B e C)**

Controla o estado do pino de GPIO caso configurado com direção de saída, e fornece .

Quando um bit é setado, o pino correspondente apresentará nível lógico alto, quando o bit é limpo, o pino correspondente apresentará nível lógico baixo.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| IO\_15 | IO\_14 | IO\_13 | IO\_12 | IO\_11 | IO\_10 | IO\_9 | IO\_8 | IO\_7 | IO\_6 | IO\_5 | IO\_4 | IO\_3 | IO\_2 | IO\_1 | IO\_0 |
| RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

Bits [15:0]: 0: Nível baixo

1: Nível alto

**REGISTRADOR: (EXP\_IO\_PORT\_x\_INT\_MASK) (x = A, B e C)**

Configura a máscara usada como referência para a interrupção no modo “on-change”

Armazena a palavra binária que contém o estado esperado de um pino quando a interrupção for habilitada para o mesmo, assim quando o estado do pino de entrada diferir do seu estado configurado neste registrador a interrupção será sinalizada.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| IO\_15 | IO\_14 | IO\_13 | IO\_12 | IO\_11 | IO\_10 | IO\_9 | IO\_8 | IO\_7 | IO\_6 | IO\_5 | IO\_4 | IO\_3 | IO\_2 | IO\_1 | IO\_0 |
| RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

Bits [15:0]: configura os valores padrão para a interrupção no modo “on-change”.

**REGISTRADOR: (EXP\_IO\_PORT\_x\_INT\_ENABLE) (x = A, B e C)**

Configura quais pinos serão habilitados para interrupção.

Quando um bit é setado, o pino correspondente será habilitado para interrupção, quando o bit é limpo, o pino correspondente não será mapeado para interrupção.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| IO\_15 | IO\_14 | IO\_13 | IO\_12 | IO\_11 | IO\_10 | IO\_9 | IO\_8 | IO\_7 | IO\_6 | IO\_5 | IO\_4 | IO\_3 | IO\_2 | IO\_1 | IO\_0 |
| RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

Bits [15:0]: 0: Interrupção desabilitada para o pino

1: Interrupção habilitada para o pino

**REGISTRADOR: (EXP\_IO\_PORT\_x\_INT\_CAPTURE) (x = A, B e C)**

Contém quais pinos detectam interrupção em uma determinada porta, quando uma interrupção é sinalizada.

Um bit é setado significa que o pino correspondente detectou uma interrupção.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| IO\_15 | IO\_14 | IO\_13 | IO\_12 | IO\_11 | IO\_10 | IO\_9 | IO\_8 | IO\_7 | IO\_6 | IO\_5 | IO\_4 | IO\_3 | IO\_2 | IO\_1 | IO\_0 |
| R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

Bits [15:0]: 0: nenhuma interrupção registrada pelo pino

1: Interrupção detectada no pino correspondente ao bit

**Lógica de interrupção**

A lógica de interrupção usada para o expansor de GPIO é de “on-change interupt”, em que são definidos estados padrão para cada pino em uma porta, e caso a leitura do pino seja diferente do esperado uma interrupção é sinalizada. O controle de interrupção para expansor é feito através dos seguintes registradores virtuais:

**- EXP\_IO\_PORT\_x\_INT\_MASK;**

**- EXP\_IO\_PORT\_x\_INT\_ENABLE;**

**- EXP\_IO\_PORT\_x\_INT\_CAPTURE.**

A interrupção para um pino é habilitada através do registrador **(EXP\_IO\_PORT\_x\_INT\_ENABLE)** sentando o bit correspondente ao pino, este registrador é usado para autenticação dos pinos onde será aplicado a máscara de comparação com o registrador **(EXP\_IO\_PORT\_x\_INT\_MASK)** da porta de GPIO correspondente ao pino.

A máscara do registrador **(EXP\_IO\_PORT\_x\_INT\_ENABLE)** garante que a variação de estado nos demais pinos da porta não disparem a sinalização de interrupção.

Os estados padrão de pinos são configurados no registrador **(EXP\_IO\_PORT\_x\_INT\_MASK)**, que consiste no estado esperado dos pinos na operação de detecção de interrupção “on-change”, ou seja, se em algum momento o estado presente no pino habilitado para interrupção diferir do configurado neste registrador uma sinalização de interrupção será gerada.

Quando uma interrupção é gerada, o estado no pino UC\_INT passará de nível lógico baixo para nível alto, e servirá de flag para sinalizar que algum pino detectou interrupção. O nível deste pino será mantido em nível alto até que o registrador (**EXP\_IO\_PORT\_x\_INT\_CAPTURE)** seja lido, quando este registrador for lido o estado do pino UC\_INT retornará a nível baixo, e o registrador será limpo, indicando ao expansor que a interrupção já foi tratada.

A sinalização de qual pino registrou a interrupção é feita por meio de um bit setado no registrador (**EXP\_IO\_PORT\_x\_INT\_CAPTURE)**.