

Curso de Doctorado

Programa de Doctorado de Tecnologías de Telecomunicación e Ingeniería Computacional

JORNADAS SOBRE *HIGH-PERFORMANCE COMPUTING*



Miquel Moreto

Barcelona Supercomputing Center
Universidad Politécnica de Cataluña

<https://www.bsc.es/moreto-miquel>



**Barcelona
Supercomputing
Center**

Centro Nacional de Supercomputación

Miquel Moreto es un investigador Ramón y Cajal en la [Universitat Politècnica de Catalunya \(UPC\)](#) e investigador asociado del [Barcelona Supercomputing Center \(BSC\)](#), Barcelona, España. Estudió la carrera de matemáticas y la ingeniería superior de telecomunicaciones en la UPC, así como doctorado en 2010 en el Departamento de Arquitectura de Computadores de la misma universidad. Consiguió una beca postdoctoral *Fulbright* para visitar el [International Computer Science Institute \(ICSI\)](#), afiliado con la Universidad de California en Berkeley, EEUU, entre 2012 y 2013. En 2013, volvió al BSC para trabajar en el proyecto [RoMoL](#), financiado por una *ERC Advanced Grant* al Profesor **Mateo Valero**, y el proyecto europeo [Mont-Blanc 3](#). Sus intereses incluyen el diseño de arquitecturas de computadores de altas prestaciones y co-diseño hardware-software para futuros sistemas masivamente paralelos.

Programa

Martes 4 de febrero

11:30 h – 13:30 h

Ponente: Miquel Moreto – UPC/BSC

Diseñando Procesadores de Altas Prestaciones en el Barcelona Supercomputing Center

La Comisión Europea anunció en 2018 la creación del *European Processor Initiative* (EPI), un consorcio europeo para diseñar, desarrollar y llevar al mercado un procesador europeo de bajo consumo. EPI está desarrollando el primer sistema en el chip (SoC) con un procesador de propósito general de altas prestaciones (HPC) y diferentes aceleradores para dominios de aplicaciones específicos. Estos diseños serán la base de una futura máquina exascale basada en tecnología europea. En esta charla, se introducirán los objetivos de EPI y el papel de liderazgo del BSC desarrollando un acelerador basado en la ISA abierta RISC-V.



Miércoles 5 de febrero

11:30 h – 13:30 h

Ponente: Miquel Moreto – UPC/BSC

Co-Diseñando Arquitecturas de Altas Prestaciones y el *Runtime System*

En la última década, las formas tradicionales de seguir aumentando el rendimiento del hardware a la velocidad prevista por la Ley de Moore desaparecieron. Los procesadores multinúcleo ayudaron a mantener las mejoras de rendimiento durante un tiempo, pero aún tienen que enfrentarse a múltiples problemas en términos de consumo de energía, programabilidad, resiliencia y uso de memoria. Para superar estos desafíos, un enfoque prometedor es dar más responsabilidad al sistema de tiempo de ejecución (*runtime system*) y dejar que colabore estrechamente con el hardware. De hecho, creemos que el sistema de tiempo de ejecución debe impulsar el diseño de futuras arquitecturas de múltiples núcleos. En esta charla, presentaremos un enfoque hacia una "arquitectura *runtime-aware*", una arquitectura masivamente paralela diseñada desde la perspectiva del *runtime system*.