

# LABORATORIO DE ARQUITECTURA DE COMPUTADORES

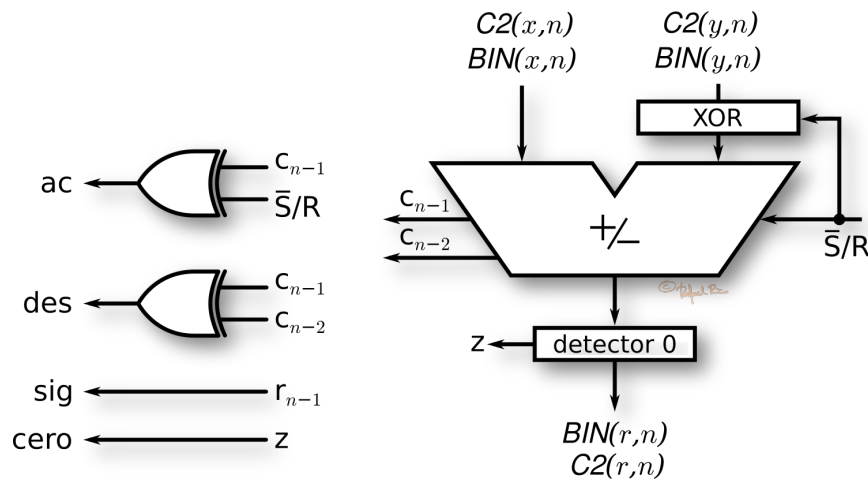
---

## SESIÓN 7: sumador-restador con estados

### Objetivo

Sabemos que un sumador-restador genérico basado en complemento a dos sirve para hacer operaciones de suma y de resta tanto en binario puro como en complemento a dos. En realidad el circuito es el mismo cambiando solamente la detección de los estados.

La figura siguiente ilustra el esquema del operador más todos los bloques encargados de la detección de los estados fundamentales: acarreo (**ac** en la figura) que indica el desbordamiento en binario puro, desbordamiento (**des** en la figura) que indica el desbordamiento en complemento a dos, el signo (**sig** en la figura) que indica si el MSB del resultado es '1' y cero (**cero** en la figura) que indica si el resultado es todo '0'.



En esta práctica vamos a sintetizar este circuito integrando en un único modelo los operadores que hemos ido diseñando a lo largo del curso. El bloque **XOR** es un inversor condicional, el bloque de **suma-resta** podría ser un sumador RCA o un CSL, el **detector de cero** admite varias posibilidades de síntesis a partir de cadenas detectoras y los estados se obtienen de manera muy sencilla.

**Advertencia 1:** de la figura se podría inferir que la salida del sumador-restador “atraviesa” el detector de cero y se modifica en él. De ninguna manera es así. La salida se “analiza” en el detector pero no se procesa ni modifica en él.

**Advertencia 2:** para detectar si todos los bits de la salida están a '0' podemos usar tanto una cadena activa hasta el primer '1' como una cadena activa a partir del primer '1'. En el primer caso, si todos son '0', obtendremos una salida activa ('1') mientras que en el segundo caso obtendremos una salida inhibida ('0').

## Prácticas

### A) Sumador-restador de 16 bits con estados.

Sintetice en VHDL el operador propuesto en la figura para 16 bits. Puede tomar como operador base el sumador RCA o el CSL. Añada el bloque XOR y el detector de cero instanciando los componentes ya diseñados en prácticas previas. Los indicadores de estado los puede sintetizar sin instanciar puertas lógicas, es decir, utilizando una abstracción RTL.

Determine el tiempo de retardo del operador teniendo en cuenta las señales de estado. ¿Cuál es la señal más lenta de todo el circuito?