

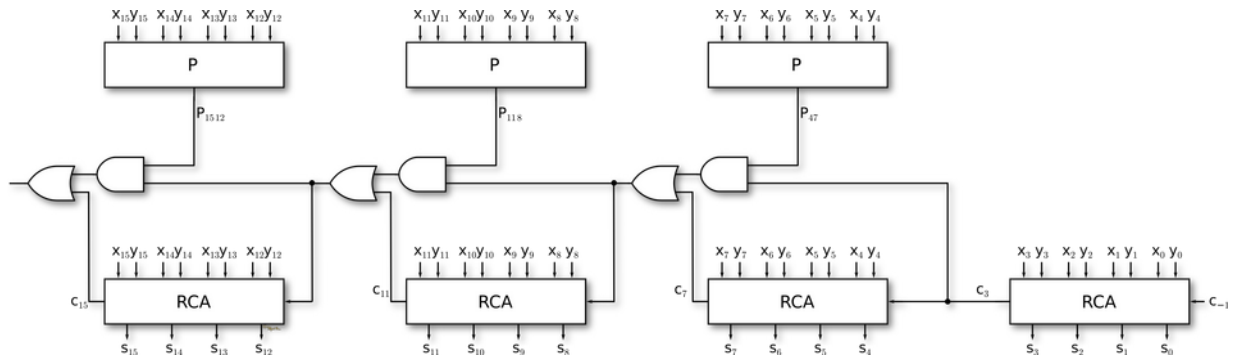
LABORATORIO DE ARQUITECTURA DE COMPUTADORES

SESIÓN 6: salto de acarreo CSK

Objetivo

Un circuito acelerador de la operación de suma es el sumador con salto de acarreo CSK (*Carry Skip Adder*).

Como vemos en la figura siguiente, la idea es trocear los operandos de n bits en porciones pequeñas de k bits. Cada una de esas porciones realiza la suma con un RCA. Una vez que los RCA han generado sus acarreos salientes, anticipamos el acarreo por bloques y corregimos las sumas parciales con los acarreos verdaderos. Como vemos en la figura, necesitamos calcular la función P de cada bloque. Dicha función se puede obtener fácilmente del propio RCA ($P_{03} = p_0 \cdot p_1 \cdot p_2 \cdot p_3$ siendo $p_i = a_i \text{ XOR } b_i$) pero en el esquema propuesto se calcula aparte por simplicidad.



El retardo de este sumador medido en niveles lógicos (r_g) es:

$$r_{CSK} = \left[4k + 2 \left(\frac{n}{k} - 1 \right) \right] r_g$$

siendo n el número de bits de los operandos y k el tamaño de los bloques RCA. Como podemos deducir de la ecuación del retardo, el valor de k afecta al primer sumando directamente y al segundo inversamente de manera que hay que llegar a un compromiso que optimice el retardo. Veamos cuál es el mínimo de la función.

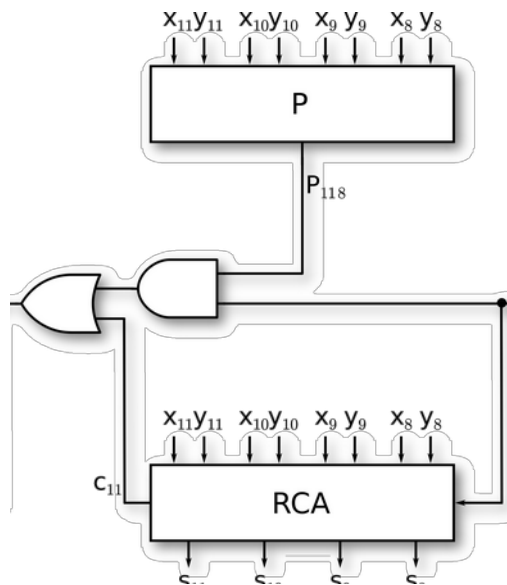
$$\frac{\partial r_{CSK}}{\partial k} = 0 \quad \frac{\partial r_{CSK}}{\partial k} = 4 - 2 \frac{n}{k^2} = 0 \quad \frac{n}{k^2} = 2 \quad k = \sqrt{\frac{n}{2}}$$

En esta práctica vamos a modelar un sumador CSK para 16 bits usando los bloques RCA ya modelados y los instanciaremos para k igual a 4 bits. También utilizaremos el *test bench* programado en la sesión anterior para obtener el retardo del circuito.

Consideraciones de orden práctico

Tal y como se discutió en la sesión anterior sobre el sumador CSLA, es importante tomar ciertas decisiones acerca de cómo se van a agrupar los diferentes elementos del operador en su estructura jerárquica. Existe libertad para hacerlo de diferentes maneras, pero se recomienda la siguiente porque facilita el uso de GENERATE y ofrece una vista similar a la del modelo CSLA permitiendo aprovechar aquel modelo.

Llamaremos bloque CSK al siguiente conjunto que contiene el sumador RCA, el bloque que computa la función P de bloque y la anticipación de acarreo. La entidad correspondiente toma como entradas los operandos x e y , y el acarreo entrante c_{in} , y como salidas el resultado de la suma r y el acarreo saliente c_{out} .



Prácticas

- Escriba el modelo de sumador CSK de 16 bits.
- Determine el retardo del sumador utilizando el *test bench* de la sesión anterior.
- Elabore una memoria con los modelos y los resultados obtenidos.