

Arquitectura de Sistemas e Computadores II

1ª Frequência

Departamento de Informática
Universidade de Évora

25 de Outubro de 2016

Indique todos os cálculos efectuados

Perguntas rápidas

1. [1 valor] Um sistema com um relógio com uma frequência superior tem sempre melhor desempenho do que um sistema com um relógio com uma frequência inferior?
2. [1 valor] Se um programa demora mais tempo a executar no computador X do que no computador Y , então o computador X apresenta melhor desempenho do que o Y para esse programa?
3. [1 valor] Qual o CPI da instrução `sw` na implementação MIPS monociclo?
4. [1 valor] Qual o resultado da extensão com sinal de $1110\ 1011_2$ para 12 bits?

Desempenho

5. A execução do programa P no computador A , cujo ciclo de relógio dura 500 ps, demora 5 s. As instruções do programa executadas apresentam a seguinte distribuição:

Classe	Aritméticas	Acesso à memória	Saltos
%	40	30	30
CPI	1	4	3

- (a) [3 valores] Quantas instruções são executadas pelo processador de A na execução de P ?
- (b) [2 valores] O sistema B possui um processador que implementa a mesma arquitectura e um relógio que funciona a uma frequência que é o dobro da de A . Este aumento da frequência do relógio tem como consequência o aumento do CPI de P em B em 25%.

Qual o *speedup* que se obtém quando P é executado em B , em relação à sua execução em A ?

Implementação MIPS monociclo

6. [6 valores] Pretende-se que a implementação MIPS monociclo da Figura 1 suporte a execução da instrução `jre` (*jump relative*), que é uma instrução tipo-I com dois argumentos:

<code>jre offset(rs)</code>	<code>jre</code>	<code>rs</code>	<code>0</code>	<code>offset</code>
bits	6	5	5	16

O efeito desta instrução é provocar o salto da execução para a instrução cujo endereço é obtido somando `offset`, que pode ser negativo, ao conteúdo de `rs`.

- (a) Quais das unidades funcionais e dos *multiplexers* existentes serão usados na execução desta instrução?
- (b) Que unidades funcionais (incluindo *multiplexers*) e que sinais de controlo é necessário acrescentar?

(CONTINUA...)

- (c) Quais os valores que os vários sinais de controlo deverão ter durante a execução desta instrução?
(Não precisa de indicar o valor de **ALUOp**, basta dizer qual será a operação executada pela ALU durante a execução desta instrução.)
- (d) Apresente na Figura 1 as alterações à implementação que considerar necessário fazer.

7. Seja $PC = 1000\,0300_{16}$ o endereço da instrução **sw** cuja codificação binária completa é a seguinte:

	101011	01010	10000	00000000 11001000
bits	31	26	21	16
				0

- (a) [2,5 valores] Sejam os seguintes os valores contidos em alguns dos registos do processador, quando a execução da instrução se inicia:

Registo	1	5	6	8	10	12	16	23	24	31
Valor	10	24	14213	1912	732	1030	3100	269484032	77	268435456

Indique os valores que estão presentes, no fim do ciclo em que a instrução executa, nos pontos ①, ②, ③, ④ do circuito da Figura 2.

- (b) [2,5 valores] Sejam as seguintes as latências das várias componentes do processador:

PC	Memória	Banco registos	ALU	Somadores	<i>Shift left 2</i>	Extensão com sinal	<i>Multiplexers</i>	Controlo	Controlo da ALU
10 ps	400 ps	220 ps	250 ps	200 ps	2 ps	5 ps	40 ps	40 ps	15 ps

(Considere que os restantes elementos lógicos têm latência zero.)

Calcule o tempo que demora, desde o início do ciclo de relógio em que a instrução é executada, até que os valores correctos estejam disponíveis nos pontos ①, ②, ③ e ④ do circuito da Figura 2. Explícite *todos* os tempos que considerou, nos cálculos que fez, para chegar aos valores que obteve.

Nome: _____ Número: _____

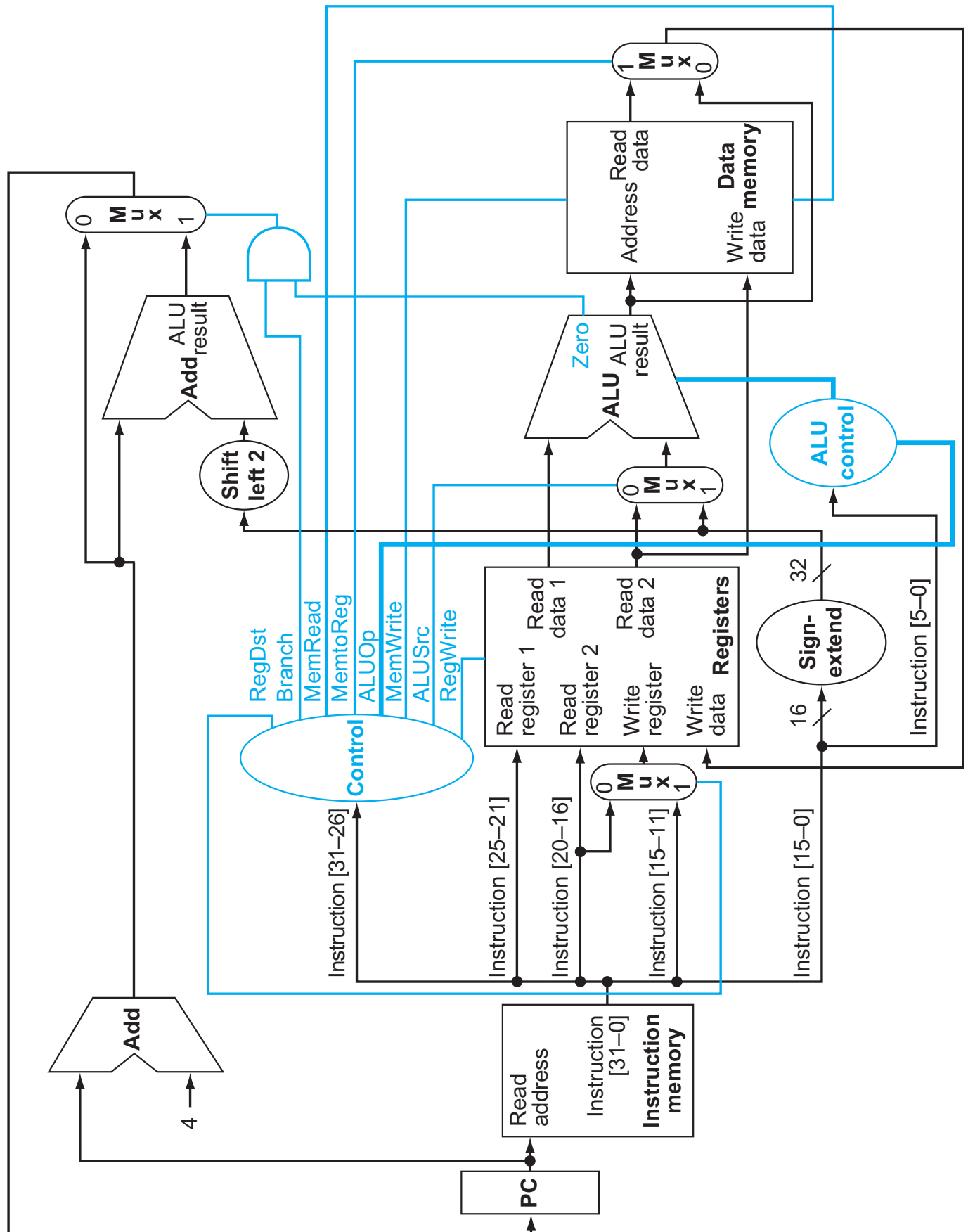


Figura 1: Diagrama de blocos da implementação MIPS monociclo para a **pergunta 6**

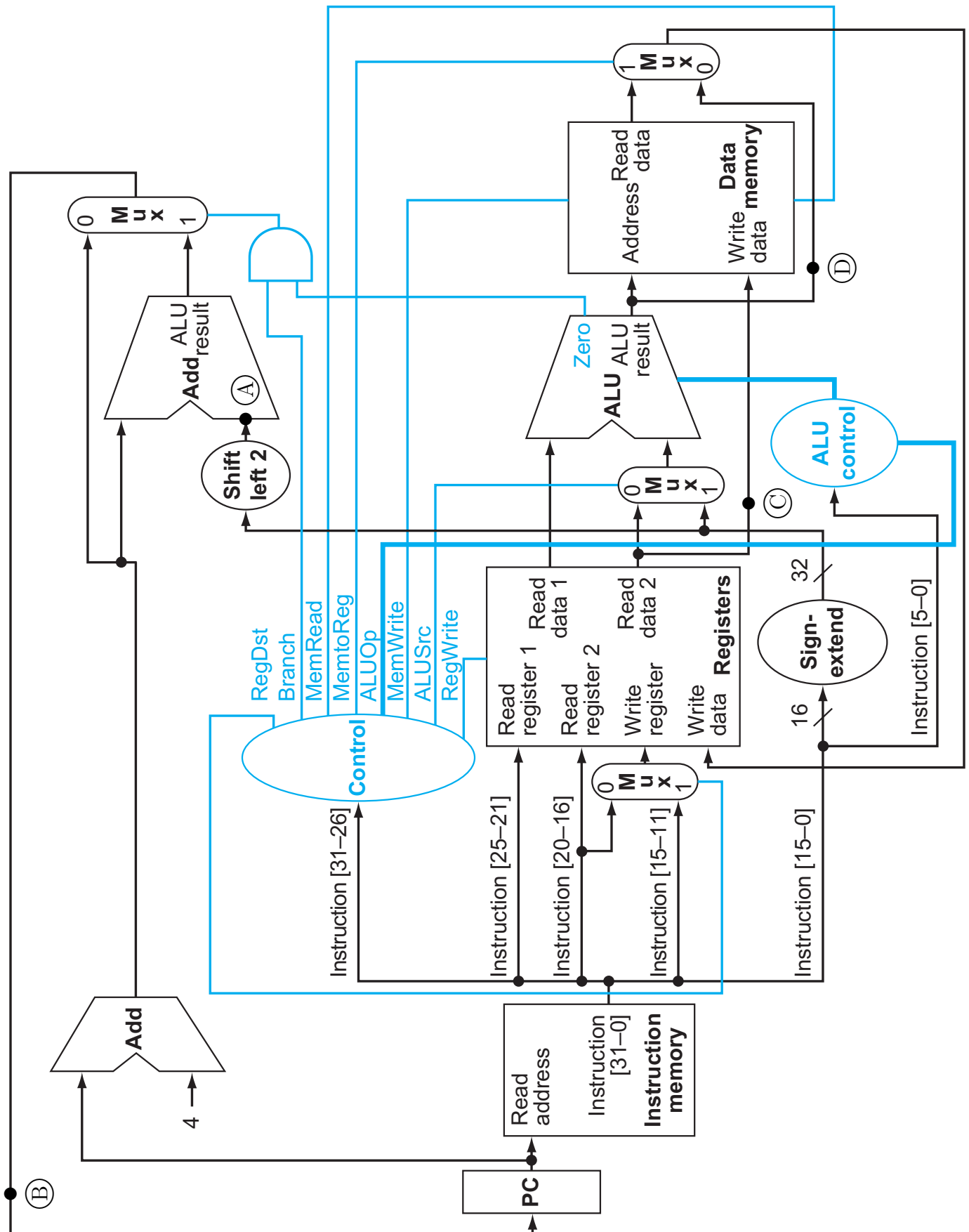


Figura 2: Diagrama de blocos da implementação MIPS monociclo para a **pergunta 7**