**Computer OrganizationLab 1: 32-bit ALU**

Student ID:110652011 Name: 郭佳翰

1. **Architecture diagrams**
2. **Hardware module analysis**
3. **Experimental result**
4. **Problems you met and solutions**
5. **Summary**

1.Architecture diagrams: 其實就是題目提供的圖，看同學要直接使用或是自己手繪都可以

2. Hardware module analysis: 這部份希望同學針對自己設計的每個module做細部說明，篇幅無需過長，針對重點即可

3. Experimental result: 分析實驗結果，最好是搭配模擬結果的截圖一起說明

4. Problems you met and solutions: 做lab過程中遇到的問題都可以在這部分拿出來討論，有些同學是第一次接觸verilog的話，也可以說明在學習verilog過程中遇到的瓶頸

5. Summary: 這部分可自由發揮，看同學想寫這次lab的總結、實作心得，或是提出新的想法都可以