

INSTITUTO SUPERIOR DE ENGENHARIA DO PORTO

Sistema Didático para o Ensino de Circuitos de Equalização Baseados em Topologias Paralelas

Rui Filipe Santos Peres



Licenciatura em Engenharia Eletrotécnica e de Computadores

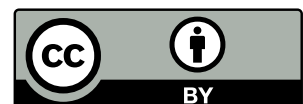
Orientador: João Resende, MSc

Coorientador: José Maravalhas-Silva, MSc

30 de junho de 2025

**ESTA PÁGINA FOI DEIXADA
PROPOSITADAMENTE EM BRANCO**

Esta obra tem a licença Creative Commons «Atribuição 4.0 Internacional».



**ESTA PÁGINA FOI DEIXADA
PROPOSITADAMENTE EM BRANCO**

«Todos aqueles que têm certezas perderam a capacidade de questionar. Que todas as respostas que procuro se convertam sempre em novas perguntas.»

Rui Peres

Capítulo 1

Resumo

Este projeto tem como objetivo o desenvolvimento de uma plataforma de aquisição e análise espectral em tempo real, orientada para servir como ferramenta de apoio à realização de um guião laboratorial da unidade curricular Eletrónica II. A solução tem como objetivo ajudar os estudantes na análise da resposta em frequência do filtro desenvolvido, promovendo a comparação direta entre os sinais à entrada e à saída do mesmo.

O sistema desenvolvido inclui uma cadeia de condicionamento analógico composta por filtro passa-alto, etapa de atenuação com *offset* DC, filtro *anti-aliasing* de sétima ordem e circuito limitador de tensão, garantindo que os sinais de entrada respeitam a tensão de entrada do conversor e a frequência de Nyquist. Estes circuitos permitem preservar a integridade do conteúdo audível e proteger o microcontrolador contra sobretensões, assegurando uma aquisição fiável e representativa do fenómeno físico em estudo.

A aquisição é realizada por um microcontrolador STM32F410RB, com dois canais a 48 kHz, resolução nominal de 12 bits e transmissão de dados via USART com recurso a DMA. A interface gráfica, desenvolvida em Python, permite visualizar em tempo real os sinais no domínio do tempo, o conteúdo espectral de cada canal através da transformada rápida de Fourier e a diferença entre os dois canais em decibéis, com funcionalidades adicionais, tais como a suavização exponencial, a normalização automática e a identificação da frequência dominante.

Apesar de se verificar uma degradação da resolução efetiva, o sistema revelou-se capaz de proporcionar uma análise qualitativa e quantitativa adequada, comportando-se de forma previsível e de acordo com os objetivos propostos.

**ESTA PÁGINA FOI DEIXADA
PROPOSITADAMENTE EM BRANCO**

Agradecimentos

À culpada disto tudo, a minha irmã Marlisa. Os pais gastaram os genes bons todos contigo, e ainda bem, porque quem ficou com a melhor referência fui eu.

Rui Peres

**ESTA PÁGINA FOI DEIXADA
PROPOSITADAMENTE EM BRANCO**

Conteúdo

1	Resumo	1
2	Introdução	15
2.1	Motivação e Contextualização	15
2.2	Objetivos	16
2.3	Calendarização do Projeto	16
2.4	Estrutura do Documento	17
3	Revisão Bibliográfica	19
3.1	Espectro Audível e Sensação Auditiva	19
3.2	Equalizadores	20
3.3	Transformada de Fourier	21
3.4	Conversão Analógico-Digital	22
3.4.1	Amostragem	22
3.4.1.1	Teorema de Nyquist e <i>Aliasing</i>	22
3.4.1.2	Frequências de Amostragem Típicas no Áudio	24
3.4.2	Filtros <i>Anti-Aliasing</i>	24
3.4.3	Quantização	26
3.4.3.1	Resolução (<i>Bit Depth</i>)	26
3.4.3.2	Erro de Quantização e Ruído Determinístico	27
3.4.3.3	<i>Dithering</i>	27
3.4.4	Arquiteturas ADC	28
3.4.4.1	SAR	28
3.4.4.2	Sigma-Delta	28
3.4.4.3	Outras Arquiteturas	29
3.4.5	Métricas de Desempenho	30
3.4.5.1	SNR	30
3.4.5.2	THD	31
3.4.5.3	ENOB	31
3.4.5.4	RMS	32

4	Soluções Existentes	33
4.1	<i>Software</i> de Análise + Interface de Áudio	33
4.2	Osciloscópio	34
4.3	Análise Comparativa e Conclusões	35
5	Sistema Proposto: Estrutura e Implementação	37
5.1	Requisitos do Sistema	37
5.2	Arquitetura Geral do Sistema	38
5.3	Escolha de Componentes e Ferramentas de Suporte	39
5.3.1	Microcontrolador	39
5.3.2	Conversão USART-USB	41
5.3.3	Componentes Eletrônicos	41
5.3.3.1	Amplificador Operacional	42
5.3.3.2	Díodo Schottky	43
5.3.4	Interface Gráfica	44
5.3.5	Ambiente de Desenvolvimento e Ferramentas de Suporte	45
5.3.5.1	Simulação e Análise de Circuitos Analógicos	45
5.3.5.2	Geração e Controlo de Sinais de Teste	45
5.3.6	Alimentação	45
5.4	Arquitura Detalhada da Solução Final	46
5.5	Condicionamento De Sinal Analógico	46
5.5.1	Tensão Máxima Do Sinal de Referência	46
5.5.2	Filtro Passa-Alto	48
5.5.2.1	Dimensionamento	48
5.5.2.2	Simulação	49
5.5.2.3	Implementação	51
5.5.3	Atenuação e <i>Offset</i>	53
5.5.3.1	Dimensionamento	53
5.5.3.2	Simulação	56
5.5.3.3	Implementação	56
5.5.4	Filtro <i>Anti-Aliasing</i>	58
5.5.4.1	Considerações Iniciais	58
5.5.4.2	Dimensionamento	59
5.5.4.3	Simulação	62
5.5.4.4	Implementação	63
5.5.5	Limitador de Tensão	65
5.5.5.1	Dimensionamento	65
5.5.5.2	Simulação	66
5.5.5.3	Implementação	66

5.6	Desenvolvimento de <i>Firmware</i>	68
5.6.1	Introdução	68
5.6.1.1	Arquitetura Geral da Componente de <i>Firmware</i>	68
5.6.2	STM32 – Arquitetura e Periféricos	69
5.6.2.1	Barramentos e Ativação de Periféricos	69
5.6.2.2	DMA – Acesso Direto à Memória	70
5.6.3	Estrutura do Código no STM32	70
5.6.4	Configuração do <i>System Clock</i>	71
5.6.5	Configuração do GPIO	72
5.6.6	Temporizadores (TIMERS)	73
5.6.6.1	TIM11 — Geração de Interrupção a 1Hz	74
5.6.6.2	TIM1_CH1 — Trigger para Conversão ADC	75
5.6.7	ADC — Conversão Analógica de Dois Canais	77
5.6.8	DMA — Transferência de Dados entre Memória e Periféricos	78
5.6.9	USART	79
5.6.9.1	Cálculo e Configuração do Baud Rate	79
5.6.9.2	Configuração dos Parâmetros da Comunicação	80
5.6.9.3	Avaliação Experimental do Tempo de Transmissão	80
5.7	Receção e Tratamento de Dados	82
5.7.1	Estrutura Geral da Aplicação	82
5.7.2	Aquisição e Conversão das Amostras	82
5.7.3	Visualização e Processamento do Espectro	83
5.7.4	Interatividade e Funcionalidades Adicionais	84
5.8	Desenvolvimento da Placa de Circuito Impresso	85
5.8.1	Fonte de Alimentação	86
5.8.2	Acessos Externos e Conectividade	87
5.8.3	Nota Final	88
6	Análise e Validação de Resultados	89
6.1	Métricas de Desempenho, Cálculos e Medições	89
6.1.1	Signal to Noise Ratio (SNR)	89
6.1.2	Effective Number Of Bits (ENOB) e Sensibilidade	90
6.1.3	Taxa de Transmissão e <i>Overhead</i>	90
6.1.4	Consumos	91
6.2	Características Técnicas do Sistema	91
6.3	Síntese e Comparação com os Objetivos.	92
7	Conclusão e Trabalhos Futuros	95
7.1	Conclusão	95

7.2	Trabalho Futuro	96
-----	---------------------------	----

Lista de Figuras

2.1	Planeamento Temporal do Projeto	17
3.1	Curvas de Fletcher-Munson	20
3.2	Equalizador SSL API 500.	21
3.3	Amostragem Crítica e Fenómeno de <i>Aliasing</i>	23
3.4	Comparação da Resposta de Filtros Butterworth de Diferentes Ordens . . .	26
4.1	Interface do <i>Software</i> Voxengo SPAN.	34
4.2	Osciloscópio Rigol DS1102Z.	35
5.1	Arquitetura Geral do Sistema.	38
5.2	Arquitetura Geral da Solução Proposta.	47
5.3	Filtro Passa Alto e <i>Buffer</i> de Tensão.	50
5.4	Simulação AC Sweep do filtro RC	50
5.5	Simulação AC Sweep do filtro RC	51
5.6	Amplitude Sinusoidal de 2 Hz Pré Filtro RC.	52
5.7	Amplitude Sinusoidal de 2 Hz Pós Filtro RC.	53
5.8	Sinal de 1 kHz, de 1,65 V _{pp} , após 12,5 dB de Amplificação.	54
5.9	Circuito de Atenuação e <i>Offset</i>	55
5.10	Simulação da Atenuação e <i>Offset</i> DC	56
5.11	Implementação - Atenuação e <i>Offset</i>	57
5.12	Valores Normalizados do Filtro de Butterworth.	60
5.13	Disposição dos Componentes nas Secções de 2 Polos e nas Secções de 3 Polos.	60
5.14	Filtro Butterworth Normalizado.	61
5.15	Simulação do Filtro <i>Anti-Aliasing</i>	62
5.16	Filtro AA - Ganho (em dB) em Função da Frequência (Hz).	64
5.17	Circuito Limitador de Tensão com Proteção Ativa e Díodo Zener.	65
5.18	Simulação do Circuito Limitador de Tensão com Análise DC Sweep (−1 V a 5 V).	66
5.19	Medição do Circuito Limitador de Tensão com Sinusoidal de 440 Hz.	67
5.20	Configuração STM32 - Diagrama Geral.	68

5.21	Sinal PWM Medido no PA8 com 48 kHz e 50 % de <i>Duty Cycle</i> , Bbservado no Osciloscópio.	76
5.22	Formato de Armazenamento de cada Amostra ADC: 12 bits Alinhados à Direita em Dois bytes.	77
5.23	Estrutura de um Bloco de Dados Enviado por USART com Cabeçalhos de Sincronização (2 bytes).	79
5.24	Medição do Tempo de Envio de um Bloco de 512 bytes via USART com DMA (<i>toggle</i> em PA7).	81
5.25	Interface Gráfica - Sinais no Tempo.	83
5.26	Interface Gráfica - FFT <i>full-scale</i>	84
5.27	Interface Gráfica - Diferença de Sinais.	84
5.28	Interface Gráfica - Diferença de Sinais.	85
5.29	Comportamento da Tensão Antes e Após a Retificação com Derivação Central.	86
5.30	Esquema da Fonte de Alimentação Implementada no PCB.	87
5.31	Renderização da Placa de Circuito Impresso.	88

Lista de Tabelas

3.1	Frequências de Amostragem Típicas no Áudio Digital.	24
4.1	Comparação entre Diferentes Soluções de Aquisição e Análise Espectral. . .	35
5.1	Comparação entre STM32F410RB e ATMEGA328P	39
5.2	Comparação Entre Amplificadores Operacionais Considerados.	43
5.3	Comparação entre diodo Schottky BAT46 e diodo PN 1N4148	43
5.4	Tensão Máxima Medida à Saída de <i>Headphones</i> dos Dispositivos Analisados.	48
5.5	Comparação Entre Diferentes Frequências de Corte e Respetiva Atenuação.	49
5.6	Capacidades Resultantes após Escalonamento em Frequência e Impedância.	61
5.7	Capacidades Utilizadas na Simulação após Ajuste para Valores Comerciais.	62
5.8	Ganho Experimental do Filtro <i>Anti-Aliasing</i> em Função da Frequência. . . .	63
5.9	Ativação de Periféricos por Barramento no STM32F410RB.	70
5.10	Organização Modular do Código para o STM32.	71
5.11	Registos Relevantes na Configuração do <i>System Clock</i>	72
5.12	Registos Principais para Configuração GPIO.	72
5.13	Pinos GPIO Utilizados no Projeto.	73
5.14	Registos Relevantes na Configuração dos Temporizadores TIM1 e TIM11. . .	74
5.15	Registos Envolvidos na Configuração do TIM1_CH1 para Gerar o <i>Trigger</i> do ADC.	76
5.16	Registos Principais da Configuração do ADC.	78
5.17	Registos Principais da Configuração da USART.	80
6.1	Características Técnicas do Sistema.	92

**ESTA PÁGINA FOI DEIXADA
PROPOSITADAMENTE EM BRANCO**

Lista de Siglas e Acrónimos

ADC	Analog Digital Converter
AGC	Automatic Gain Control
CD	Compact Disc
CMSIS	Cortex Microcontroller Software Interface Standard
CPU	Central Processing Unit
DAC	Digital Analog Converter
DAW	Digital Audio Workstation
DFT	Discrete Fourier Transform
DMA	Direct Memory Access
DSP	Digital Signal Processing
DVD	Digital Versatile Disc
ENOB	Effective Number Of Bits
FFT	Fast Fourier Transform
FPU	Floating Point Unit
GBW	Gain Bandwidth Product
GPIO	General Purpose Input Output
HAL	Hardware Abstraction Layer
HSE	High Speed External
HSI	High Speed Internal
ISEP	Instituto Superior de Engenharia do Porto
LED	Light Emitting Diode
LUFS	Loudness Units relative to Full Scale
MP3	MPEG-1 Audio Layer 3
MSB	Most Significant Bit

MIDI	Musical Instrument Digital Interface
PCB	Printed Circuit Board
PCM	Pulse Code Modulation
PLL	Phase-Locked Loop
PWM	Pulse Width Modulation
RCC	Reset and Clock Control
RMS	Root Mean Square
SAR	Successive Approximation Register
SIMD	Single Instruction, Multiple Data
SMD	Surface-Mount Device
SNR	Signal to Noise Ratio
SPI	Serial Peripheral Interface
SPL	Sound Pressure Level
SRAM	Static Random-Access Memory
THD	Total Harmonic Distortion
USART	Universal Synchronous Asynchronous Receiver Transmitter
USB	Universal Serial Bus
WAV	Waveform Audio File Format

Capítulo 2

Introdução

2.1 Motivação e Contextualização

Este projeto foi desenvolvido no âmbito da unidade curricular de Projeto/Estágio, integrante na Licenciatura em Engenharia Eletrotécnica e de Computadores. Paralelamente, insere-se diretamente no contexto de um guião laboratorial da unidade curricular de Eletrónica II, da Licenciatura em Engenharia Eletrotécnica e de Computadores do Instituto Superior de Engenharia do Porto (ISEP), centrado na construção e caracterização experimental de um equalizador de quatro bandas. Este equalizador é composto por quatro filtros do tipo *peaking* (passabanda de 2^a ordem com ganho variável), com frequências centrais em 500 Hz, 1 kHz, 2 kHz e 4 kHz. Os filtros são ajustáveis em modo *boost* ou *cut*, podendo aplicar respetivamente um ganho ou uma atenuação de até 12.5 dB. O objetivo deste guião laboratorial é, essencialmente, ajudar os alunos a compreenderem o comportamento de circuitos reais de processamento de áudio.

Apesar da importância destes conceitos, a análise em frequência de sinais em contexto de laboratório pode ser dificultada na ausência de ferramentas que permitam observar o comportamento espectral. Embora existam alternativas como osciloscópios com função Fast Fourier Transform (FFT), ou *softwares* profissionais de análise como o Ardour, são alternativas projetadas para desempenharem várias funcionalidades, o que depreende a necessidade de uma configuração inicial adequada. Considerando o contexto do guião laboratorial e visando contribuir para uma experiência didática mais eficiente, propõe-se o desenvolvimento de uma solução dedicada que simplifique a análise espectral de sinais, eliminando a necessidade de configurações demoradas por parte dos alunos.

Neste sentido, o projeto apresentado visa colmatar esta lacuna, disponibilizando uma ferramenta que permita observar, em tempo real, o impacto da ação dos filtros na composição espectral do sinal de áudio. Através da comparação entre o sinal à entrada e à saída do equalizador, os estudantes poderão verificar o comportamento previsto em simulação, e potencialmente, desenvolver um entendimento mais profundo da resposta em frequência

dos circuitos implementados. Esta abordagem pretende, portanto, ser uma mais-valia pedagógica, ao tornar visível e mensurável aquilo que, de outro modo, permaneceria abstrato ou puramente teórico.

2.2 Objetivos

O objetivo principal deste projeto é desenvolver uma ferramenta didática, baseada em sistemas embebidos, que permita analisar em tempo real o espectro de frequências de dois sinais áudio — correspondentes à entrada e saída de um equalizador analógico de quatro bandas — com vista à sua utilização em contexto laboratorial na unidade curricular de Eletrónica II.

De forma a garantir a aplicabilidade do sistema, foram definidos os seguintes objetivos específicos:

- Realizar a aquisição simultânea de dois sinais áudio analógicos, com resolução e taxa de amostragem adequadas à faixa audível (20 Hz–20 kHz);
- Implementar uma análise espectral em tempo real baseada na FFT, aplicada a cada um dos sinais;
- Permitir a comparação visual entre o espectro do sinal à entrada e à saída do filtro em análise, com atualização contínua;
- Desenvolver uma interface gráfica orientada para contexto pedagógico, permitindo ao utilizador final interpretar com facilidade a resposta em frequência;
- Minimizar a necessidade de configurações externas ou recursos adicionais;
- Basear o desenvolvimento em plataformas de baixo custo garantindo a viabilidade económica do sistema;
- Assegurar a modularidade e escalabilidade do sistema de forma a possibilitar futuras extensões e/ou melhorias.

2.3 Calendarização do Projeto

O desenvolvimento do projeto está previsto para decorrer ao longo de 18 semanas, entre o início de março e meados de junho. O processo será orientado por uma metodologia iterativa, com várias fases a decorrerem em paralelo. A calendarização pode ser resumida da seguinte forma:

- **Levantamento de requisitos e análise de soluções existentes:** Definição dos requisitos técnicos e funcionais do sistema com base no guião laboratorial e nas condições reais de utilização. Realização de análise comparativa de alternativas comerciais e de componentes disponíveis.
- **Configuração base do microcontrolador:** Configuração inicial do microcontrolador, periféricos básicos. Preparação do ambiente de desenvolvimento.
- **Desenvolvimento da componente de *hardware*:** Dimensionamento e implementação dos módulos de hardware: filtro passa-alto (acoplamento), *buffer* de tensão, estágio de ganho com *offset* (para manter o sinal em tensão positiva), filtro anti-aliasing e limitador de tensão. Verificação experimental de cada unidade.
- **Desenvolvimento do *firmware*:** Implementação da lógica de programação do microcontrolador na aquisição e transferência de dados.
- **Desenvolvimento da interface gráfica:** Desenvolvimento de uma aplicação capaz de receber os dados via porta série, aplicar a FFT e apresentar os dois espectros em tempo real.
- **Testes finais e integração:** Validação experimental do sistema completo e análise do desempenho final face aos objetivos definidos inicialmente.

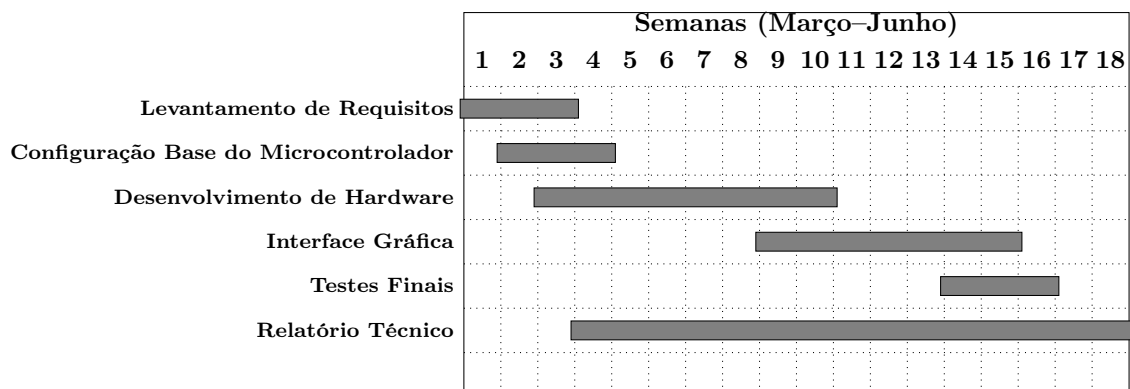


Figura 2.1: Planeamento Temporal do Projeto — Diagrama de Gantt (18 semanas)

2.4 Estrutura do Documento

O Capítulo 3 apresenta os fundamentos teóricos essenciais ao desenvolvimento do projeto. Abordam-se os limites do espectro audível humano e a forma como a percepção auditiva varia com diferentes frequências. É feita uma revisão sobre o funcionamento e a finalidade

dos equalizadores, bem como sobre os princípios subjacentes à análise espectral de sinais. Por fim, são explorados os fundamentos da conversão analógico-digital.

O Capítulo 4 analisa algumas das soluções comerciais existentes, identificando as suas principais funcionalidades, limitações e aplicabilidade em contexto educativo. Esta análise serve de base para justificar o desenvolvimento de uma solução alternativa e mais ajustada ao propósito didático deste projeto.

O Capítulo 5 descreve a estrutura e implementação do sistema desenvolvido. Apresentam-se os requisitos funcionais e a arquitetura geral do sistema, justificando a escolha dos componentes e das ferramentas de suporte utilizadas. São detalhados os diferentes blocos de condicionamento analógico do sinal, com base na análise modular, simulação e implementação dos circuitos. Segue-se o desenvolvimento do *firmware*, a configuração dos periféricos, o processo de receção e tratamento de dados, bem como o desenvolvimento da placa de circuito impresso.

O Capítulo 6 apresenta os resultados obtidos com o sistema implementado e são analisadas diversas métricas de desempenho. No final, são sintetizadas as principais características técnicas do sistema.

Por fim, o Capítulo 7 discute os resultados alcançados, avaliando em que medida os objetivos foram cumpridos. São também sugeridas melhorias e possíveis trabalhos futuros com vista à evolução e adaptação do sistema a novos contextos.

Capítulo 3

Revisão Bibliográfica

3.1 Espectro Audível e Sensação Auditiva

A percepção sonora nos seres humanos decorre da interpretação, pelo cérebro, de ondas de pressão acústica que incidem sobre o sistema auditivo. No entanto, este sistema apresenta limitações fisiológicas que restringem a gama de frequências audíveis. Estudos clássicos em psicoacústica estabeleceram que o espectro audível humano se situa, em média, entre 20 Hz e 20 kHz¹ [1].

Importa salientar que a sensibilidade auditiva ao longo do espectro não é uniforme. A percepção da intensidade sonora, ou *loudness*, varia com a frequência, mesmo quando a pressão sonora física - medida em dB Sound Pressure Level (SPL) - é constante. Este fenómeno foi estudado por Fletcher e Munson na década de 1930 dando origem às curvas isofónicas (*equal-loudness contours*). A Figura 3.1 apresenta essas curvas — frequentemente denominadas curvas de Fletcher-Munson — que ilustram os diferentes níveis de pressão sonora necessários, para gerar o mesmo nível de percepção sonora, a diferentes frequências.

A título de exemplo, um som com uma frequência fundamental de 30 Hz terá de ser emitido a cerca de 80 dB SPL para ser percecionado com a mesma intensidade que um som de 600 Hz a apenas 40 dB SPL. Isto significa que, em termos de potência acústica, a frequência mais baixa requer aproximadamente dez mil vezes mais energia para atingir a mesma sensação de intensidade subjetiva. Esta disparidade na percepção auditiva é crucial para o desenvolvimento de sistemas de reprodução sonora, aparelhos auditivos e dispositivos de controlo espectral como os equalizadores.

Como consequência destas características, e da necessidade de quantificar matematicamente a percepção auditiva, surgiram métricas que incorporam modelos psicoacústicos mais avançados. Um exemplo moderno é a unidade Loudness Units relative to Full Scale (LUFS),

¹Este intervalo, embora representativo, pode variar consoante a idade, o estado de saúde auditiva e a exposição prolongada a níveis elevados de ruído [1]

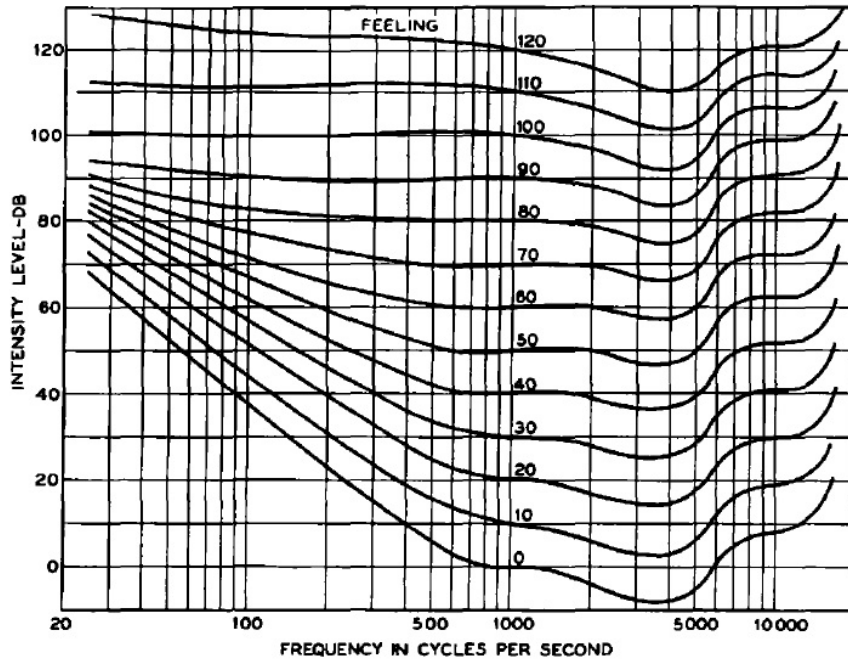


Figura 3.1: Curvas de Fletcher-Munson [2].

definida na norma ITU-R BS.1770² [3]. Os LUFS são utilizados principalmente no áudio digital e na produção musical, refletindo a sensação de intensidade sonora com base em filtros de ponderação que simulam a resposta auditiva humana. Esta unidade é especialmente relevante na normalização de volume em conteúdos de multimídia e de transmissão, onde a consistência da sensação de intensidade é mais importante do que a amplitude absoluta do sinal.

3.2 Equalizadores

O termo "equalizador", do inglês *equalize* (tornar igual), surge como consequência direta da não linearidade da percepção auditiva [4]. Embora possa ser também utilizado como ferramenta criativa, o equalizador é, essencialmente, um dispositivo que permite ajustar seletivamente a resposta em frequência de um sinal, de modo a compensar desigualdades naturais no sinal, na audição, ou no ambiente de escuta.

Os primeiros equalizadores surgiram na década de 1920 para corrigir distorções em sistemas telefônicos [5], sendo depois adotados pela indústria do rádio e cinema nos anos 1930 para melhorar inteligibilidade e compensar limitações de equipamentos [6]. Paralelamente, permitiam atenuar gamas de frequência indesejadas, como ruídos de fundo ou interferências específicas. Mais tarde, começaram a ser utilizados na indústria musical, desta feita,

²A norma ITU-R BS.1770 define um algoritmo padronizado para medição de loudness e o nível de pico real (true-peak) de sinais de áudio, com base em modelos psicoacústicos.

também de forma criativa [7].

Atualmente, existem diversos tipos de equalizadores — gráficos, paramétricos, ativos, passivos, digitais, entre outros — sendo que todos partilham o mesmo princípio de funcionamento: a manipulação seletiva da amplitude das componentes em frequência de um sinal áudio. A Figura 3.2 ilustra o exemplo de um equalizador paramétrico utilizado na manipulação de áudio profissional.



Figura 3.2: Equalizador SSL API 500 [8].

Para além do seu papel técnico, os equalizadores têm também uma função artística crucial. Na produção musical moderna, são ferramentas essenciais no processo de mistura (*mixing*) para que instrumentos com componentes espectrais semelhantes coexistam sem se sobrepor, criando clareza e distinção [9]. Por outro lado, também podem ser utilizados para destacar características específicas de um instrumento, reforçar harmónicos, ou atenuar frequências associadas a ruído.

Neste contexto, torna-se evidente a relevância de ferramentas que permitam visualizar de forma objetiva os efeitos que os equalizadores introduzem no espectro do sinal. A possibilidade de comparar o sinal original com o sinal processado permite não só validar o funcionamento do equalizador, como também aprofundar a compreensão do seu impacto na resposta em frequência [10].

3.3 Transformada de Fourier

A análise da resposta em frequência de um sinal parte da ideia de que qualquer sinal complexo pode ser decomposto na soma de várias componentes sinusoidais. Esta ideia, inicialmente proposta por Jean-Baptiste Joseph Fourier no início do século XIX, constitui o conceito fundamental da transformada de Fourier [11]. Em termos simples, trata-se de um artifício matemático que permite converter um sinal do domínio do tempo (ou do espaço)

para o domínio da frequência, evidenciando as suas componentes em frequência, fase e amplitude [12]. As implicações desta ferramenta tornaram-se fundamentais na análise de sinais, sendo hoje aplicadas em praticamente todos os campos da Engenharia e da Física.

$$X(f) = \int_{-\infty}^{\infty} x(t)e^{-j2\pi ft} dt \quad (3.1)$$

Com a transição do domínio analógico para o domínio digital, onde os sinais são discretos e finitos, a utilidade e aplicabilidade dos princípios base deste recurso expandiram-se em larga escala com a introdução da Discrete Fourier Transform (DFT). A DFT consiste na discretização da Transformada de Fourier, permitindo aplicar o mesmo princípio de análise, desta feita, em sinais discretos [13]:

$$X[k] = \sum_{n=0}^{N-1} x[n]e^{-j\frac{2\pi}{N}kn} \quad (3.2)$$

Mais tarde, este algoritmo foi otimizado com a introdução da FFT [14]. Em suma, quando a finalidade da análise é determinar as componentes em amplitude de determinadas frequências, é possível reduzir significativamente o número de cálculos, tirando partido das simetrias inerentes à DFT. Deste modo, a computação tornou-se consideravelmente mais eficiente.

Estas técnicas reformularam a transformada de Fourier e permitiram a sua aplicabilidade nos sistemas digitais. Atualmente, a FFT é uma ferramenta fundamental no processamento digital de sinais e, no contexto deste projeto, de particular relevância na análise de sinais áudio [15].

3.4 Conversão Analógico-Digital

A análise digital de sinais analógicos requer que estes sejam previamente convertidos para um formato compatível com sistemas computacionais. Este processo de conversão, realizado por um Analog Digital Converter (ADC), envolve três fases principais: amostragem, quantificação e codificação.

3.4.1 Amostragem

3.4.1.1 Teorema de Nyquist e *Aliasing*

No processo de amostragem, o sinal contínuo no tempo é captado em instantes discretos, separados por um intervalo de tempo constante. A frequência com que esta amostragem ocorre é designada por frequência de amostragem e deve obedecer ao teorema de Nyquist-Shannon. Por sua vez, o teorema de Nyquist-Shannon estabelece que a frequência de amostragem deve ser, no mínimo, o dobro da frequência máxima presente no sinal, de

forma a evitar o fenómeno de *aliasing* — a sobreposição de espectros que compromete a reconstrução do sinal original [16, 17].

Matematicamente, o teorema é expresso como:

$$f_s \geq 2f_{\max} \quad (3.3)$$

onde f_s representa a frequência de amostragem e f_{\max} corresponde à maior frequência presente no sinal original.

A Figura 3.3 representa três sinais sinusoidais contínuos, de 500 Hz, 1000 Hz, e 1500 Hz amostrados a uma frequência de 1000 Hz. Repare-se que apenas o sinal de 500 Hz é amostrado corretamente. O sinal discreto correspondente ao sinal original de 1000 Hz é indistinguível de um sinal de 0 Hz (amostragem crítica) e o sinal amostrado de 1500 Hz é reconstruído como um sinal de 500 Hz.

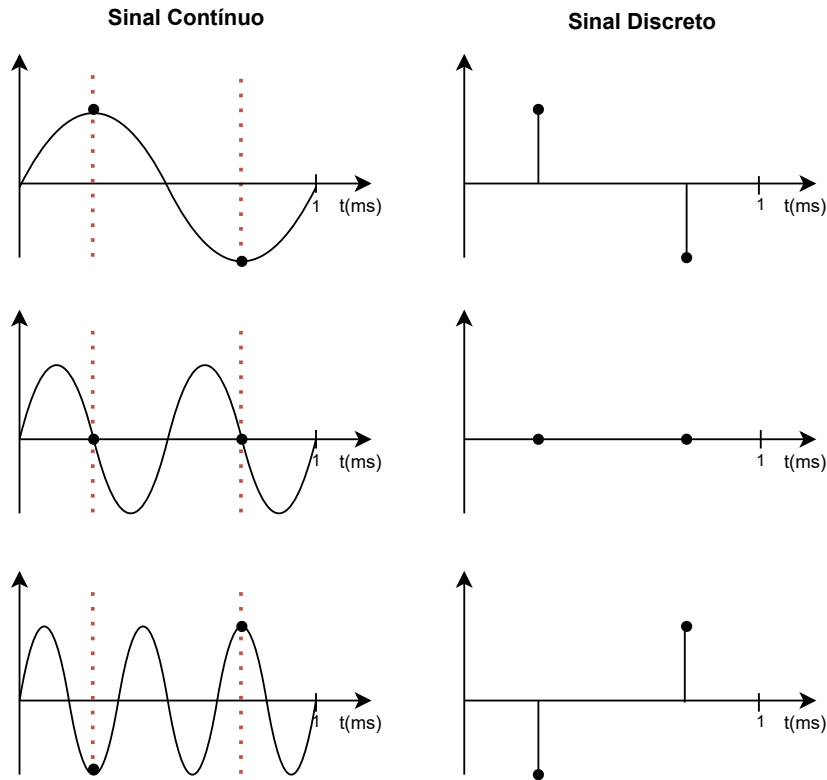


Figura 3.3: Amostragem Crítica e Fenómeno de *Aliasing*.

Na prática, os sinais não são sinusoidais simples, mas sinais compostos por diversas

componentes em frequência. No caso específico dos sinais áudio analógicos, podem existir componentes com frequências superiores à gama audível (20 kHz). Desta forma, torna-se essencial a implementação de filtros *anti-aliasing* que removam as componentes de frequência superiores a 20 kHz. As características destes filtros serão detalhadas na Secção 3.4.2; por agora, é importante reter que a resposta em frequência dos filtros reais não é ideal, pelo que se acrescenta uma margem de segurança adicional (banda de guarda) no valor da frequência de amostragem.

3.4.1.2 Frequências de Amostragem Típicas no Áudio

Da necessidade de evitar o fenómeno de *aliasing* surgem as frequências de amostragem padrão em aplicações de áudio. O formato Compact Disc (CD) áudio, por exemplo, utiliza 44.1 kHz, conforme definido na norma IEC 60908 [18]. Já o valor de 48 kHz é comum em estúdios profissionais, pois oferece margem suficiente para filtros *anti-aliasing* práticos e compatibilidade com vídeo digital [9].

Em aplicações de alta qualidade, como Digital Versatile Disc (DVD) e Blu-ray, utilizam-se 96 kHz ou 192 kHz. Estas taxas são especificadas nas normas IEC 61937 [19] e nas especificações da Blu-ray Disc Association [20]. Embora não exista um consenso relativamente à vantagem de taxas de amostragem superiores a 48 kHz na reprodução de som, a taxa de 96 kHz (e 192 kHz em alguns casos) é utilizada na gravação de sons, sobretudo para cinema, no contexto do *Sound Design*. Esta abordagem oferece maior flexibilidade no processamento de sinais, sobretudo em *Time-Stretching* (alteração da duração de um som mantendo o mesmo tom) ou *Pitch-Shifting* (alteração do tom mantendo a mesma duração), resultando em menor perda de qualidade.

A Tabela 3.1 resume as taxas mais comuns:

Tabela 3.1: Frequências de Amostragem Típicas no Áudio Digital.

Aplicação	Taxa de Amostragem (kHz)	Faixa de Nyquist (kHz)
CD áudio	44.1	22.05
Estúdio / Broadcast	48	24
DVD áudio	96	48
Blu-ray áudio	192	96

3.4.2 Filtros *Anti-Aliasing*

Os filtros *anti-aliasing* podem ser classificados segundo dois critérios principais: a sua natureza (analógica ou digital) e a sua resposta em frequência (tipo de aproximação adotada). No processo de aquisição de sinais analógicos através de um conversor ADC, os

filtros *anti-aliasing* devem ser, obrigatoriamente, analógicos e posicionados antes da amostragem. Já os filtros digitais são aplicados tipicamente em processos de reamostragem, como *upsampling* ou *downsampling* [17].

No espectro dos filtros analógicos, existem filtros passivos e filtros ativos. Os filtros passivos utilizam apenas componentes como resistências, condensadores e indutores, sendo mais eficazes em gamas de frequência entre 100 Hz e 300 MHz [21]. Já os filtros ativos, recorrem a amplificadores operacionais, resistências e condensadores, sendo particularmente adequados para frequências entre 0 Hz e 100 kHz. Estes últimos, oferecem a vantagem adicional de permitir ganho em tensão, tornando-se numa escolha frequente na implementação de filtros *anti-aliasing* em sistemas de áudio [21].

No universo dos filtros ativos, destacam-se diversas aproximações clássicas com diferentes características de resposta em frequência [21, 22]:

- **Butterworth:** apresenta uma resposta monotónica (sem ondulações) tanto na banda passante como na banda de rejeição. É amplamente utilizado em aplicações áudio devido à sua atenuação e resposta de fase relativamente estável.
- **Chebyshev Tipo I:** proporciona uma atenuação mais acentuada na zona de transição, mas à custa de ondulações na banda passante. É útil quando se pretende uma rejeição rápida de frequências indesejadas, desde que se tolere alguma distorção de amplitude.
- **Chebyshev Tipo II:** apresenta ondulações na banda de rejeição, mantendo a banda passante livre de distorções. É menos comum, mas adequado quando a fidelidade na banda passante é prioritária.
- **Bessel:** privilegia a linearidade da fase, reduzindo distorções temporais. É indicado para sinais com forte componente transitória, no entanto, possui uma transição mais lenta entre bandas, o que pode comprometer a eficácia da rejeição.

A escolha do tipo e da ordem do filtro influencia diretamente a largura da zona de transição entre a banda passante e a banda de rejeição. Filtros de ordem superior permitem transições mais abruptas e melhor rejeição de *aliasing*, mas aumentam a complexidade do circuito e os requisitos de estabilidade [21]. A Figura 3.4 ilustra comparativamente a resposta em frequência de filtros Butterworth de diferentes ordens.

A seleção do filtro mais adequado requer, portanto, um equilíbrio entre a eficácia na rejeição de *aliasing* e as limitações práticas de implementação, como tolerância dos componentes, ruído térmico, consumo energético, estabilidade e custo [22]. Contudo, outro critério igualmente relevante prende-se com o comportamento do filtro dentro da banda passante. Filtros como o Chebyshev Tipo I apresentam ondulações nesta zona, o que pode introduzir distorções perceptíveis, especialmente em sinais áudio. Já o filtro Butterworth,

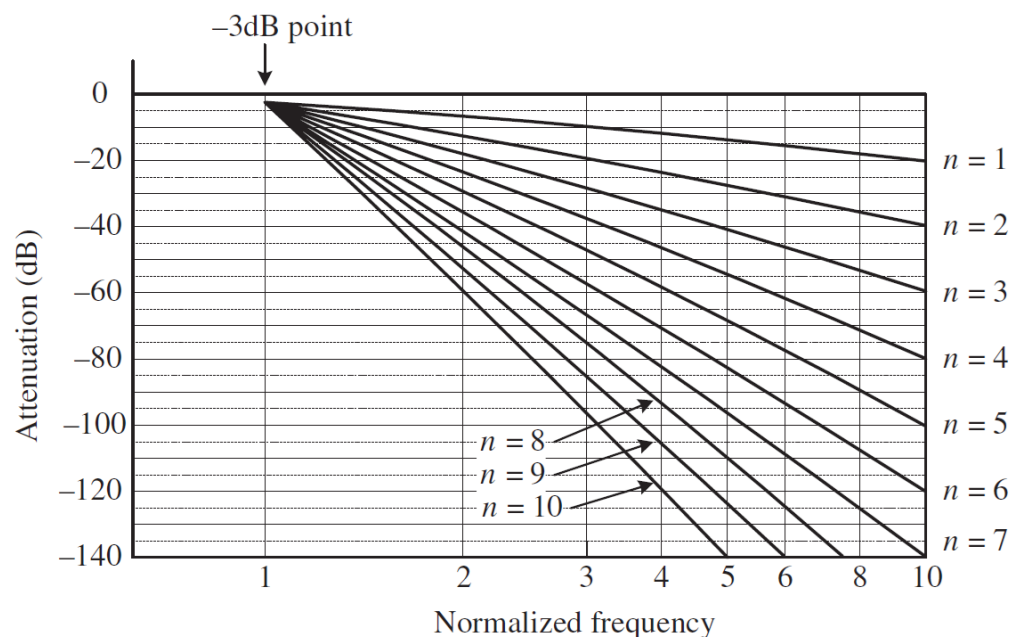


Figura 3.4: Comparação da Resposta de Filtros Butterworth de Diferentes Ordens [21].

embora possua uma transição mais gradual entre as bandas, oferece uma resposta mais uniforme na banda passante, sem ondulações, preservando a fidelidade do sinal original. Este fator pode tornar-se especialmente relevante quando se pretende manter a integridade do conteúdo útil do sinal.

3.4.3 Quantização

A quantização é a etapa que sucede à amostragem no processo de conversão analógico-digital. Enquanto a amostragem discretiza o sinal no tempo, a quantização discretiza-o em amplitude. Cada valor amostrado é aproximado ao valor mais próximo dentro de um conjunto finito de níveis, o que introduz inevitavelmente um erro — o erro de quantização.

3.4.3.1 Resolução (*Bit Depth*)

A resolução, também designada por *bit depth*, corresponde ao número de bits utilizados para representar cada amostra. Este parâmetro determina diretamente o número de níveis discretos de quantização, sendo dado por 2^n , onde n é o número de bits.

Por exemplo, uma resolução de 8 bits permite representar $2^8 = 256$ níveis distintos de tensão, enquanto uma resolução de 16 bits — comum no formato de áudio CD — permite $2^{16} = 65\,536$ níveis. Quanto maior a resolução, melhor a representação da amplitude do sinal, reduzindo o erro de quantização. No entanto, isso implica também um maior volume de dados a armazenar ou transmitir. Este equilíbrio entre precisão e eficiência é

fundamental no dimensionamento de sistemas de aquisição.

3.4.3.2 Erro de Quantização e Ruído Determinístico

O erro de quantização é a diferença entre o valor real do sinal analógico e o valor quantizado mais próximo. Em termos formais, pode ser expresso por:

$$\varepsilon_q = x - x_q \quad (3.4)$$

onde x representa o valor analógico da amostra e x_q o valor quantizado correspondente.

Em conversores ideais com níveis de quantização uniformemente espaçados, este erro está limitado ao intervalo:

$$-\frac{\Delta}{2} \leq \varepsilon_q < \frac{\Delta}{2} \quad (3.5)$$

sendo Δ o passo de quantização, definido por:

$$\Delta = \frac{V_{\max} - V_{\min}}{2^n} \quad (3.6)$$

com V_{ref} a tensão de referência do conversor e n o número de bits da resolução.

Assumindo um comportamento ideal, o erro de quantização pode ser modelado como ruído branco aditivo, com distribuição uniforme centrada em zero. A variância deste ruído, que permite estimar a sua potência, é dada por:

$$\sigma_q^2 = \frac{\Delta^2}{12} \quad (3.7)$$

Este resultado deriva da variância de uma distribuição uniforme contínua entre $-\frac{\Delta}{2}$ e $\frac{\Delta}{2}$ [17].

Contudo, este modelo só é válido para sinais com elevada variação de amplitude e conteúdo espectral rico. Em sinais com baixa amplitude ou padrões periódicos — como sinais sinusoidais simples — o erro pode tornar-se determinístico, repetindo-se ciclicamente com o sinal. Neste caso, surgem artefactos periódicos no espectro, comprometendo a análise espectral e a qualidade do sinal reconstruído. Este fenómeno é particularmente crítico em aplicações de áudio e instrumentação, justificando a utilização de técnicas de mitigação como o *dithering*, que será discutido na secção seguinte [23].

3.4.3.3 Dithering

O *dithering* é uma técnica utilizada para reduzir os efeitos perceptíveis do erro de quantização. Consiste na adição intencional de um ruído de baixa amplitude ao sinal analógico antes da conversão. Este ruído “disfarça” a natureza determinística da quantização, espalhando o erro de forma mais uniforme e aleatória, tornando-o menos audível ou mais fácil de filtrar no domínio da frequência [23].

Apesar de parecer contraintuitivo — adicionar ruído para melhorar a qualidade —, esta abordagem é amplamente utilizada em aplicações de áudio profissional e em sistemas de medição de precisão. O *dithering* não elimina o erro de quantização, mas impede que este se manifeste como distorção tonal. Quando bem aplicado, pode melhorar significativamente a fidelidade percebida de sinais digitalizados, sobretudo em resoluções mais baixas.

3.4.4 Arquiteturas ADC

Para além dos parâmetros fundamentais como resolução, frequência de amostragem e ruído de quantização, a arquitetura interna de um conversor analógico-digital (ADC) tem um impacto direto no desempenho, consumo energético e adequação a diferentes tipos de sinais. Dependendo da aplicação, certas arquiteturas são mais apropriadas — seja pela sua rapidez, eficiência energética, robustez à interferência ou fidelidade na conversão. No contexto do áudio e de sistemas de instrumentação, as arquiteturas mais relevantes o Successive Approximation Register (SAR) e o conversor Sigma-Delta. Outras arquiteturas, como *flash*, *pipeline* e *dual-slope*, também encontram aplicação em contextos específicos.

3.4.4.1 SAR

O conversor por aproximações sucessivas (SAR) é amplamente utilizado em sistemas embebidos e aplicações de aquisição de sinais de média a alta resolução. A sua operação baseia-se num registo de aproximação sucessiva que, iterativamente, compara o sinal de entrada com os níveis gerados por um Digital Analog Converter (DAC) interno. A cada ciclo de relógio, o SAR ajusta um bit do resultado digital, começando pelo Most Significant Bit (MSB), até obter uma aproximação dentro da resolução desejada.

Esta arquitetura apresenta um compromisso equilibrado entre velocidade, consumo e precisão. Os conversores SAR conseguem taxas de amostragem de alguns milhões de amostras por segundo com resoluções típicas de 8 a 16 bits, sendo ideais para sistemas que requerem resposta rápida e boa resolução, como equipamentos de medição, sensores e sistemas de aquisição multicanal [23].

A estrutura sequencial do processo de conversão torna os SAR menos suscetíveis a ruídos de alta frequência, sendo fiáveis em ambientes eletricamente ruidosos. No entanto, não são a melhor escolha para sinais com variações muito rápidas ou aplicações que exijam alta fidelidade espectral, como o áudio de alta definição.

3.4.4.2 Sigma-Delta

Os conversores Sigma-Delta ($\Sigma\Delta$) são particularmente adequados para sinais de baixa frequência e alta resolução, como os sinais áudio. A sua operação baseia-se no princípio da sobreamostragem: o sinal de entrada é amostrado a uma frequência muito superior à

mínima exigida pelo teorema de Nyquist, o que permite distribuir o ruído de quantização por uma banda mais larga, reduzindo a sua densidade espectral na banda útil [17, 23].

O núcleo da arquitetura consiste num integrador, um quantizador e uma malha de realimentação, configurando um sistema de modulação do tipo Sigma-Delta. Esta modulação redistribui o ruído de quantização para frequências mais elevadas (fora da banda audível), permitindo que seja posteriormente eliminado por um filtro digital passa-baixo. Este processo é conhecido como *noise shaping*.

Como resultado, os conversores Sigma-Delta oferecem resoluções efetivas superiores a 16 bits, com excelente linearidade e baixo ruído na banda de interesse, mesmo com circuitos analógicos relativamente simples. Esta combinação de alta fidelidade e robustez tornou-os a escolha dominante em aplicações de áudio digital, como leitores de CD, interfaces USB áudio, gravadores profissionais e instrumentos de medição de precisão.

O principal inconveniente desta arquitetura reside na sua latência e na limitação da velocidade de conversão. Por dependerem de sobreamostragem e filtragem digital, os Sigma-Delta não são indicados para sinais de alta frequência ou aplicações com requisitos temporais muito apertados.

3.4.4.3 Outras Arquiteturas

Para além das arquiteturas SAR e Sigma-Delta, existem outras topologias de ADC com características distintas, cada uma otimizada para necessidades específicas:

- **Conversores Flash:** Utilizam um conjunto de comparadores paralelos para converter o sinal analógico num único ciclo de relógio. São extremamente rápidos (na ordem dos GHz), mas consomem muita energia e ocupam grande área em silício. São utilizados em osciloscópios de alta velocidade, sistemas de radar e comunicações digitais.
- **Pipeline:** Dividem o processo de conversão em várias etapas sequenciais, cada uma responsável por converter um subconjunto de bits. Combinam alta taxa de amostragem com resolução razoável (8–14 bits), sendo comuns em aplicações de vídeo, comunicações e processamento de sinais digitais em tempo real [24].
- **Dual-Slope:** Baseiam-se na integração da tensão de entrada por um período fixo, seguida de uma fase de desintegração com uma referência conhecida. São lentos, mas extremamente precisos e mais resistentes ao ruído, sendo aplicados em multímetros digitais e sistemas de medição laboratoriais [21].

A escolha da arquitetura do ADC deve considerar não apenas os requisitos de resolução e velocidade, mas também fatores como consumo energético, latência, imunidade ao ruído, área ocupada e custo.

3.4.5 Métricas de Desempenho

A caracterização de um conversor analógico-digital (ADC) vai além da sua resolução nominal e frequência de amostragem. Em aplicações exigentes — como a análise espectral de sinais áudio — torna-se essencial avaliar o desempenho real do sistema através de métricas quantitativas que permitam estimar a fidelidade da conversão. Entre as métricas mais utilizadas destacam-se o SNR, o Total Harmonic Distortion (THD) e o ENOB. Estas grandezas permitem comparar diferentes arquiteturas, identificar limitações do circuito de aquisição e orientar decisões de projeto com base em requisitos concretos de qualidade do sinal.

3.4.5.1 SNR

O SNR, é uma das métricas fundamentais na avaliação de sistemas de aquisição e de conversão analógico-digital. Representa a relação entre a potência do sinal útil e a potência do ruído introduzido pelo sistema, incluindo erro de quantização, ruído térmico e interferência externa [17, 23].

A definição geral de SNR, válida para qualquer sistema físico, é dada por:

$$\text{SNR} = \frac{P_s}{P_n} \quad (3.8)$$

onde P_s é a potência do sinal e P_n a potência do ruído. Em unidades logarítmicas, expressa-se como:

$$\text{SNR}_{\text{dB}} = 10 \log_{10} \left(\frac{P_s}{P_n} \right) \quad (3.9)$$

No contexto da conversão analógico-digital, e assumindo um ADC ideal cujo único ruído é o erro de quantização uniforme, a SNR teórica pode ser estimada em função da resolução do conversor:

$$\text{SNR}_{\text{ideal}} \approx 6.02n + 1.76 \text{ dB} \quad (3.10)$$

onde n é o número de bits de resolução. Esta fórmula assume que o erro de quantização se comporta como um ruído branco aditivo com variância $\frac{\Delta^2}{12}$, e que o sinal de entrada é uma senoide com amplitude máxima (ver Secção 3.4.3.2).

A potência de um sinal discreto $x[n]$, com N amostras, é dada por:

$$P = \frac{1}{N} \sum_{n=0}^{N-1} x^2[n] \quad (3.11)$$

sendo esta a base para o cálculo experimental da SNR, através da razão entre a potência do sinal e a potência do ruído calculadas a partir de blocos de amostras digitalizadas.

Na prática, a presença de ruído térmico, interferências eletromagnéticas, jitter no relógio e não idealidades do circuito reduzem o SNR em relação ao valor teórico. Por isso, esta métrica é geralmente medida experimentalmente através da análise espectral do sinal digitalizado.

3.4.5.2 THD

O THD mede a contribuição de harmônicas indesejadas relativamente ao tom fundamental, sendo uma métrica de não linearidade do sistema [23]. Em sistemas lineares ideais, o sinal de saída contém apenas as frequências presentes no sinal de entrada. No entanto, em sistemas reais, efeitos como a saturação dos circuitos, variações de ganho e imperfeições nos componentes introduzem componentes harmônicas adicionais.

A THD é definida como:

$$\text{THD} = 10 \log_{10} \left(\frac{P_2 + P_3 + P_4 + \dots + P_N}{P_1} \right) \text{ dB} \quad (3.12)$$

onde P_1 representa a potência da frequência fundamental, e P_2, P_3, \dots, P_N as potências das harmônicas de ordem superior presentes no sinal.

Em aplicações de áudio, valores elevados de THD afetam negativamente a qualidade percebida, uma vez que os harmônicos introduzidos não estão presentes no som original. Assim, minimizar esta métrica é crucial para garantir fidelidade na conversão e reprodução de sinais.

3.4.5.3 ENOB

O ENOB é uma métrica que resume a qualidade global de um ADC, refletindo a sua capacidade real de discriminar níveis de amplitude. Representa o número de bits "úteis" que o conversor efetivamente disponibiliza, tendo em conta as perdas introduzidas por ruído e distorção [17].

O ENOB é calculado a partir do SNR medido através da expressão inversa da equação (3.10):

$$\text{ENOB} \approx \frac{\text{SNR}_{\text{medido}} - 1.76}{6.02} \quad (3.13)$$

Este valor permite comparar diretamente a performance prática de um conversor com o seu valor teórico ideal. Por exemplo, um ADC de 12 bits que apresenta um ENOB de apenas 9 bits está a desperdiçar resolução nominal devido a ruído ou distorção — possivelmente consequência de más ligações, ruído de alimentação, *jitter* no relógio ou imperfeições no *layout* de PCB.

A métrica ENOB é particularmente útil na escolha e validação de conversores para aplicações sensíveis, como instrumentação de precisão, análise espectral ou medição de sinais.

3.4.5.4 RMS

O Root Mean Square (RMS) é uma medida estatística da magnitude de um sinal variável no tempo. Para sinais periódicos, como uma sinusóide, o valor RMS corresponde ao nível contínuo equivalente que produziria a mesma potência média numa carga puramente resistiva. No domínio áudio, este parâmetro está diretamente relacionado com a percepção subjetiva de volume e é utilizado como base em medições de potência e SNR.

Para um sinal contínuo $x(t)$ com período T , o valor RMS é definido como:

$$x_{\text{RMS}} = \sqrt{\frac{1}{T} \int_0^T x^2(t) dt} \quad (3.14)$$

No domínio discreto, para $x[n]$ considerando N amostras, tem-se:

$$x_{\text{RMS}} = \sqrt{\frac{1}{N} \sum_{n=0}^{N-1} x^2[n]} \quad (3.15)$$

O valor RMS é amplamente utilizado para expressar o nível do sinal ao longo do tempo e constitui uma base para a medição do SNR e da potência de componentes espectrais. No caso de uma senoide pura com amplitude A , o valor RMS é $A/\sqrt{2}$, valor que permite comparar amplitudes mesmo quando os sinais apresentam formas de onda diferentes.

Capítulo 4

Soluções Existentes

A análise do espectro de um sinal áudio pode ser realizada através de diferentes tipos de ferramentas, com níveis distintos de custo, flexibilidade e complexidade. Algumas abordagens utilizam *software* especializado que depende de uma interface externa para a captura de sinal; outras recorrem a instrumentos laboratoriais com capacidades adicionais de análise espectral.

Neste contexto, foram identificadas e analisadas duas abordagens principais:

- *Software* de análise + interface de áudio — combinação de um programa de visualização a correr um computador com uma interface externa para aquisição do sinal;
- Osciloscópio com função FFT — instrumento de laboratório com análise espectral integrada.

As próximas secções descrevem estas abordagens em detalhe, avaliando a sua aplicabilidade no contexto educativo e laboratorial previsto neste projeto.

4.1 *Software* de Análise + Interface de Áudio

Esta abordagem combina uma interface de aquisição áudio com *software* de análise espectral. A interface permite a captura do sinal analógico em dois canais, enquanto o *software* interpreta e visualiza o conteúdo espectral. A separação entre aquisição e processamento de sinal resulta em alguma flexibilidade na escolha dos componentes desta solução. Nesse sentido, privilegiou-se o baixo custo, optando-se por basear esta análise em *software* gratuito e uma interface de áudio de baixo custo.

Um exemplo de interface adequada é a Miditech Audiolink III, compatível com sistemas Windows e macOS, com resolução de 16 bits e taxa de amostragem de 48 kHz [25]. Este modelo destaca-se pelo baixo custo e pela capacidade de captura simultânea em dois canais, sendo por isso adequada ao contexto deste projeto.

Do lado do *software*, uma das ferramentas possíveis é o Voxengo SPAN, um *plugin* gratuito de análise espectral em tempo real compatível com os principais sistemas operativos e ambientes de produção musical (Digital Audio Workstations (DAWs)). Permite a visualização do conteúdo espectral de sinais mono ou estéreo, bem como medições RMS e detecção de *clipping* [26].



Figura 4.1: Interface do *Software* Voxengo SPAN.

O SPAN opera como *plugin*, sendo necessário utilizá-lo dentro de uma DAW compatível. Embora existam opções pagas, como o Reaper ou o Cubase, também estão disponíveis alternativas gratuitas como o Ardour, que permitem a sua utilização sem custos adicionais.

Outras ferramentas de visualização com características semelhantes incluem:

- Blue Cat's Freq Analyst — *plugin* gratuito com visualização em tempo real e análise de picos;
- Spectrum Analyzer (Seven Phases) — ferramenta leve com curva de média e controlo de tempo de integração;
- SPAN Plus (versão paga) — variante do Voxengo SPAN com funcionalidades adicionais.

Apesar da flexibilidade, esta solução requer um computador, instalação de software e configuração adequada. Em contrapartida, permite a análise de sinais em tempo real, sendo adequada para contextos de ensino onde estes recursos estejam disponíveis.

4.2 Osciloscópio

Alguns osciloscópios digitais modernos incluem a funcionalidade de análise espectral por FFT, permitindo a visualização das componentes de frequência em tempo real. Esta funcionalidade está presente, por exemplo, no modelo Rigol DS1102Z [27].

Este modelo possui dois canais, taxa de amostragem de 1 GSa/s e resolução vertical de até 1 mV/div. A função FFT permite a observação direta do conteúdo espectral no visor

do equipamento. No entanto, a resolução espectral e a responsividade gráfica são limitadas quando comparadas com soluções baseadas em *software*.



Figura 4.2: Osciloscópio Rigol DS1102Z [27].

Embora seja uma ferramenta versátil para diversos tipos de medição, a utilização do osciloscópio exclusivamente para análise espectral de sinais áudio pode não justificar o investimento, sobretudo quando soluções mais acessíveis conseguem fornecer resultados mais detalhados neste domínio específico.

4.3 Análise Comparativa e Conclusões

A Tabela 4.1 apresenta uma síntese das principais características técnicas das soluções analisadas. Este recurso permite uma comparação imediata entre os equipamentos e *softwares*, mas não substitui uma análise crítica individual, tendo em conta o contexto de aplicação previsto neste projeto — nomeadamente o ambiente laboratorial, com ênfase na simplicidade, acessibilidade e aplicabilidade didática.

Solução	Resolução	SR	Nº Canais	Preço
Software + Interface de Áudio	16 bits	48 kHz	2	30€
Osciloscópio Rigol DS1102Z	1 mV/div	1 GSa/s	2	318,57€

Tabela 4.1: Comparação entre Diferentes Soluções de Aquisição e Análise Espectral.

A combinação de software de análise espectral com uma interface de áudio representa uma solução flexível e de custo reduzido. A qualidade da aquisição é adequada para fins

educativos, e as ferramentas de visualização permitem uma análise espectral em tempo real com boa resolução e clareza. Esta abordagem exige um computador com software instalado e configuração mínima, o que não constitui impedimento num ambiente laboratorial.

Por outro lado, o osciloscópio com função FFT oferece uma solução integrada e autónoma, com elevada taxa de amostragem e utilidade em diversos tipos de medição. No entanto, no contexto específico da análise espectral de sinais áudio, a resolução e responsividade da função FFT são limitadas (nos osciloscópios mais baratos), e o custo do equipamento torna-o menos atrativo quando comparado com outras alternativas mais acessíveis.

Em síntese, pode concluir-se que a solução baseada em *software* e *interface* de áudio apresenta melhor relação custo-benefício para o objetivo de análise espectral. O osciloscópio, embora mais versátil, é menos eficiente neste contexto específico e representa um investimento superior.

Capítulo 5

Sistema Proposto: Estrutura e Implementação

Este capítulo apresenta a solução desenvolvida para responder aos objetivos delineados neste projeto, desde a definição de requisitos - com base na análise realizada no Capítulo 3 – até à implementação prática, ao nível de *hardware* e de *software*.

O conteúdo encontra-se estruturado de forma modular, no intuito de facilitar a compreensão da lógica da sua conceção, desde uma perspetiva global até ao detalhe de cada subsistema. A secção inicial descreve os requisitos funcionais e técnicos a cumprir, estabelecendo os parâmetros mínimos necessários para garantir um funcionamento adequado em contexto laboratorial. Segue-se a apresentação da arquitetura geral do sistema, que serve como base para a escolha dos componentes utilizados.

O capítulo aprofunda, de seguida, o desenvolvimento do condicionamento analógico de sinal, dividido em três fases principais: dimensionamento teórico, simulação e implementação. Posteriormente, é analisado o processamento digital do sinal, incluindo a organização do código embebido, a configuração dos periféricos do microcontrolador e os mecanismos adotados para a transmissão eficiente dos dados. Por fim, é descrita a *interface* gráfica, responsável pela receção dos dados via comunicação série e análise espectral através de FFT.

5.1 Requisitos do Sistema

À luz dos objetivos definidos e da análise realizada no Capítulo 3, reuniram-se os seguintes requisitos que o sistema deve satisfazer:

- Aquisição simultânea de dois canais áudio (entrada e saída do filtro);
- Frequência de Amostragem de pelo menos 40 kHz de modo a cumprir o teorema de Nyquist-Shannon

- Comparação em tempo real do espectro de frequência dos dois sinais;
- Funcionamento autónomo ou com configuração mínima;
- Baixo custo de implementação

5.2 Arquitetura Geral do Sistema

A Figura 5.1 apresenta o diagrama de alto nível da arquitetura funcional adotada para a solução proposta. O fluxo de sinal começa com a aquisição de dois sinais áudio (antes e depois do filtro, respetivamente), passando (ambos) por circuitos de condicionamento analógico com a mesma estrutura de modo a garantir uma base de comparação comum e em conformidade com os requisitos de amostragem.

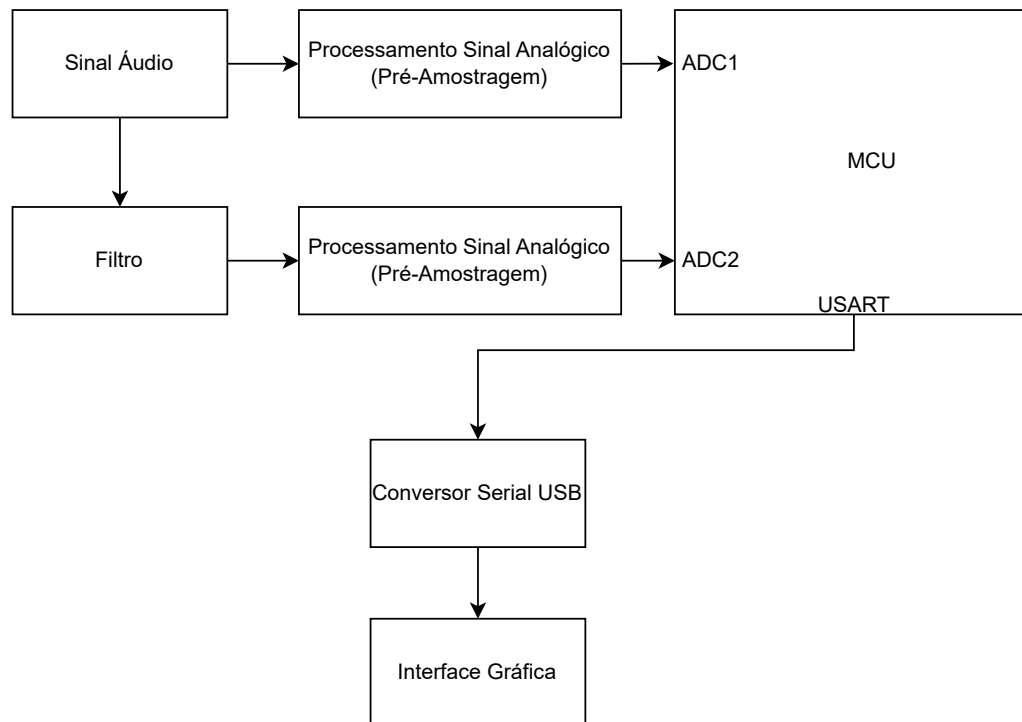


Figura 5.1: Arquitetura Geral do Sistema.

Os sinais são então convertidos para o domínio digital através de dois canais ADC integrados num microcontrolador, que também se encarrega de organizar e transmitir os dados via interface Universal Synchronous Asynchronous Receiver Transmitter (USART). Um conversor USART-USB assegura a comunicação com o computador.

Do lado do utilizador, propõe-se o desenvolvimento de uma aplicação que recebe os dados, realiza a transformada rápida de Fourier (FFT) e exibe, em tempo real, os espectros

correspondentes de cada canal.

5.3 Escolha de Componentes e Ferramentas de Suporte

5.3.1 Microcontrolador

Na fase de seleção do microcontrolador, foram consideradas diferentes arquiteturas, nomeadamente o ATmega328P (baseado na arquitetura AVR) e o STM32F410RB (baseado em ARM Cortex-M4). A Tabela 5.1 apresenta uma comparação entre algumas das principais características técnicas de ambos os dispositivos.

Característica	STM32F410RB	ATMEGA328P
Fabricante	STMicroelectronics	Microchip (Atmel)
Arquitetura	ARM Cortex-M4 (32-bit)	AVR (8-bit)
Clock Máximo	100 MHz	16 MHz
Flash	128 KB	32 kB
SRAM	32 kB	2 kB
EEPROM	N/A	1 kB
Tensão de Operação	1.7 - 3.6 V	1.8 - 5.5 V
GPIOs	50	23
ADC	12-bit (16 canais)	10-bit (8 canais)
Timers	9 (1x 32-bit)	3
I2C	3	1
SPI	3	1
UART/USART	3	1
PWM	10 canais	6 canais
DMA	16 canais	N/A
FPU	Sim (single precision)	Não
Preço (aprox.)	5,47€	2,5€

Tabela 5.1: Comparação entre STM32F410RB e ATMEGA328P

Apesar da familiaridade com a arquitetura AVR desenvolvida ao longo do ciclo de estudos, e de o ATmega328P constituir uma alternativa viável para sistemas simples, optou-se pelo STM32F410RB com base nos requisitos específicos deste projeto. Esta decisão é justificada essencialmente pelos seguintes fatores:

- **Desempenho:** o STM32 permite operar a frequências de *clock* significativamente superiores (até 100 MHz), o que se traduz numa maior capacidade de processamento, essencial na conversão e transmissão de dados.

- **Resolução do ADC:** o microcontrolador dispõe de conversores analógico-digitais com 12 bits de resolução, oferecendo maior precisão na digitalização dos sinais quando comparado com os 10 bits do ATmega328P.
- **Periféricos:** a inclusão do controlador Direct Memory Access (DMA) permite realizar transferências de dados com intervenção mínima da Central Processing Unit (CPU), reduzindo a latência e o *jitter*. Além disso, a presença de uma Floating Point Unit (FPU) facilita a execução de operações matematicamente exigentes, como as envolvidas no processamento de sinais. O arquitetura ARM Cortex-M4 suporta ainda instruções otimizadas para Digital Signal Processing (DSP), tais como multiplicação-acumulação (MAC), saturação aritmética e operações Single Instruction, Multiple Data (SIMD), que tornam o microcontrolador particularmente adequado para futuros desenvolvimentos que envolvam filtragem digital, detecção de picos ou outras análises espectrais diretamente em tempo real.
- **Capacidade de memória:** os 32 kB de Static Random-Access Memory (SRAM) disponíveis no STM32 possibilitam o armazenamento de blocos maiores de dados.

Adicionalmente, o contacto com a arquitetura ARM representa uma oportunidade de aprendizagem e desenvolvimento de competências em ambientes de desenvolvimento mais avançados.

No desenvolvimento do *firmware* para o microcontrolador STM32F410RB, optou-se pela linguagem de programação C em conjunto com a abordagem Cortex Microcontroller Software Interface Standard (CMSIS), em detrimento da camada Hardware Abstraction Layer (HAL). O CMSIS, mantido pela ARM, estabelece uma interface padronizada para os periféricos dos microcontroladores Cortex-M e oferece um controlo direto sobre o *hardware*. Por outras palavras, o CMSIS consiste na configuração de periféricos pela manipulação de registos. Esta abordagem contrasta com a HAL, que, apesar de oferecer um desenvolvimento mais rápido e intuitivo, introduz inevitavelmente *overhead* e oferece uma manipulação menos detalhada. Existe ainda a possibilidade de configuração de periféricos através da interface gráfica existente no *software* CubeIDE, e geração automática de código.

A decisão de utilizar CMSIS fundamenta-se pela possibilidade de controlo preciso dos periféricos e pela necessidade que depreende de conhecer mais aprofundadamente a arquitetura do microcontrolador. Esta abordagem permite uma gestão eficiente dos recursos, consequência da configuração direta de registos, resultando num código eficiente e com menor latência.

Para o ambiente de desenvolvimento, seleccionou-se o System Workbench for STM32 (SW4STM32), uma ferramenta baseada no Eclipse que oferece suporte integrado para programação e depuração de microcontroladores STM32, incluindo todas as bibliotecas necessárias para desenvolvimento com CMSIS.

5.3.2 Conversão USART–USB

A comunicação entre o microcontrolador e o computador será realizada através de uma ligação série, recorrendo à interface USART do STM32F410RB. Para assegurar a compatibilidade com portas USB convencionais, prevê-se a utilização de um conversor USART–Universal Serial Bus (USB) compatível com a lógica de 3,3 V do microcontrolador.

A escolha recaiu sobre o módulo TTL-234X-3V3, baseado no chip FT234X da FTDI. Este conversor é compacto, fiável e suporta taxas de transmissão de até 3 MBaud. Convenientemente, é compatível com os principais sistemas operativos sem necessidade de instalação de *drivers* adicionais, o que o torna adequado para utilização em ambiente laboratorial.

Para estimar a taxa de transmissão necessária, considera-se:

- Dois canais ADC;
- Frequência de amostragem: 48 kHz;
- Resolução: 12 bits por canal;
- Cada amostra é transmitida como dois bytes por canal (com um byte extra possível para sincronização ou controlo).

Assim, a quantidade de dados a transmitir por segundo é aproximadamente:

$$2 \text{ canais} \times 2 \text{ bytes} \times 48000 \text{ amostras/s} = 192\,000 \text{ bytes/s} = 1,536 \text{ Mb/s} \quad (5.1)$$

Mesmo com algum overhead de protocolo e períodos de latência, esta taxa situa-se confortavelmente abaixo da capacidade máxima do conversor TTL-234X, garantindo estabilidade e fiabilidade na transmissão dos dados em tempo real.

5.3.3 Componentes Eletrónicos

Nesta secção analisa-se a escolha dos principais componentes analógicos utilizados no sistema de condicionamento de sinal, à luz das características específicas dos sinais de áudio e da arquitetura proposta. Tendo em conta as frequências envolvidas (até 20 kHz), as amplitudes típicas dos sinais de entrada e os requisitos impostos pela conversão analógico-digital, foi dada particular atenção à resposta em frequência, à taxa de variação (*slew rate*) e ao comportamento dos transientes dos dispositivos selecionados. Esta análise antecedeu o dimensionamento dos circuitos, minimizando a possibilidade dos componentes utilizados introduzirem distorções ou limitações indesejadas. Serão abordados nesta análise os amplificadores operacionais, os díodos Schottky e, brevemente, os componentes passivos utilizados na implementação.

5.3.3.1 Amplificador Operacional

A escolha do amplificador operacional deve considerar as características do sinal a processar e as funções a implementar em cada bloco analógico. No presente projeto, o sinal de entrada corresponde a áudio analógico, com conteúdo útil na gama dos 20 Hz aos 20 kHz. Nesse sentido, para além de outras características técnicas, tomou-se em especial consideração dois parâmetros: a taxa de variação da saída (*slew rate*) e o produto ganho-largura de banda (Gain Bandwidth Product (GBW)), que determina a largura de banda disponível para um dado ganho em malha fechada.

A *slew rate* (SR) define a taxa máxima com que a tensão de saída do amplificador pode variar sem distorção. Para uma sinusóide com frequência f e amplitude A , a SR mínima necessária pode ser estimada por [28]:

$$SR_{\min} = 2\pi f A \quad (5.2)$$

Assumindo uma frequência máxima $f = 20$ kHz e uma amplitude de pico $A = 2$ V, obtém-se:

$$SR_{\min} = 2\pi 20000 \cdot 2 \approx 0,25 \text{ V}/\mu\text{s} \quad (5.3)$$

Este valor representa o requisito mínimo para garantir que a forma de onda não será deformada por limitação dinâmica. Apesar de alguns amplificadores operacionais clássicos apresentarem valores nominais superiores a este limiar, essa margem pode ser insuficiente em condições não ideais — por exemplo, com carga capacitiva, alimentação assimétrica ou variações térmicas — comuns em protótipos de bancada [21].

Relativamente ao GBW, quando o amplificador opera com um ganho G , a frequência de corte útil f_c pode ser estimada por:

$$f_c = \frac{\text{GBW}}{G} \quad (5.4)$$

Por exemplo, um amplificador com GBW de 1 MHz a operar com um ganho $G = 10$ terá resposta plana até cerca de 100 kHz. Se o ganho for mais elevado, a largura de banda disponível reduz-se. No limite, para preservar um sinal até 20 kHz com fidelidade, o ganho deve ser:

$$G_{\max} = \frac{\text{GBW}}{f_{\text{Nyquist}}} = \frac{1 \text{ MHz}}{20 \text{ kHz}} = 50 \quad (5.5)$$

Ou seja, se algum bloco analógico operar com um ganho superior a 50, um amplificador com GBW de 1 MHz já não assegura linearidade até 20 kHz. No contexto deste projeto, apesar de não ser expectável aplicar ganhos dessa ordem, a largura de banda foi considerada de modo a manter a flexibilidade e margem para eventuais extensões funcionais.

Foram analisados três amplificadores operacionais: o UA741CP, o LM324N e o TL084CN. A Tabela 5.2 resume os parâmetros técnicos mais relevantes para o projeto em causa, permitindo uma comparação direta entre as alternativas consideradas.

Tabela 5.2: Comparação Entre Amplificadores Operacionais Considerados.

Parâmetro	UA741CP	LM324N	TL084CN
Tensão de alimentação típica	$\pm 15\text{ V}$	$\pm 15\text{ V}$	$\pm 3\text{--}\pm 18\text{ V}$
<i>Slew Rate</i>	$0,5\text{ V}/\mu\text{s}$	$0,5\text{ V}/\mu\text{s}$	$13\text{ V}/\mu\text{s}$
Largura de banda (GBW)	1 MHz	1 MHz	4 MHz
Offset de entrada típico	2 mV	2 mV	3 mV
Número de canais por CI	1	4	4
Custo aproximado	1,13€	0,35€	1,74€

O UA741CP foi inicialmente considerado pela sua disponibilidade. Contudo, a margem de operação é reduzida face ao TL084CN, podendo gerar distorção dinâmica em condições de desenvolvimento mais adversas. O LM324N apresenta características semelhantes, com a vantagem de integrar quatro amplificadores por encapsulamento e operar com alimentação simples, mas também partilha as mesmas limitações.

O TL084CN revelou-se o mais adequado: para além de apresentar uma taxa de variação muito superior ($13\text{ V}/\mu\text{s}$), possui largura de banda de 4 MHz, o que assegura maior linearidade em condições variáveis. A sua estabilidade e fiabilidade em aplicações de áudio justificam a escolha, apesar do custo ligeiramente superior [6].

5.3.3.2 Díodo Schottky

Na secção de limitação de tensão, foi considerado o uso de um díodo Schottky BAT46 em detrimento de um díodo de junção PN convencional, como o 1N4148. Ambos são amplamente utilizados em aplicações de proteção e comutação, mas apresentam diferenças relevantes em termos de desempenho dinâmico e comportamento sob transientes [21, 22].

A Tabela 5.3 resume as principais características técnicas de ambos os dispositivos, relevantes para a função pretendida neste projeto.

Tabela 5.3: Comparação entre díodo Schottky BAT46 e díodo PN 1N4148

Parâmetro	BAT46	1N4148
Tipo de junção	Metal-Semicondutor	PN
Tensão direta típica	0,25–0,45 V	0,6–0,8 V
Tempo de recuperação inversa	$<5\text{ ns}$	4 ns a 75 ns
Capacidade típica	10 pF	4 pF
Corrente máxima contínua	200 mA	300 mA

A escolha do BAT46 justifica-se principalmente pela sua menor queda de tensão direta, o que permite limitar eficazmente picos logo acima da tensão de alimentação, protegendo os circuitos subsequentes com maior precisão. Para além disso, o seu tempo de comutação reduzido torna-o mais eficaz na contenção de transientes rápidos, sendo especialmente adequado para proteção de entradas sujeitas a variações rápidas de tensão.

Por outro lado, o BAT46 apresenta uma capacidade parasita superior à do 1N4148. Esta característica pode afetar a resposta do circuito em sinais de muito alta frequência, funcionando como um filtro passa baixo, reduzindo a velocidade de resposta [21]. No entanto, no contexto deste projeto — em que os sinais se situam na gama áudio (até 20 kHz) — esse efeito é desprezável e não compromete a função de limitação pretendida.

5.3.4 Interface Gráfica

A aplicação responsável pela visualização dos dados foi desenvolvida em Python, utilizando as bibliotecas `matplotlib` e `numpy`. Esta escolha baseou-se na simplicidade de implementação, na vasta documentação disponível e na facilidade de integração com sistemas de aquisição de dados via porta série.

A interface gráfica permite a receção contínua dos dados enviados pelo microcontrolador, realiza a transformação de Fourier (FFT), e apresenta em tempo real os espectros de frequência dos dois canais de sinal.

Optou-se por realizar o processamento no computador — em vez de o implementar diretamente no microcontrolador — justifica-se por várias razões. O STM32F410RB, embora capaz, possui apenas 32 kB de SRAM, o que impõe limitações à realização de FFTs com janelas de grande dimensão ou à execução de múltiplas análises em paralelo. Em contraste, um computador pode facilmente gerir *buffers* extensos, executar FFTs com milhares de pontos e atualizar gráficos em tempo real com fluidez. Adicionalmente, existem bibliotecas já desenvolvidas como `matplotlib` que oferecem funcionalidades avançadas de personalização de gráficos, anotação de picos, escalas logarítmicas e exportação de dados — recursos que seriam complexos de replicar diretamente num sistema embebido. Por fim, o Python é uma linguagem interpretada, de alto nível, com suporte a múltiplas bibliotecas científicas, o que acelera o desenvolvimento e facilita a modificação do código durante testes e demonstrações. Apresenta também a vantagem de ser uma linguagem popular, portanto, de fácil manutenção e/ou de implementação de melhorias.

Outras alternativas consideradas incluíram o MATLAB e o Processing. No entanto, o MATLAB apresenta restrições de licenciamento e o Processing possui menos suporte científico para operações como a FFT. Assim, o Python revelou-se a solução mais equilibrada entre desempenho, acessibilidade e facilidade de integração com a restante estrutura do sistema.

5.3.5 Ambiente de Desenvolvimento e Ferramentas de Suporte

Durante o desenvolvimento do sistema, recorreu-se a um conjunto de ferramentas de apoio no intuito de validar o dimensionamento de circuitos, gerar sinais de teste e facilitar a depuração do código. Estas ferramentas foram selecionadas com base na sua acessibilidade, compatibilidade com os dispositivos utilizados e adequação ao contexto laboratorial.

5.3.5.1 Simulação e Análise de Circuitos Analógicos

Para a análise dos blocos analógicos do sistema será utilizado o PSpice for TI. Esta ferramenta permite validar o comportamento teórico dos circuitos antes da montagem física, identificar pontos críticos de operação e ajustar os valores dos componentes de forma fiável e eficiente. Esta plataforma contém diversos modelos de componentes que simulam o seu comportamento real, sendo também por isso, uma plataforma de simulação adequada.

5.3.5.2 Geração e Controlo de Sinais de Teste

Durante os testes experimentais, será necessário dispor de sinais de entrada controlados e repetíveis. Para esse efeito, optou-se por recorrer ao *software Adobe Audition*, que oferece uma funcionalidade de geração de sinais personalizáveis.

Esta ferramenta permite gerar sinais sinusoidais de frequência e amplitude definidas, produzir sinais complexos com vários harmónicos, criar varrimentos em frequência (*frequency sweeps*), entre outras capacidades.

A saída do sinal foi fornecida diretamente pela saída de auscultadores de um computador portátil, garantindo compatibilidade com os níveis de entrada do circuito de aquisição. Esta abordagem simplificou o processo de teste, permitindo a geração e repetição exata dos sinais desejados sem necessidade de um gerador de funções externo.

5.3.6 Alimentação

Durante o processo de implementação e testes em bancada, a alimentação dos circuitos analógicos será assegurada por duas fontes reguláveis de tensão, configuradas para fornecer uma alimentação simétrica de 15 V e -15 V. Esta configuração visa garantir o funcionamento correto dos amplificadores operacionais TL084CN, cuja arquitetura requer tensões positivas e negativas para assegurar excursão total da saída e evitar distorções por saturação em sinais com componentes alternadas.

Para o fornecimento da tensão de 5 V, necessária em diversas etapas do circuito — nomeadamente para a alimentação do módulo STLink do STM3 — foi utilizado um regulador linear L7805CV, a partir de uma fonte de 15 V.

5.4 Arquitetura Detalhada da Solução Final

Após a definição da arquitetura funcional e a escolha dos componentes mais adequados para cada etapa do sistema, apresenta-se agora o diagrama completo da solução implementada. A Figura 5.2 mostra uma perspectiva mais concreta e detalhada da arquitetura proposta, incluindo os blocos anbalógicos, o microcontrolador utilizado e a interface de comunicação com o computador.

O fluxo do sinal inicia-se com a injeção de sinais áudio (antes e depois do filtro a analisar), os quais são submetidos a uma cadeia de condicionamento analógico composta por filtro passa-alto, buffer de tensão, circuito de atenuação com offset, filtro anti-aliasing e limitador de tensão. Estas etapas asseguram que o sinal cumpre os requisitos de amplitude e espectro antes de ser amostrado.

A aquisição é realizada por dois canais ADC integrados no microcontrolador STM32F410RB, que gere também a transmissão dos dados via interface USART. A comunicação com o computador é estabelecida através de um conversor TTL 234X 3V3, que realiza a conversão USART–USB.

Por fim, os dados são recebidos pela aplicação gráfica em Python, que executa o cálculo da FFT e apresenta os espectros dos dois canais em tempo real.

5.5 Condicionamento De Sinal Analógico

No desenvolvimento de *hardware*, obedeceu-se a um procedimento de implementação comum a todos os circuitos constituintes do sistema: o dimensionamento em contexto teórico, a simulação através da plataforma *PSpice* e a verificação em contexto de laboratório. A componente de *hardware* tem como principal objetivo fazer o tratamento e condicionamento de sinal a ser amostrado pelo ADC. Cada etapa será descrita com base na cadeia funcional apresentada anteriormente.

5.5.1 Tensão Máxima Do Sinal de Referência

Considerando que este projeto foi desenvolvido para ser utilizado em contexto laboratorial por diversos grupos de alunos, tornou-se essencial avaliar a amplitude do sinal de áudio fornecido pelas fontes mais prováveis — nomeadamente computadores portáteis e telemóveis. No entanto, a tensão de saída destes dispositivos pode variar significativamente consoante o fabricante, o modelo, o sistema operativo, o controlo de volume, e sobretudo, a natureza do ficheiro de áudio reproduzido.

Por exemplo, ficheiros comprimidos como MPEG-1 Audio Layer 3 (MP3) e streams de plataformas como YouTube ou Spotify podem apresentar níveis de saída diferentes quando comparados com ficheiros Pulse Code Modulation (PCM) como Waveform Audio File Format (WAV), devido a fatores como normalização de volume, compressão dinâmica

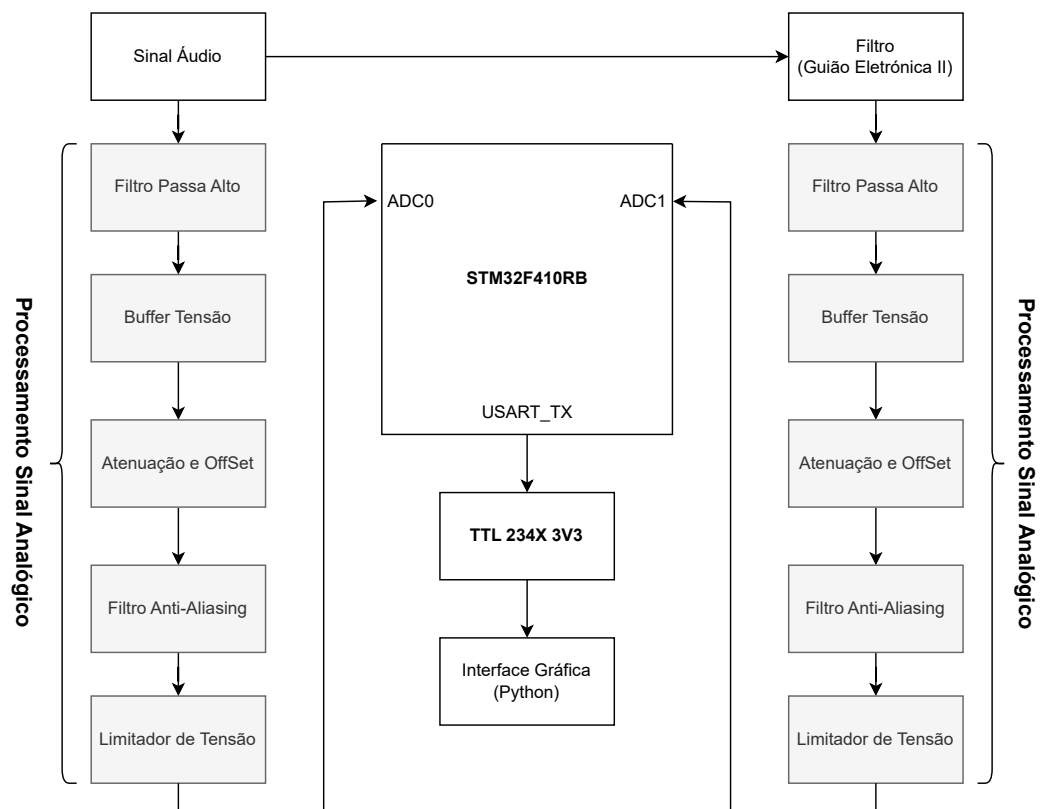


Figura 5.2: Arquitetura Geral da Solução Proposta.

e perda de informação. Para garantir uma base de comparação justa e uniforme entre dispositivos, foi criado um ficheiro de teste comum a todas as medições.

Utilizou-se o *software* Adobe Audition para gerar um sinal sinusoidal de 440 Hz, com amplitude máxima (sem distorção), exportado no formato WAV (sem compressão). Este ficheiro foi depois transferido para cada dispositivo em teste e reproduzido no máximo volume, com o objetivo de medir a tensão de saída efetiva à saída dos *headphones*.

As medições foram realizadas com um osciloscópio à saída da ficha de áudio de cada dispositivo, sendo os valores obtidos apresentados na Tabela 5.4.

Tabela 5.4: Tensão Máxima Medida à Saída de *Headphones* dos Dispositivos Analisados.

Dispositivo	Tipo	Tensão máxima (V_{peak})
HP Pavilion 15	Portátil	1,8 V
Lenovo ThinkPad E14	Portátil	1,4 V
iPhone 11	Telemóvel	1,25 V
Samsung Galaxy S20	Telemóvel	1,1 V

Com base na amostra recolhida, observou-se uma variação considerável entre dispositivos. Para efeitos de dimensionamento do circuito de atenuação e *offset*, optou-se por considerar o valor mais elevado medido — 1.8 V — correspondente ao HP Pavilion 15.

5.5.2 Filtro Passa-Alto

5.5.2.1 Dimensionamento

O primeiro passo no desenvolvimento do *hardware* consistiu no dimensionamento de um filtro passa-alto, com o objetivo de remover a componente contínua do sinal, estabilizando assim a sua oscilação em torno de 0 V. Este procedimento é essencial em sistemas de aquisição e processamento de sinais de áudio, na medida em que elimina desvios da componente contínua que poderiam afetar o funcionamento de estágios posteriores [21].

Nesse sentido, implementou-se um circuito RC, cujos componentes foram dimensionados de acordo com a equação da frequência de corte de um filtro de primeira ordem:

$$f_c = \frac{1}{2\pi RC} \quad (5.6)$$

Sendo a componente contínua do sinal constante no tempo, e considerando que o limiar da audição humana se situa em torno dos 20 Hz [1], é teoricamente viável dimensionar a frequência de corte para qualquer valor entre 0 Hz e 20 Hz. No entanto, dado que este circuito RC constitui um filtro passivo de primeira ordem, é importante considerar a sua resposta em frequência — que apresenta uma atenuação de 20 dB por década após a frequência de corte — para não comprometer o conteúdo útil do sinal [22].

O filtro foi, portanto, dimensionado para cumprir dois objetivos fundamentais: remover eficazmente a componente contínua e preservar a integridade do sinal a partir dos 20 Hz, minimizando a distorção introduzida. Atendendo a que, na frequência de corte, a amplitude do sinal é atenuada em 3 dB, optou-se por definir a frequência de corte consideravelmente abaixo do limiar da audição. Esta escolha garante uma atenuação desprezável sobre o espectro audível e uma resposta suficientemente rápida para transientes de baixa frequência [17].

A Tabela 5.5 apresenta uma comparação entre duas frequências de corte plausíveis e a respetiva atenuação, com base na expressão do módulo da resposta em frequência apresentada adiante.

Frequência de corte (f_c)	Atenuação a 0,1 Hz (dB)	Atenuação a 20 Hz (dB)
1.59 Hz	−23.9 dB	−0.03 dB
15.9 Hz	−44.0 dB	−2.2 dB

Tabela 5.5: Comparação Entre Diferentes Frequências de Corte e Respetiva Atenuação.

A determinação da atenuação do filtro para diferentes frequências de corte baseou-se na resposta em frequência (módulo) de um filtro passa-alto de primeira ordem [29], cuja expressão é:

$$|H(f)| = \frac{f}{\sqrt{f^2 + f_c^2}} \quad (5.7)$$

Com base nesta expressão, foi calculada a atenuação para $f = 20$ Hz utilizando:

$$\text{Atenuação (dB)} = 20 \log_{10}(|H(f)|) \quad (5.8)$$

Optou-se por utilizar uma resistência de 10 k Ω , o que, para uma frequência de corte próxima de 1.59 Hz, resulta num condensador de capacidade de 10 μ F. À saída do filtro, foi implementado amplificador operacional *buffer* seguidor de tensão, com o objetivo de isolar as impedâncias de entrada e saída, evitando distorções causadas por carregamento do circuito posterior. A Figura 5.3 ilustra o circuito desenvolvido.

5.5.2.2 Simulação

A simulação da resposta em frequência do filtro RC foi realizada em *PSpice*, com uma varredura de frequência entre 0 Hz e 100 Hz (modo *AC Sweep*). As medições efetuadas a partir do *software* e a curva de resposta são apresentadas nas Figuras 5.4 e 5.5, respetivamente.

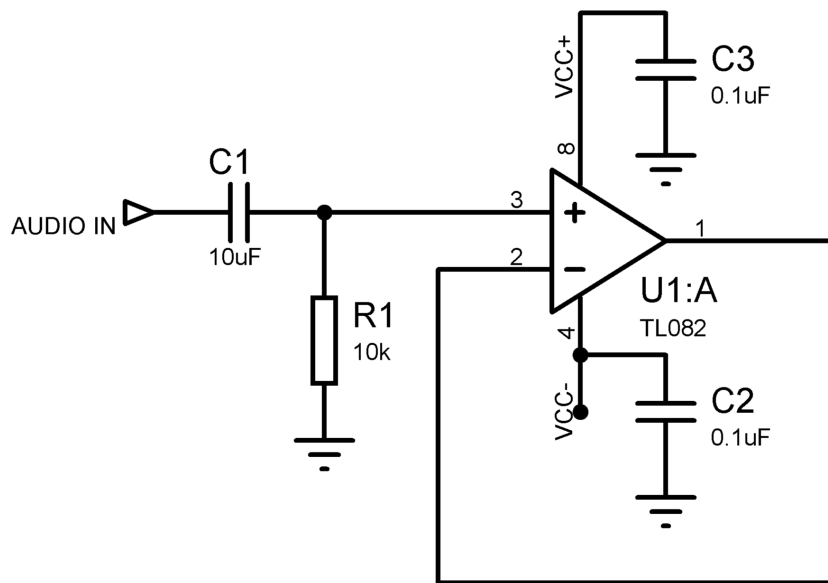


Figura 5.3: Filtro Passa Alto e *Buffer* de Tensão.

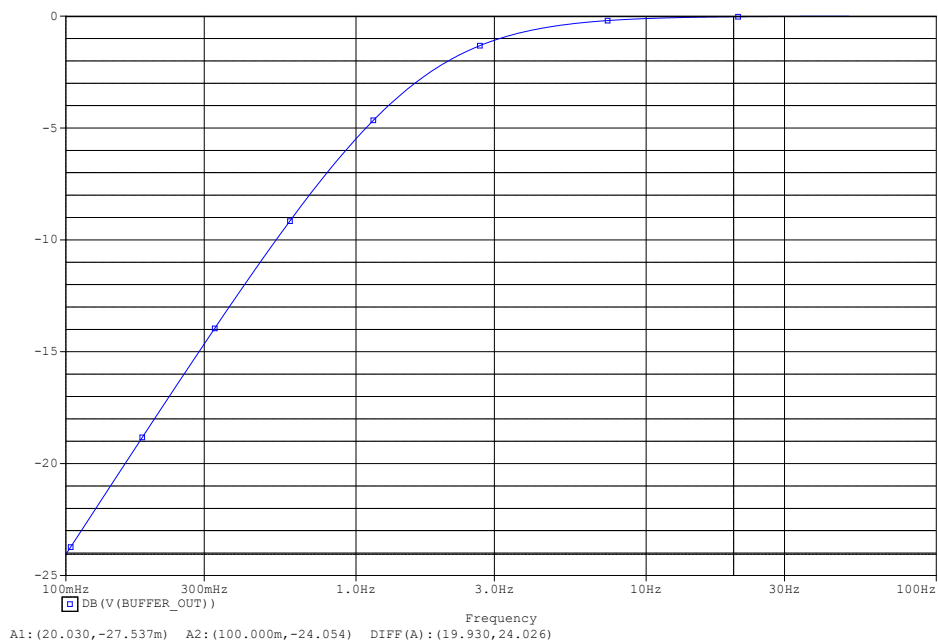


Figura 5.4: Simulação AC Sweep do Filtro RC com $f_c = 1.59 \text{ Hz}$ - Atenuação (dB) em Função da Frequência (Hz).

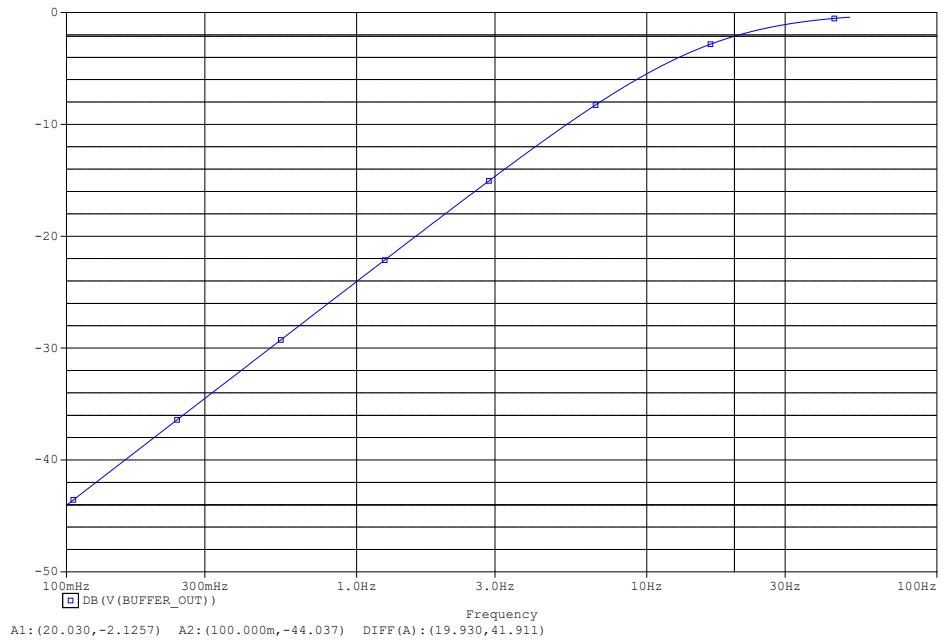


Figura 5.5: Simulação AC Sweep do filtro RC com $f_c = 15.9 \text{ Hz}$ - Atenuação (dB) em Função da Frequência (Hz).

Os valores obtidos em simulação revelaram consistência com os cálculos efetuados validando o começo da fase de implementação.

5.5.2.3 Implementação

Procedeu-se à verificação experimental do comportamento do filtro passa-alto implementado, recorrendo ao Adobe Audition e a medições com um osciloscópio digital. O objetivo foi confirmar, na prática, a atenuação prevista teoricamente para frequências próximas da frequência de corte.

O filtro RC foi construído utilizando uma resistência de $10 \text{ k}\Omega$ com tolerância de 1 %, selecionada para garantir maior estabilidade e reprodutibilidade do valor de corte. O condensador utilizado foi eletrolítico, com capacidade de $10 \mu\text{F}$, resultando numa frequência de corte teórica de aproximadamente 1.59 Hz conforme a equação (5.6).

O sinal de teste foi uma sinusoidal pura de 2 Hz , gerada no Adobe Audition e injetada diretamente à entrada do filtro. A medição no osciloscópio revelou uma amplitude de pico de 1.72 V , conforme mostrado na Figura 5.6.

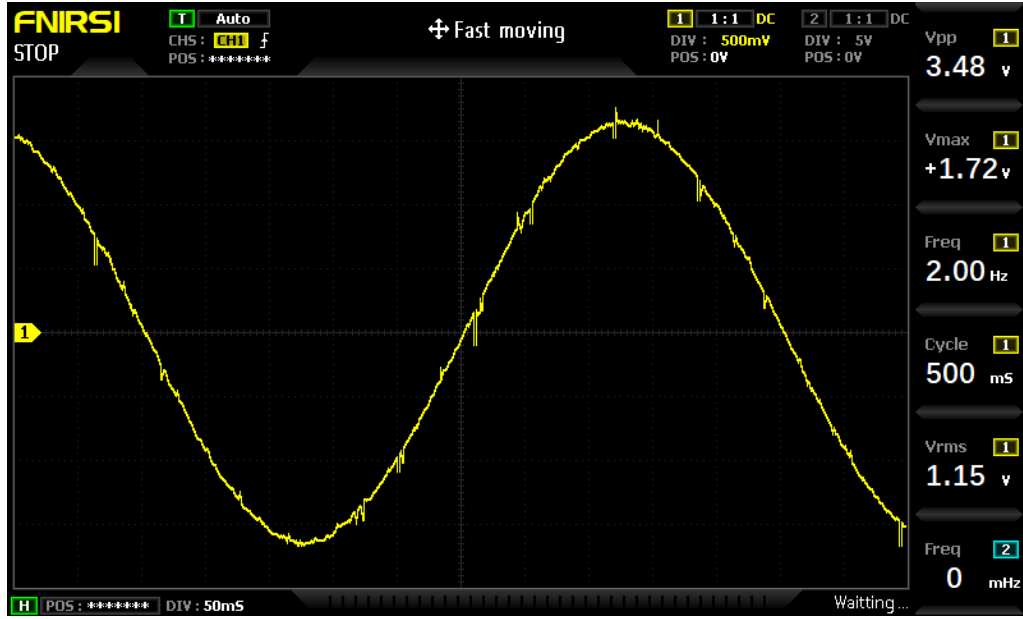


Figura 5.6: Amplitude Sinusoidal de 2 Hz à Entrada do filtro RC.

Com base na frequência do sinal ($f = 2 \text{ Hz}$) e na frequência de corte do filtro, a atenuação teórica esperada pode ser determinada pela resposta em frequência do filtro passa-alto de primeira ordem:

$$|H(f)| = \frac{f}{\sqrt{f^2 + f_c^2}} = \frac{2}{\sqrt{2^2 + 1.59^2}} \approx 0.783 \quad (5.9)$$

A correspondente atenuação em dB é:

$$A_{\text{dB}} = 20 \log_{10}(|H(f)|) \approx 20 \log_{10}(0.783) \approx -2.13 \text{ dB} \quad (5.10)$$

Logo, a amplitude de saída esperada será:

$$V_{\text{out, peak}} = V_{\text{in, peak}} \cdot |H(f)| = 1.72 \cdot 0.783 \approx 1.35 \text{ V} \quad (5.11)$$

A medição experimental registou uma amplitude de pico de aproximadamente 1.32 V, conforme ilustrado na Figura 5.7, o que valida a previsão teórica com uma margem de erro aceitável para os componentes utilizados.

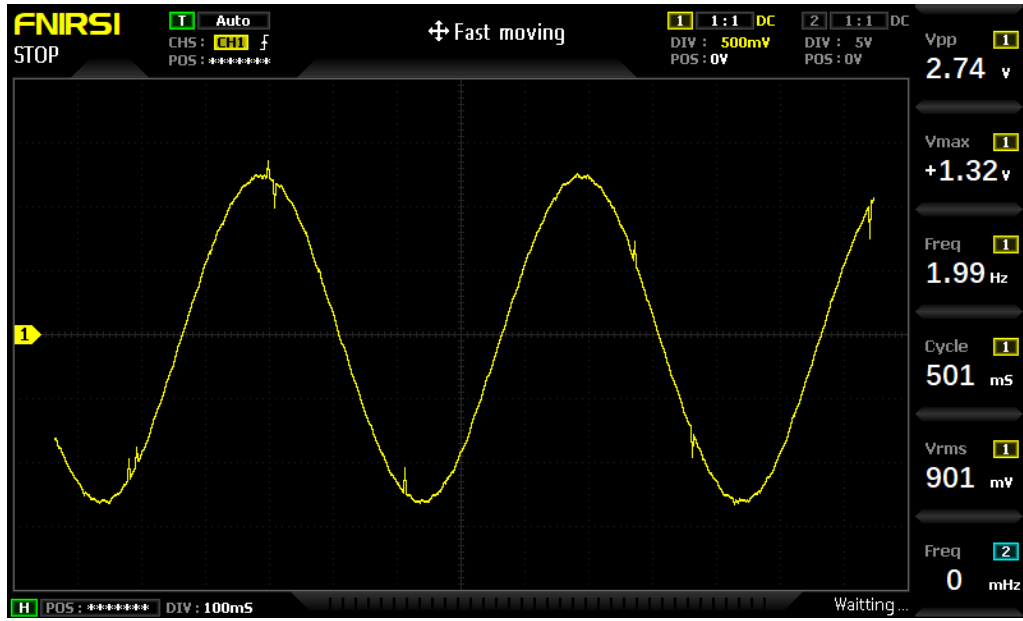


Figura 5.7: Amplitude Sinusoidal de 2 Hz à Saída do Filtro RC.

5.5.3 Atenuação e *Offset*

A conversão analógico-digital impõe restrições à amplitude dos sinais de entrada. No caso do STM32F410RB, o conversor ADC opera entre 0 V e 3,3 V, sendo necessário garantir que o sinal a amostrar permaneça dentro desse intervalo. Por outro lado, para maximizar a resolução efetiva da conversão, é desejável que a amplitude do sinal utilize a maior fração possível de tensões de entrada do ADC.

Considerando que os sinais em análise poderão ser amplificados pelo equalizador desenvolvido em laboratório — com um ganho máximo de 12,5 dB em determinadas bandas —, o circuito de condicionamento analógico foi dimensionado de forma a prevenir a saturação do ADC considerando o pior cenário.

5.5.3.1 Dimensionamento

O ganho linear correspondente aos 12,5 dB é obtido pela conversão logarítmica:

$$G = 10^{\frac{12,5}{20}} \approx 4,22 \quad (5.12)$$

Assim, para que o sinal amplificado não ultrapasse a tensão máxima de entrada do ADC, a amplitude de pico do sinal original deve ser limitada a:

$$V_{\text{peak}} = \frac{3,3}{G} = \frac{3,3}{4,22} \approx 0,783 \text{ V} \quad (5.13)$$

Este valor representa o nível de referência para o dimensionamento da atenuação. Ao garantir que o sinal à entrada do equalizador não excede 0.783 V, mesmo após uma eventual

amplificação de 12,5 dB, assegura-se que a saída se mantém dentro da gama admissível do conversor, evitando saturação ou *clipping* do sinal.

A Figura 5.8 ilustra esse cenário com um sinal de 1 V_{pp} a 440 Hz, amplificado em 12,5 dB — atingindo assim os limites da gama de entrada do conversor.

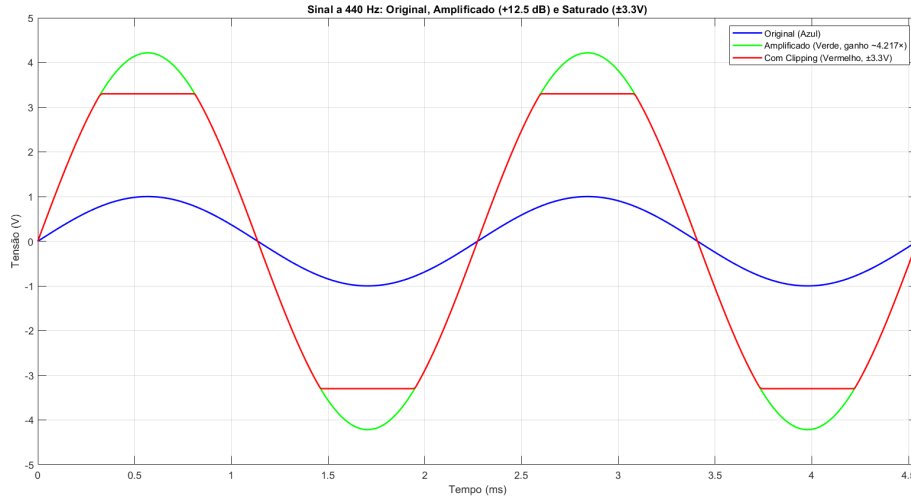


Figura 5.8: Sinal de 1 kHz, com 1.65 V_{pp}, após Amplificação de 12,5 dB.

Considera-se pertinente referir que os sinais analisados não serão necessariamente sinusoidais. Num sinal áudio, tomando uma música como exemplo, a energia não está concentrada numa só frequência mas distribuída ao longo do espectro audível. Nestas circunstâncias, um ganho de 12,5 dB na frequência de 1 kHz (por exemplo) não resultará necessariamente em *clipping*. Ainda assim, considerou-se mais adequado dimensionar o circuito de acordo com o pior cenário possível, dotando o sistema para lidar com qualquer sinal, independentemente do ganho introduzido.

Assumiu-se, por isso, um sinal de entrada de 1.8 V_{peak} (ver Secção 5.5.1). Para garantir que o sinal à saída do amplificador não exceda o limite máximo admissível de 0.783 V_{peak}, foi necessário aplicar um ganho inferior a 1 (atenuação). Para isso, optou-se pela configuração de amplificador inversor.

A tensão de saída de um amplificador inversor é dada por:

$$V_o = -\frac{R_f}{R_{in}} \times V_i \quad (5.14)$$

onde R_f é a resistência de realimentação e R_{in} é a resistência entre o sinal de entrada e a entrada inversora do amplificador operacional.

Atribuiu-se $R_f = 10 \text{ k}\Omega$ e obteve-se $R_{in} \approx 45,97 \text{ k}\Omega$.

De seguida, acrescentou-se um *offset* de 1,65 V (metade da tensão de referência do ADC), de modo a fazer o sinal oscilar apenas em tensões positivas em torno deste valor,

garantindo a mesma excursão nos sentidos ascendente e descendente. O *offset* foi gerado a partir do pino de 3,3V do microcontrolador, com recurso a um divisor de tensão - constituído por duas resistências de igual valor em série - seguido de um *buffer* de tensão. Este sinal, foi então somado ao sinal de referência na entrada não inversora de um amplificador inversor. Por fim, à saída deste circuito foi adicionado outro amplificador inversor com ganho unitário negativo ($G = -1$), no intuito de restaurar a polaridade original do sinal. O circuito completo pode ser observado na Figura 5.9.

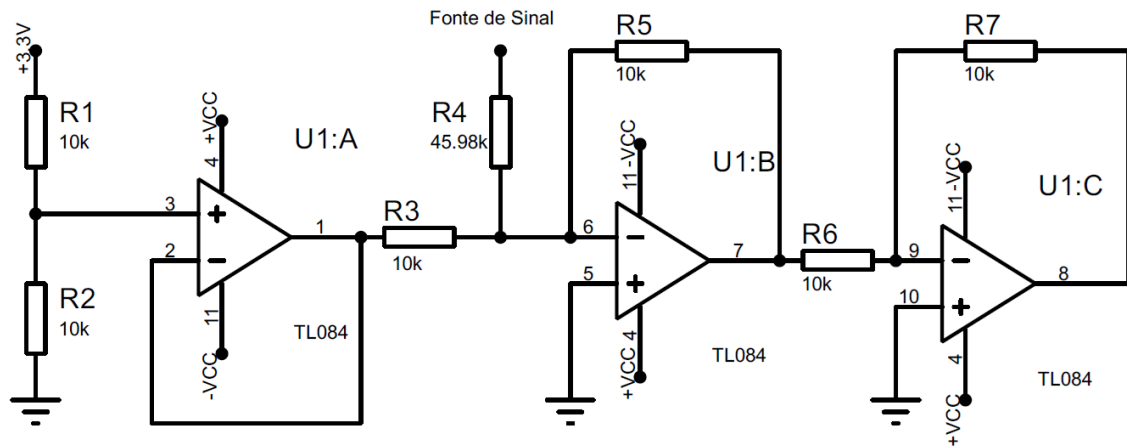


Figura 5.9: Circuito de Atenuação e *Offset*.

5.5.3.2 Simulação

A simulação do circuito foi realizada na plataforma *PSpice*, com o objetivo de validar os valores dimensionados antes da implementação física. A Figura 5.10 mostra o resultado da simulação, onde se observa o sinal de entrada, com aproximadamente $1.8 V_{\text{peak}}$ (a azul), e o sinal à saída do circuito (a vermelho) centrado a $1,65 V$.

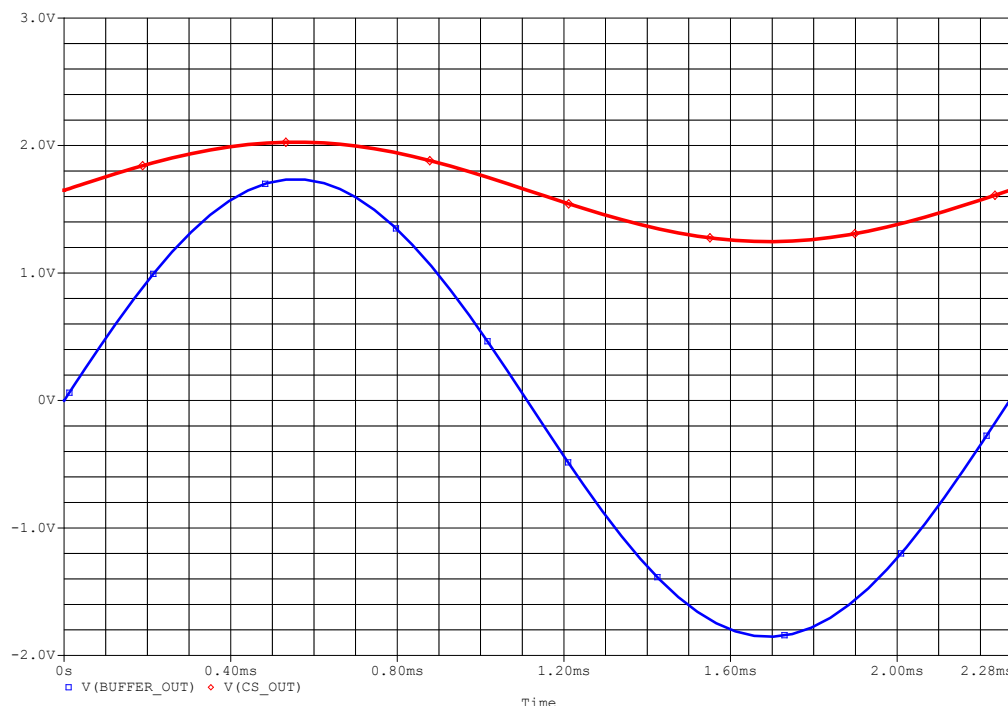


Figura 5.10: Simulação em *PSpice* do Circuito de Atenuação e Aplicação de *Offset* DC.

Os resultados obtidos estão em conformidade com os valores teóricos calculados, confirmando o correto dimensionamento do circuito e validando o início da fase de implementação prática.

5.5.3.3 Implementação

Na implementação, gerou-se um sinal sinuoidal de 440 Hz recorrendo ao Adobe Audition e avaliou-se o comportamento do circuito. As pontas do osciloscópio foram colocadas à entrada do circuito e à saída do circuito, respetivamente. Na Figura 5.11 é possível observar os resultados obtidos da comparação do sinal de entrada (a azul) com o sinal de saída (a amarelo) do circuito implementado.

Verificaram-se algumas discrepâncias em relação aos resultados obtidos na simulação, quando comparados com o dimensionamento teórico, nomeadamente o facto de o sinal de

saída ter um V_{pp} ligeiramente inferior ao previsto teoricamente. Este comportamento deve-se, essencialmente, ao facto das resistências utilizadas não corresponderem exatamente ao dimensionamento teórico.

Ainda assim, os resultados foram considerados satisfatórios e suficientemente próximos do comportamento esperado, validando a transição para a fase de implementação prática.

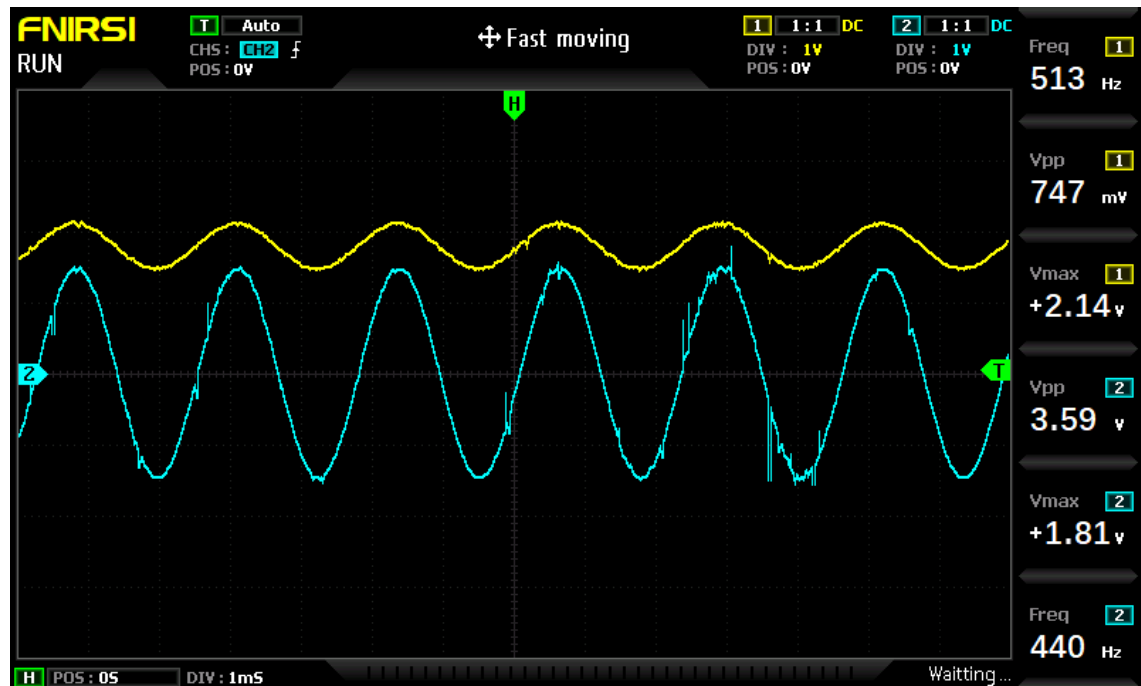


Figura 5.11: Implementação - Atenuação e *Offset*.

5.5.4 Filtro *Anti-Aliasing*

A implementação do filtro *anti-aliasing* teve como principal objetivo garantir que componentes de alta frequência — acima de 24 kHz — fossem devidamente atenuadas antes da conversão analógico-digital, prevenindo distorções espectrais causadas por *aliasing*. Para fundamentar o seu dimensionamento, foi levada em consideração a gama dinâmica do ADC e a sua resolução de 12 bits, e calculou-se a mínima variação de tensão detetável. Este valor serviu de referência para a definição da atenuação mínima requerida fora da banda útil.

Com base nesses critérios, estabeleceu-se a necessidade de um filtro com resposta suficientemente acentuada acima de 24 kHz, de forma a garantir que qualquer componente acima da frequência de Nyquist não interfira com o sinal amostrado. Optou-se pela implementação de um filtro passa-baixo do tipo *Butterworth*, dada a sua resposta em frequência sem ondulações na banda passante nem na banda de rejeição.

Esta secção descreve o processo de dimensionamento do filtro escolhido, justificando a ordem selecionada e os componentes utilizados. Por fim, são apresentados os resultados obtidos em simulação e os dados de verificação experimental, com vista a comprovar a conformidade com os objetivos definidos.

5.5.4.1 Considerações Iniciais

Antes de se proceder ao dimensionamento do filtro anti-aliasing, foi necessário considerar a resolução do conversor analógico-digital (ADC) utilizado no microcontrolador. Considerando os valores de entrada entre 0 V e 3,3 V e a resolução de 12 bits, o ADC é capaz de detetar variações mínimas de tensão da ordem de:

$$\Delta V_{\text{mín}} = \frac{3,3}{2^{12}} = \frac{3,3}{4096} \approx 805.664 \mu\text{V} \quad (5.15)$$

Este valor representa a mínima variação de tensão detetável. Para evitar que componentes indesejadas do sinal — nomeadamente frequências acima da frequência de Nyquist — introduzam distorções com amplitude superior a este nível, deve garantir-se que o filtro apresente uma atenuação mínima correspondente.

Convertendo essa variação mínima detetável para unidades logarítmicas, relativamente à tensão de referência, obtém-se:

$$A_{\text{mín}} = 20 \log_{10} \left(\frac{805,664 \times 10^{-6}}{3,3} \right) \approx -72.25 \text{ dB} \quad (5.16)$$

Ou seja, num cenário ideal, seria necessário garantir que todas as componentes acima de 24 kHz fossem atenuadas em pelo menos 72 dB. Embora exigente, este valor serviu como referência para a escolha da ordem e topologia do filtro, descritas na secção seguinte.

5.5.4.2 Dimensionamento

O dimensionamento do filtro passa-baixo do tipo Butterworth foi realizado com base na metodologia apresentada em [21]. Nesta secção apresentam-se os passos mais relevantes do procedimento seguido.

O primeiro passo consistiu em normalizar os requisitos do filtro de modo a aplicar os critérios de *design* dos filtros ativos de Butterworth. Este processo permite determinar o fator de inclinação da transição (em inglês, *steepness factor*), que quantifica a rapidez com que o ganho do filtro decresce após a frequência de corte.

Este fator é dado por:

$$A_s = \frac{f_s}{f_{3\text{dB}}} \quad (5.17)$$

onde: A_s corresponde ao *steepness factor*, f_s é a frequência na qual se deseja atingir uma determinada atenuação (frequência de rejeição) e $f_{3\text{dB}}$ é a frequência de corte do filtro (frequência onde o ganho cai 3 dB).

No caso deste projeto, a frequência de rejeição foi definida como $f_s = 24\text{ kHz}$ e a frequência de corte como $f_{3\text{dB}} = 8\text{ kHz}$ de modo a obter-se um *steepness factor* (A_s) de 3. Esta decisão levou em consideração o gráfico da Figura 3.4 que descreve a curva de atenuação em função da frequência normalizada, para filtros de diferentes ordens. Analisando o gráfico, depreende-se que uma frequência normalizada de 2 (que resultaria, neste caso, numa frequência de corte de 12 kHz) implicaria um filtro de 10^a ordem para a mesma atenuação. Dado o intervalo de interesse do filtro desenvolvido no guião laboratorial, considerou-se que esta abordagem implicaria uma complexidade acrescida que não traria vantagens evidentes sob o ponto de vista prático.

Optou-se, deste modo, por um filtro de sétima ordem no intuito de obter uma atenuação de aproximadamente 70 dB a 24 kHz.

A tabela apresentada na Figura 5.12 apresenta o número de secções, em função da ordem do filtro, e os respetivos valores normalizados para os condensadores. Nesse sentido, conclui-se que para um filtro de sétima ordem, serão necessárias três secções, uma de três polos e duas de dois polos.

ORDER n	NUMBER OF SECTIONS	SECTIONS	C_1	C_2	C_3
2	1	2-pole	1.414	0.7071	
3	1	3-pole	3.546	1.392	0.2024
4	2	2-pole 2-pole	1.082 2.613	0.9241 0.3825	
5	2	3-pole 2-pole	1.753 3.235	1.354 0.3090	0.4214
6	3	2-pole 2-pole 2-pole	1.035 1.414 3.863	0.9660 0.7071 0.2588	
7	3	3-pole 2-pole 2-pole	1.531 1.604 4.493	1.336 0.6235 0.2225	0.4885
8	4	2-pole 2-pole 2-pole 2-pole	1.020 1.202 2.000 5.758	0.9809 0.8313 0.5557 0.1950	

Figura 5.12: Valores Normalizados do Filtro de Butterworth [21].

A disposição dos componentes nas respectivas secções deverá seguir o exemplo apresentado na Figura 5.13.

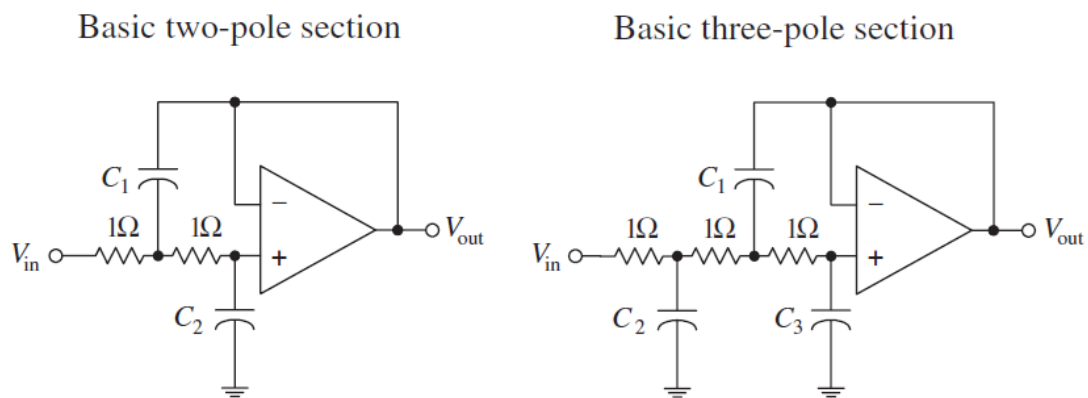


Figura 5.13: Disposição dos Componentes nas Secções de 2 Polos e nas Secções de 3 Polos [21].

O circuito completo com os valores normalizados pode ser observado na Figura 5.14.

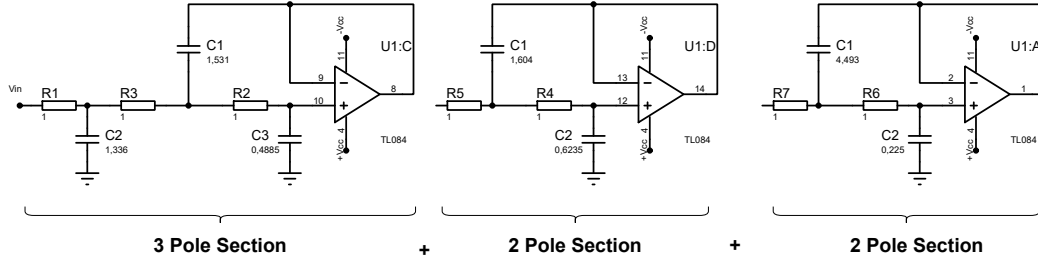


Figura 5.14: Filtro Butterworth Normalizado.

Embora os valores normalizados do filtro Butterworth apresentem o comportamento desejado em termos de resposta em frequência, os valores absolutos de impedância são comercialmente inviáveis. Torna-se, por isso, necessário efetuar o escalonamento do circuito para a frequência de corte real ($f_{3\text{dB}}$) e para uma impedância característica prática (Z). Este processo permite adaptar os valores dos componentes a gamas realistas, mantendo a forma da resposta em frequência.

O ajuste é realizado de acordo com as seguintes expressões:

$$C = \frac{C_{\text{norm}}}{Z 2\pi f_{3\text{dB}}} \quad (5.18)$$

$$R = Z R_{\text{norm}} \quad (5.19)$$

onde C_{norm} e R_{norm} são os valores normalizados extraídos da tabela de projeto do filtro Butterworth, $f_{3\text{dB}}$ é a frequência de corte real pretendida e Z é a impedância arbitrada para escalonamento (neste caso, $10\text{ k}\Omega$).

Assumindo $Z = 10\text{ k}\Omega$ e $f_{3\text{dB}} = 8\text{ kHz}$, foram obtidos os valores de capacidade reais apresentados na Tabela 5.6. Estes valores estão organizados por secções do filtro implementado.

Tabela 5.6: Capacidades Resultantes após Escalonamento em Frequência e Impedância.

Condensador	Secção 3 Polos	Secção 2 Polos	Secção 2 Polos
C1	3,05 nF	3,19 nF	8,94 nF
C2	2,66 nF	1,24 nF	448 pF
C3	971,8 pF		

5.5.4.3 Simulação

Para efeitos de simulação, as capacidades calculadas foram ajustadas para valores comerciais normalizados, de modo a viabilizar a implementação prática com componentes disponíveis no mercado. Procurou-se garantir que os valores utilizados permanecessem o mais próximos possível dos valores teóricos, de forma a manter a resposta em frequência do filtro dentro dos requisitos estabelecidos. Os valores finais utilizados estão listados na Tabela 5.7.

Tabela 5.7: Capacidades Utilizadas na Simulação após Ajuste para Valores Comerciais.

Condensador	Secção 3 Polos	Secção 2 Polos	Secção 2 Polos
C1	3,3 nF	3,3 nF	10 nF
C2	2,2 nF	1,5 nF	0,5 nF
C3	1 nF		

A simulação foi realizada na plataforma *PSpice*, recorrendo a uma análise em frequência do tipo *AC Sweep*, no intervalo de 0 Hz a 24 kHz. Esta análise permitiu verificar a resposta do filtro *anti-aliasing* na gama de interesse e validar a sua capacidade de atenuar adequadamente componentes acima da frequência de Nyquist. O resultado da simulação é apresentado na Figura 5.15.

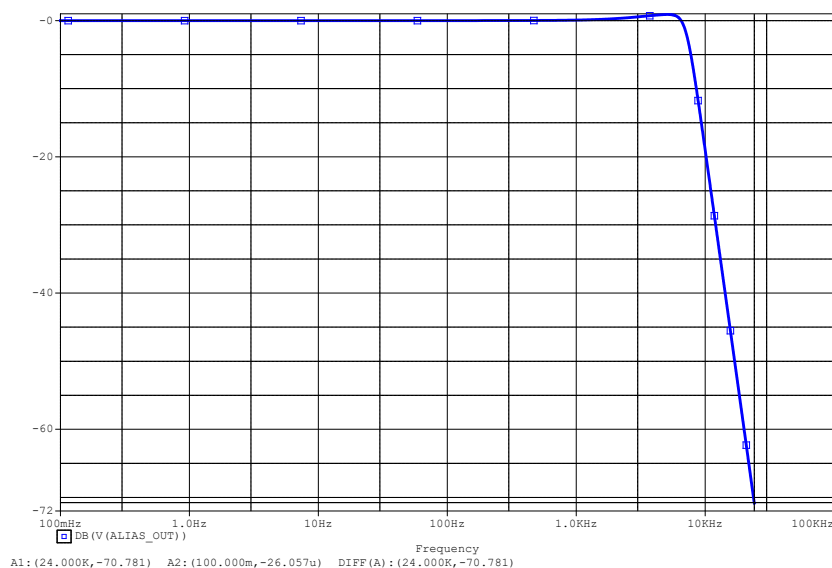


Figura 5.15: Resultado da Simulação em *PSpice* do Filtro *Anti-Aliasing* com Valores Comerciais.

O resultado da simulação revelou-se consistente com o comportamento expectável do circuito. A resposta em frequência confirma a presença de uma atenuação acentuada nas gamas superiores ao ponto de corte.

Verifica-se uma ligeira elevação de ganho em torno da frequência de corte (inferior a 1 dB), atribuída ao ajuste dos valores dos condensadores para versões comerciais e às tolerâncias dos componentes utilizados, com ênfase nos condensadores. Considera-se que estas variações resultaram num aumento do fator de qualidade (Q), originando um overshoot característico.

O desempenho global do filtro manteve-se dentro dos parâmetros definidos. Em particular, obteve-se uma atenuação de aproximadamente -71 dB a 24 kHz, valor coerente com os requisitos de rejeição impostos pela resolução do ADC e pela frequência de Nyquist do sistema.

5.5.4.4 Implementação

Na fase de validação experimental, realizaram-se medições com o objetivo de reconstruir a curva de resposta em frequência do filtro anti-*aliasing* implementado. Para esse efeito, foram gerados sinais sinusoidais com diferentes frequências utilizando o *software* Adobe Audition, injetando-os diretamente à entrada do filtro.

Para cada frequência, foi medida a amplitude máxima (V_{\max}) do sinal de entrada e de saída, permitindo calcular o ganho em decibéis (dB) através da fórmula:

$$G_{\text{dB}} = 20 \log_{10} \left(\frac{V_{\text{out}}}{V_{\text{in}}} \right) \quad (5.20)$$

Os valores obtidos encontram-se organizados na Tabela 5.8.

Tabela 5.8: Ganho Experimental do Filtro *Anti-Aliasing* em Função da Frequência.

Frequência (Hz)	$V_{\max, \text{ in}}$ (V)	$V_{\max, \text{ out}}$ (V)	Ganho (dB)
1	1,91	1,89	0,000
1000	1,91	1,89	-0,091
2000	1,91	1,95	0,180
5000	1,91	2,10	0,824
6000	1,91	2,42	2,056
7000	1,91	1,55	-1,814
7200	1,91	1,37	-2,887
7500	1,91	1,11	-4,714
8000	1,91	0,848	-7,053
10000	1,93	0,117	-18,655

A partir destes dados, construiu-se em Excel o gráfico da resposta em frequência do

filtro, possibilitando uma análise comparativa com os resultados obtidos por simulação. Esta análise permitiu confirmar a coerência entre o comportamento previsto e o observado em laboratório, nomeadamente a queda progressiva do ganho a partir da frequência de corte esperada. O gráfico que resultou desta operação é exibido na Figura 5.16.

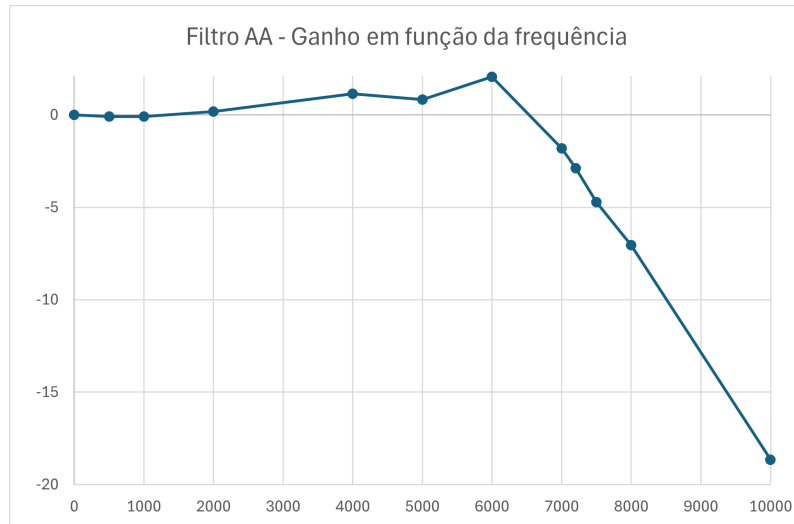


Figura 5.16: Filtro AA - Ganho (em dB) em Função da Frequência (Hz).

Por outro lado, em alguns aspetos a análise revelou um comportamento do circuito ligeiramente diferente do previsto. A frequência de corte estimada a partir dos dados experimentais situa-se em torno de 7200 Hz, com um ganho de aproximadamente -2.9 dB. A 8000 Hz, observou-se uma atenuação consideravelmente superior à calculada, de cerca de 7 dB.

Este desvio face ao comportamento teórico e à simulação pode ser justificado pelas tolerâncias dos componentes passivos utilizados, em particular dos condensadores, que afetam diretamente a frequência de corte de cada secção do filtro. Apesar das discrepâncias observadas, a resposta global do filtro validou a sua funcionalidade como barreira anti-*aliasing*, assegurando uma atenuação progressiva para frequências acima do intervalo útil.

5.5.5 Limitador de Tensão

O objetivo deste módulo é proteger a entrada do conversor ADC contra eventuais picos de tensão superiores a 3.3 V, que poderiam danificar o microcontrolador ou comprometer a integridade dos dados adquiridos. Para esse efeito, implementou-se um circuito limitador de tensão baseado num amplificador operacional, díodos e uma resistência de limitação de corrente. Este tipo de configuração é frequentemente referido como superdiodo com limitação por Zener [22], sendo eficaz na proteção de entradas sensíveis contra sobretensões.

5.5.5.1 Dimensionamento

Atendendo à gama dinâmica do ADC utilizada (0–3.3 V), foi selecionado um diodo Zener BZX85C3V3 para limitar a tensão máxima à entrada. O circuito implementado, representado na Figura 5.17, recorre a um amplificador operacional configurado como seguidor de tensão, garantindo uma impedância de saída reduzida. À saída, foi colocado um diodo de sinal BAT46 (D1), orientado para bloquear tensões inferiores a 0 V, evitando que o sinal fique abaixo da gama admissível. Em paralelo, encontra-se o diodo Zener (D2), responsável por limitar a tensão superior a aproximadamente 3.3 V ao entrar em condução inversa. A resistência de 330 Ω posicionada entre o amplificador e os díodos serve para limitar a corrente nos momentos em que ocorre recorte, protegendo tanto os díodos como a saída do circuito ativo.

Esta topologia visa garantir que o sinal entregue ao ADC permanece sempre dentro dos limites seguros da gama de conversão, ou seja, entre 0 V e 3.3 V, sem distorção significativa do conteúdo útil. A utilização do amplificador operacional com realimentação permite compensar a queda de tensão nos díodos, assegurando uma resposta rápida e precisa.

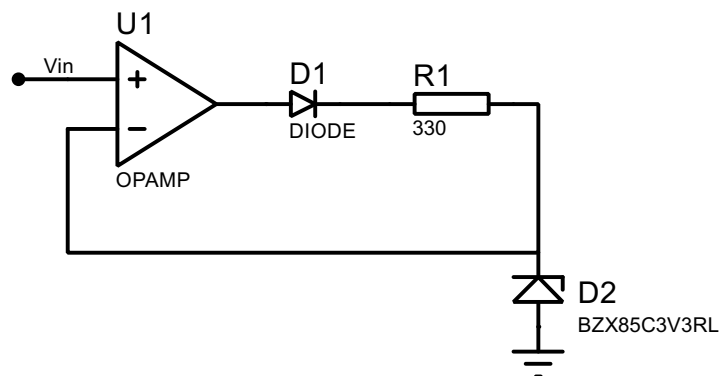


Figura 5.17: Circuito Limitador de Tensão com Proteção Ativa e Diodo Zener.

5.5.5.2 Simulação

A simulação do circuito limitador de tensão foi realizada na plataforma *PSpice*, recorrendo a uma análise do tipo *DC Sweep* com varredura entre -1 V e 5 V . Esta análise permitiu observar a resposta do circuito para um intervalo alargado de tensões de entrada, abrangendo tanto a região inferior como superior à gama admissível do ADC.

A Figura 5.18 apresenta o resultado da simulação, evidenciando o comportamento de limitação do circuito. Verifica-se que, para tensões inferiores a 0 V , a saída é bloqueada pelo diodo Schottky, mantendo-se próxima de zero. Por outro lado, para tensões superiores a 3.3 V , observa-se a atuação do diodo Zener, que restringe a tensão máxima à saída a este valor.

Este comportamento confirma o dimensionamento do circuito, assegurando que o sinal entregue ao ADC permanece confinado à gama de funcionamento entre 0 V e 3.3 V , conforme pretendido.

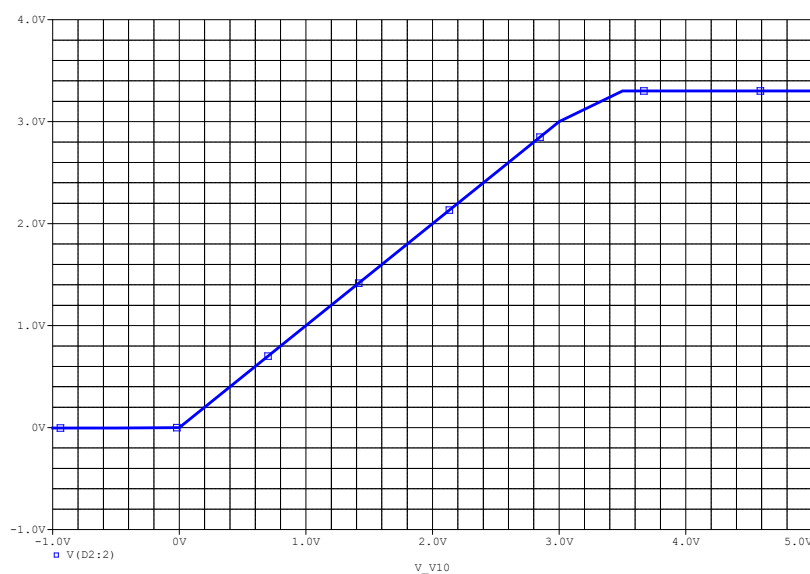


Figura 5.18: Simulação do Circuito Limitador de Tensão com Análise DC Sweep (-1 V a 5 V).

5.5.5.3 Implementação

As medições foram efetuadas com recurso ao *software* Adobe Audition como gerador de sinais, gerou-se uma sinusoidal de 440 Hz , e aumentou-se sucessivamente a amplitude de modo a analisar o comportamento do circuito. Este ensaio permitiu apurar que o sinal está limitado a 0 V e a aproximadamente $3,2\text{ V}$, conforme demonstra a Figura 5.19. De referir que se considera que a saturação distinta entre a arcada superior e inferior do sinal se deve

ao facto do *offset* do sinal não corresponder exatamente ao valor previsto teoricamente (ver Secção 5.5.3).

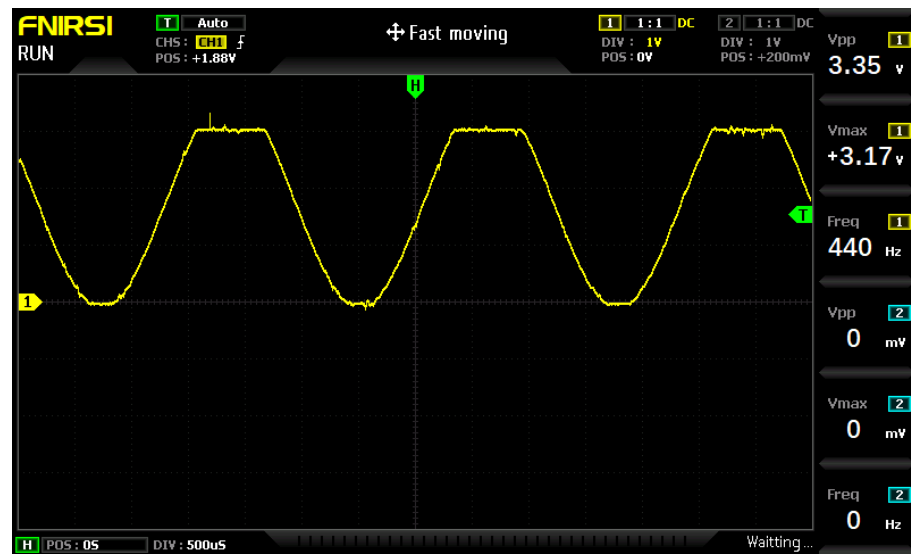


Figura 5.19: Medição do Circuito Limitador de Tensão com Sinusoidal de 440 Hz.

5.6 Desenvolvimento de *Firmware*

5.6.1 Introdução

Esta Secção descreve o desenvolvimento da componente de software responsável pelo controlo da aquisição de dados, processamento e comunicação com o exterior. O código foi estruturado de forma modular, com separação entre funções de inicialização, controlo de periféricos e lógica principal. A configuração dos periféricos do microcontrolador foi implementada de acordo com os requisitos apresentados na Secção 5.1.

No desenvolvimento desta Secção, começa por apresentar-se a arquitetura geral da solução proposta, numa perspetiva macroscópica do seu funcionamento. De seguida, cada um dos procedimentos implementados é detalhado individualmente.

5.6.1.1 Arquitetura Geral da Componente de *Firmware*

A Figura 5.20 ilustra a arquitetura geral da solução implementada no microcontrolador.

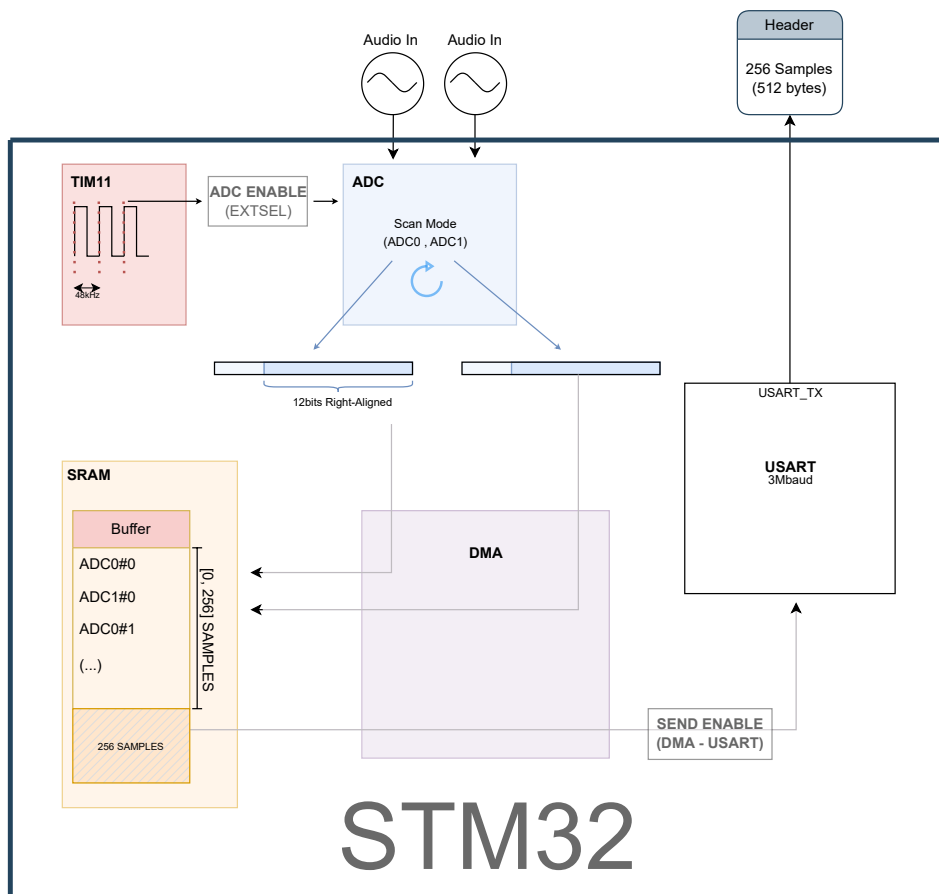


Figura 5.20: Configuração STM32 - Diagrama Geral.

O processo inicia-se com a recolha de amostras através de dois canais de entrada analógicos, de forma alternada e sequencial (modo *Scan* do ADC), a uma frequência de amostragem de 48 kHz. O intervalo de tempo entre amostras é definido por um *trigger* externo, gerado pelo temporizador TIM11. As amostras são transferidas diretamente para um *buffer* circular na SRAM através de DMA. Este *buffer*, com capacidade para 512 amostras (1024 bytes), desencadeia uma interrupção sempre que metade da sua capacidade (256 amostras) é preenchida. Por sua vez, esta interrupção ativa o envio desse bloco de 256 amostras para o periférico USART, novamente através de DMA.

Finalmente, na rotina de envio de dados da USART, é acrescentado um cabeçalho de 2 bytes para garantir a sincronização, sendo o bloco de dados enviado pela porta série.

Esta lógica de implementação procurou minimizar tarefas bloqueantes e reduzir o processamento na CPU, recorrendo intensivamente ao DMA, à comunicação direta entre periféricos (como o *trigger* do TIM11 para o ADC) e a rotinas de interrupção.

5.6.2 STM32 – Arquitetura e Periféricos

A implementação da solução proposta exige um conhecimento prévio da arquitetura do microcontrolador STM32F410RB, nomeadamente da organização dos seus barramentos, da disposição dos periféricos e dos mecanismos de controlo da alimentação e frequência de operação. Esta compreensão permite garantir que os periféricos operam de forma correta e eficiente, dentro dos limites estabelecidos pelo fabricante.

5.6.2.1 Barramentos e Ativação de Periféricos

O STM32F410RB organiza os seus periféricos em três barramentos principais: AHB1, APB1 e APB2. O barramento AHB1 dá acesso direto à memória SRAM, aos General Purpose Input Output (GPIO) e ao controlador de DMA. Já os barramentos APB1 e APB2 integram periféricos como temporizadores, USART e o ADC. Cada um destes barramentos opera com uma frequência máxima distinta: até 50 MHz para o APB1 e até 100 MHz para o APB2, conforme descrito no *datasheet* do STM32F410RB [30].

A frequência de cada barramento é derivada do *System Clock* através de divisores conhecidos como *prescalers*, configuráveis no registo `RCC_CFGR`, pertencente ao módulo de controlo de relógio e reset (Reset and Clock Control (RCC)). O *Reference Manual* [31] apresenta os detalhes sobre estes divisores, cuja definição correta é essencial para garantir o funcionamento adequado dos periféricos mais sensíveis a variações temporais, como o ADC ou interfaces seriais.

Para além disso, cada periférico precisa de ter o seu sinal de *clock* ativado explicitamente. Isso é feito através do RCC, escrevendo os bits correspondentes nos registos de ativação apropriados, conforme o barramento onde o periférico se encontra. A Tabela 5.9 resume essa associação:

Barramento	Periféricos Associados	Registo
AHB1	GPIOA, GPIOB, DMA1, CRC, etc.	RCC_AHB1ENR
APB1	TIM2, TIM3, USART2, SPI2, I2C1, etc.	RCC_APB1ENR
APB2	ADC1, TIM1, TIM11, USART1, SYSCFG, etc.	RCC_APB2ENR

Tabela 5.9: Ativação de Periféricos por Barramento no STM32F410RB.

A correta definição dos divisores de frequência e a ativação seletiva dos periféricos são etapas fundamentais para o funcionamento eficiente e seguro do sistema embebido.

5.6.2.2 DMA – Acesso Direto à Memória

O DMA (Direct Memory Access) é um módulo essencial para a transferência automática de dados entre periféricos e a memória principal (SRAM), sem necessidade de intervenção direta da CPU. Esta funcionalidade permite libertar o núcleo de tarefas repetitivas, como a recolha contínua de amostras ou a comunicação em série, resultando num sistema mais eficiente e com menor consumo de energia.

No STM32F410RB, o controlador DMA está ligado ao barramento AHB1 e permite a ligação direta a diversos periféricos, incluindo ADC, USART, Serial Peripheral Interface (SPI) e temporizadores. Cada periférico compatível está associado a um ou mais canais (*streams*) de DMA, cuja afetação está definida no *Reference Manual* [31]. Cada canal pode ser configurado de forma flexível para atender aos requisitos da aplicação, incluindo a direção da transferência (leitura de periférico para memória ou vice-versa), o número de dados a transferir, e os endereços de origem e destino.

Entre as funcionalidades adicionais disponíveis, destacam-se o modo circular, ideal para aplicações contínuas, e o suporte para *double buffering*, que permite alternar entre dois blocos de memória sem interrupções. O DMA também pode operar com diferentes níveis de prioridade e gerar interrupções para notificar a CPU quando parte ou a totalidade de uma transferência foi concluída.

Este módulo é ativado através do registo `RCC_AHB1ENR`, tal como os restantes periféricos ligados ao barramento AHB1. A sua utilização será detalhada na Secção 5.6.8, onde se descreve como estas funcionalidades foram exploradas no âmbito do projeto.

5.6.3 Estrutura do Código no STM32

O desenvolvimento do *firmware* para o microcontrolador STM32 foi realizado na plataforma *System Workbench for STM32* (SW4STM32), com base numa arquitetura modular organizada por ficheiros. Cada periférico relevante do sistema — como ADC, DMA,

USART ou *timers* — foi configurado num ficheiro independente, acompanhado do respetivo cabeçalho. Esta divisão teve como objetivo facilitar a leitura, manutenção e reutilização do código, bem como isolar responsabilidades funcionais. Os ficheiros completos com o código desenvolvido encontram-se disponíveis publicamente no repositório GitHub [32], possibilitando o acesso ao *firmware* modular e documentação adicional.

A Tabela 5.10 apresenta um resumo dos principais ficheiros de código desenvolvidos para o STM32.

Ficheiro	Descrição
<code>main.c</code>	Código principal do sistema. Contém a função <code>main()</code> , chamadas às rotinas de inicialização e o loop principal de aquisição e envio de dados.
<code>gpio_init.c</code>	Inicializa os pinos de entrada e saída (GPIO) necessários ao funcionamento do projeto, definindo direção, modo e estado inicial.
<code>adc_config.c</code>	Configura o ADC do STM32, incluindo canais analógicos utilizados, modo de operação (scan, contínuo) e ligação ao trigger externo.
<code>dma_config.c</code>	Responsável pela configuração do DMA em modo circular com <i>buffer</i> duplo, ativando interrupções de <i>Half-Transfer</i> e <i>Transfer-Complete</i> .
<code>usart_config.c</code>	Configura a comunicação série (USART) e parâmetros de <i>baud rate</i> , bits de dados, paridade e controlo de transmissão.
<code>tim_config.c</code>	Define os parâmetros do temporizador (TIM11) utilizado como fonte de <i>trigger</i> para o ADC, garantindo a taxa de amostragem desejada.

Tabela 5.10: Organização Modular do Código para o STM32.

5.6.4 Configuração do *System Clock*

A frequência do *System Clock* é um fator crítico no desempenho geral do microcontrolador já que determina a velocidade de execução das instruções. Um ciclo de *clock* mais rápido permite realizar mais operações por segundo, reduzindo o tempo necessário para executar tarefas como a aquisição ou a transmissão de dados.

O microcontrolador STM32F410RB permite configurar a frequência do *System Clock* com base numa fonte principal, que pode ser um oscilador interno baseado num circuito RC (High Speed Internal (HSI)) ou uma fonte externa de maior estabilidade (High Speed External (HSE)). Ambas as possibilidades permitem a multiplicação da frequência de base através de um circuito Phase-Locked Loop (PLL), até um valor máximo de 100 MHz.

Para garantir uma operação estável e com baixa variação temporal (*jitter*), foi utilizada uma fonte externa de *clock* (HSE) de 8 MHz proveniente do STLink ¹, em conjunto com o módulo PLL configurado para gerar uma frequência final de 100 MHz.

¹O STLink é o módulo de programação integrado no núcleo do STM32.

A configuração foi realizada por acesso direto aos registos do módulo RCC e da interface Flash, conforme resumido na Tabela 5.11:

Registo	Função
RCC_CR	Ativa o oscilador externo HSE e controla a ativação do PLL.
RCC_PLLCFGR	Define os fatores de multiplicação e divisão do PLL (coeficientes M, N, P, R).
RCC_CFGR	Seleciona a fonte principal de <i>clock</i> (HSE, HSI ou PLL) e configura os <i>prescalers</i> dos barramentos AHB, APB1 e APB2.
FLASH_ACR	Define a latência da memória Flash. Para 100 MHz, são requeridos 3 ciclos de espera. [31]

Tabela 5.11: Registos Relevantes na Configuração do *System Clock*.

5.6.5 Configuração do GPIO

Os *General Purpose Input/Output* (GPIO) são pinos digitais configuráveis que permitem aos microcontroladores interagir com dispositivos externos. Cada pino pode ser definido como entrada ou saída, com suporte para modos adicionais como *pull-up*, *pull-down* ou *floating*. Além disso, é possível configurar os pinos para desempenharem funções alternativas, como comunicação USART, SPI, I2C, entrada analógica (ADC), geração de PWM, entre outras.

A configuração dos GPIO foi realizada no ficheiro `gpio_init.c`, utilizando acesso direto aos registos definidos pela biblioteca CMSIS. A Tabela 5.12 resume os principais registos envolvidos na configuração dos pinos:

Registo	Descrição
GPIOx_MODER	Define o modo de operação de cada pino: entrada, saída, função alternativa ou modo analógico.
GPIOx_OSPEEDR	Controla a velocidade de comutação dos pinos, ajustável para diferentes níveis (baixa a muito alta).
GPIOx_AFR	Atribui funções alternativas aos pinos (ex.: USART, SPI), dividindo-se em AFRL (pinos 0–7) e AFRH (pinos 8–15).
GPIOx_PUPDR	Configura resistências internas de <i>pull-up</i> , <i>pull-down</i> ou modo flutuante, conforme o necessário.

Tabela 5.12: Registos Principais para Configuração GPIO.

Os pinos utilizados neste projeto foram configurados para diferentes finalidades, como aquisição analógica, saída digital, ou comunicação série. A Tabela 5.13 apresenta o mapeamento funcional dos pinos:

Pino	Função	Modo	Descrição
PA0	ADC_0	Entrada analógica	Entrada do sinal analógico (canal ADC0)
PA1	ADC_1	Entrada analógica	Entrada do sinal analógico (canal ADC1)
PA5	LED Debug	Saída digital	LED de debug que pisca a cada segundo
PA8	Debug/PWM	Saída digital	Utilizado para testes gerais
PA9	USART1_TX	Função alternativa	Pino de transmissão da comunicação serial
PA10	USART1_RX	Função alternativa	Pino de recepção da comunicação serial (não utilizado)

Tabela 5.13: Pinos GPIO Utilizados no Projeto.

5.6.6 Temporizadores (TIMERS)

Os temporizadores (*timers*) são periféricos fundamentais em microcontroladores, permitindo realizar operações periódicas, nomeadamente a geração de sinais, contagem de eventos ou temporização de ações. No STM32F410RB, os timers estão divididos entre os barramentos APB1 e APB2, variando em capacidades e número de canais.

Neste projeto, foram utilizados dois temporizadores: o TIM11, configurado para gerar interrupções a 1 Hz e controlar o piscar de um Light Emitting Diode (LED) para *debug*; e o TIM1, cuja saída do canal 1 (CH1) foi usada como fonte de *trigger* externo para iniciar a conversão do ADC a uma frequência definida (48 kHz).

Todos os temporizadores requerem ativação do *clock* através do registo `RCC_APB2ENR`, uma vez que tanto o TIM11 como o TIM1 pertencem ao barramento APB2. A sua configuração direta é feita através de registos dedicados, conforme sintetizado na Tabela 5.14.

Registo	Descrição
PSC (Prescaler)	Define o divisor da frequência de entrada do timer, ajustando a resolução temporal.
ARR (Auto-reload)	Valor de contagem até o qual o timer incrementa antes de gerar um evento de atualização.
DIER	Ativa a geração de interrupções associadas a eventos do timer.
SR	Contém os flags de estado do timer; o bit UIF indica a ocorrência de atualização.
CR1	Controla o estado do timer (ex.: ativação, contagem contínua, modo de alinhamento).
CCMR1	Define o modo de operação dos canais (ex.: PWM, modo de captura, saída forçada).
CCR1	Define o valor de comparação para o canal 1, determinando o <i>duty cycle</i> do PWM.
CCER	Ativa ou desativa as saídas dos canais de comparação.
BDTR	Garante a ativação segura da saída (MOE) em timers avançados como o TIM1.

Tabela 5.14: Registos Relevantes na Configuração dos Temporizadores TIM1 e TIM11.

5.6.6.1 TIM11 — Geração de Interrupção a 1Hz

O TIM11 é um temporizador de 16 bits do tipo *general-purpose*, disponível no barramento APB2. Neste projeto, foi utilizado no modo de contagem ascendente com interrupções de atualização, tendo como objetivo gerar um evento periódico com frequência de 1 Hz para controlo de um LED de debug.

A frequência de atualização de um temporizador no STM32 é determinada pela seguinte expressão:

$$f_{\text{saída}} = \frac{f_{\text{clock}}}{(PSC + 1)(ARR + 1)} \quad (5.21)$$

Assumindo que o *System Clock* está configurado para 100 MHz, foi escolhido um **Prescaler** com valor 9999, o que reduz a frequência de contagem para 10 kHz. Definindo o registo **ARR** também como 9999, o temporizador executa uma contagem até 10 000 ciclos, resultando numa frequência final de:

$$f = \frac{100 \text{ MHz}}{(9999 + 1)(9999 + 1)} = 1 \text{ Hz} \quad (5.22)$$

O vetor de interrupção associado ao TIM11 é partilhado com o evento TIM1_TRG_COM, sendo necessário configurar o NVIC com a prioridade desejada. Durante a fase de desenvolvimento, foi atribuída prioridade 1 à interrupção, com o intuito de detetar potenciais conflitos ou sobrecargas introduzidas pela execução simultânea de outros periféricos críticos, como o ADC ou a comunicação via DMA.

Na rotina de atendimento à interrupção (**IRQHandler**), o firmware realiza uma simples inversão lógica do pino PA5 (LED de debug), permitindo observar visualmente o correto funcionamento e sincronismo do sistema.

5.6.6.2 TIM1_CH1 — Trigger para Conversão ADC

O TIM1 é um *advanced-control timer* de 16 bits, integrado no barramento APB2, com suporte para funcionalidades como geração de sinais Pulse Width Modulation (PWM), controlo de *dead-time* e sincronização com periféricos. Neste projeto, o canal 1 (CH1) foi utilizado como fonte de *trigger* externo para iniciar automaticamente as conversões do ADC, assegurando uma taxa de amostragem constante e precisa. Esta ligação direta entre TIM1 e o ADC, viabilizada pelo sistema interno de *triggers* do microcontrolador, elimina a necessidade de intervenção da CPU em cada conversão, tornando o processo mais eficiente e determinístico.

O CH1 foi configurado para gerar um sinal PWM com frequência de 48 kHz e *Duty-Cycle* de 50 %. Este sinal periódico produz uma borda ascendente estável a cada período, utilizada como *trigger* externo para o ADC².

Para obter a frequência de 48 kHz, o prescaler do TIM1 foi definido como zero, fazendo com que o temporizador opere à frequência máxima do barramento APB2 (100 MHz). O valor de ARR foi então calculado com base na fórmula:

$$ARR = \frac{f_{\text{clock}}}{f_{\text{amostragem}}} - 1 = \frac{100\,000\,000}{48\,000} - 1 = 2082 \quad (5.23)$$

O registo CCR1, que determina o ponto de transição do PWM, foi definido como:

$$CCR1 = \frac{ARR + 1}{2} = \frac{2082 + 1}{2} = 1041 \quad (5.24)$$

A Tabela 5.15 resume os registos utilizados na configuração deste canal:

²Esta configuração será detalhada na Secção 5.6.7

Registo	Função
PSC	Define o valor do prescaler. Foi configurado como zero para manter a frequência de entrada em 100 MHz.
ARR	Define o período da onda PWM.
CCR1	Define o ponto de transição do PWM (nível alto para baixo) com duty cycle de 50 %.
CCMR1	Configura o canal 1 em modo PWM1 e ativa o preload.
CCER	Ativa a saída do canal 1.
BDTR	Ativa o sinal de saída através do bit MOE (Main Output Enable).

Tabela 5.15: Registos Envolvidos na Configuração do TIM1_CH1 para Gerar o *Trigger* do ADC.

Durante a fase de testes, o sinal PWM foi redirecionado para o pino PA8, correspondente ao canal TIM1_CH1, permitindo a monitorização direta com um osciloscópio. Esta verificação experimental confirmou a frequência de 48 kHz e *duty cycle* de 50 %, conforme ilustrado na Figura 5.21.

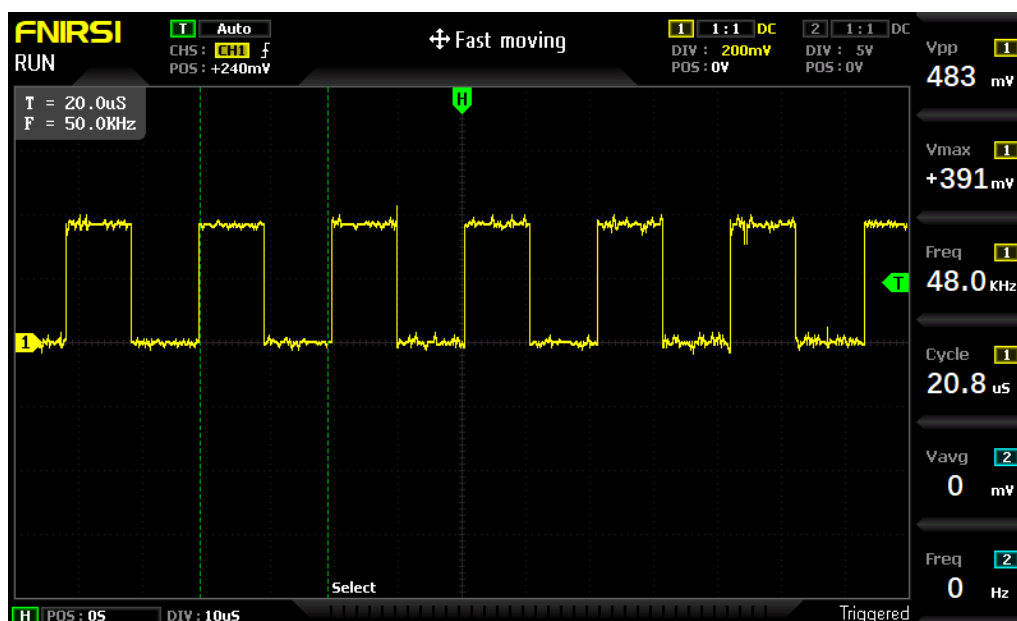


Figura 5.21: Sinal PWM Medido no PA8 com 48 kHz e 50 % de *Duty Cycle*, Bbserveado no Osciloscópio.

5.6.7 ADC — Conversão Analógica de Dois Canais

O microcontrolador STM32F410RB dispõe de um conversor analógico-digital de 12 bits (ADC1), com capacidade para aquisição multicanal, operação sincronizada por *trigger* externo e suporte a transferência direta por DMA.

Neste projeto, o módulo foi configurado para realizar amostragem periódica de dois canais analógicos (PA0 e PA1), explorando o modo *Scan*, que permite a conversão sequencial de múltiplos canais com um único evento de ativação. As conversões são iniciadas automaticamente na presença de um sinal externo de sincronização, gerado pelo canal TIM1_CH1, a uma frequência de 48 kHz. A conversão ocorre a cada borda ascendente do sinal PWM, permitindo uma taxa de amostragem precisa e estável. A ativação do ADC é feita apenas uma vez, sendo o processo de aquisição totalmente automatizado a partir desse ponto.

Os dados foram configurados com resolução de 12 bits e alinhamento à direita, assegurando que os valores convertidos sejam armazenados nos bits menos significativos. Esta organização é compatível com a transferência direta por DMA, que opera com dados de 16 bits sem necessidade de manipulação adicional. Cada amostra é assim armazenada em 2 bytes (16 bits), sendo os 4 bits mais significativos do segundo byte ignorados ou utilizados com valor nulo. A Figura 5.22 ilustra a organização dos dados em memória para cada amostra digitalizada.

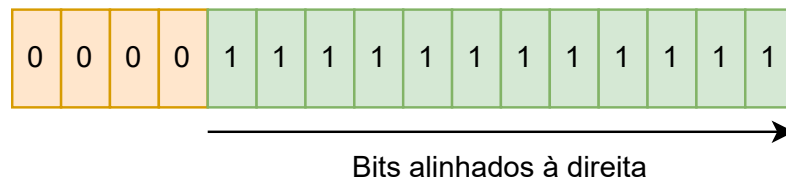


Figura 5.22: Formato de Armazenamento de cada Amostra ADC: 12 bits Alinhados à Direita em Dois bytes.

A sequência de conversão foi definida com dois canais, sendo o canal 0 (PA0) o primeiro a ser convertido, seguido do canal 1 (PA1). O processo de amostragem e armazenamento em memória decorre sem qualquer intervenção do processador, com os dados a serem transferidos diretamente para a SRAM por DMA, garantindo baixa latência e elevada eficiência. A Tabela 5.16 resume os principais registos envolvidos nesta configuração:

Registo	Função
ADC_CR1	Ativa o modo <i>Scan</i> e define a resolução em 12 bits.
ADC_CR2	Ativa o periférico, seleciona o <i>trigger</i> externo (TIM1_CC1), configura a borda de ativação (subida), define o alinhamento à direita e ativa a transferência contínua por DMA.
ADC_SQR1	Define o número total de conversões por sequência (2 canais).
ADC_SQR3	Especifica a ordem dos canais: canal 0 seguido de canal 1.

Tabela 5.16: Registos Principais da Configuração do ADC.

5.6.8 DMA — Transferência de Dados entre Memória e Periféricos

O DMA foi utilizado neste projeto para automatizar tanto a aquisição como a transmissão dos dados, evitando a sobrecarga da CPU e assegurando um fluxo contínuo e eficiente. Em concreto, a receção das amostras provenientes do ADC1 e o seu envio pela USART1 foram ambos realizados com recurso ao controlador DMA2, através dos seus Streams 0 e 7, respetivamente.

A receção dos dados foi configurada com o *Stream* 0, utilizando o canal 0 (associado ao ADC1) em modo circular. O *buffer* de memória principal (SRAM) alocado para esta função foi dimensionado para conter o dobro do número de amostras necessárias por ciclo. Esta organização permite utilizar dois blocos alternados: quando metade do *buffer* é preenchida, uma interrupção do tipo *Half-Transfer* é gerada; quando a segunda metade é completada, ocorre uma interrupção do tipo *Transfer-Complete*. Ambas as interrupções desencadeiam a transmissão do respetivo bloco para a interface série, também através de DMA.

Para a transmissão de dados, foi utilizado o *Stream* 7 do DMA2, configurado para enviar os blocos de amostras diretamente da memória para o registo de transmissão da USART1. A direção da transferência foi definida como memória–periférico, com incremento automático do endereço de memória e prioridade média. A transferência só é iniciada após a receção de uma das interrupções do *Stream* 0.

Cada bloco de dados é precedido por dois bytes fixos de sincronização: 0b10101010 e 0b01010101. Estes valores correspondem, respetivamente, aos padrões binários 10101010 e 01010101, facilmente identificáveis no fluxo de comunicação. A sua utilização permite ao sistema recetor detetar de forma robusta o início de cada novo bloco, assegurando o alinhamento correto dos dados mesmo na presença de ruído ou perdas parciais. A Figura 5.23 ilustra a estrutura do bloco transmitido.

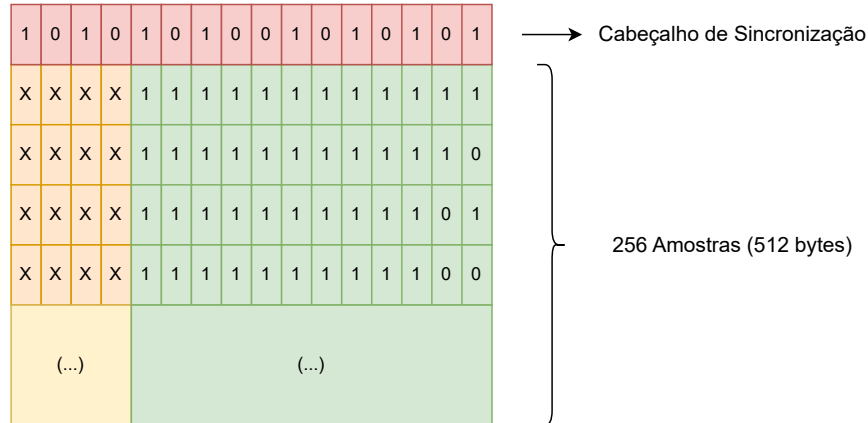


Figura 5.23: Estrutura de um Bloco de Dados Enviado por USART com Cabeçalhos de Sincronização (2 bytes).

Este mecanismo de dupla utilização do DMA — tanto na entrada como na saída de dados — provou ser especialmente vantajoso para aplicações com elevada taxa de aquisição, permitindo manter o ritmo de 48 kHz sem perdas, atrasos ou intervenção direta da CPU no manuseamento dos dados.

5.6.9 USART

A comunicação série foi implementada através da USART1 para operar a uma taxa de transmissão de 3 Mbaud, com palavra de 8bits, sem paridade e um bit de paragem.

Durante a fase de testes e desenvolvimento, a receção dos dados foi monitorizada no computador com recurso ao terminal *HTerm*, que permitiu verificar a integridade da transmissão e a estrutura dos blocos enviados.

5.6.9.1 Cálculo e Configuração do Baud Rate

O valor do registo BRR (Baud Rate Register) é determinado pela relação entre a frequência do *clock* do barramento (neste caso, 100 MHz) e a taxa de transmissão desejada, de acordo com a seguinte expressão:

$$\text{BRR} = \frac{f_{\text{clk}}}{f_{\text{baud}}} \quad (5.25)$$

Substituindo os valores:

$$\text{BRR} = \frac{100\,000\,000}{3\,000\,000} = 33$$

5.6.9.2 Configuração dos Parâmetros da Comunicação

Ativou-se o suporte a DMA para envio automático de blocos de dados da memória para o periférico. A USART1 foi habilitada apenas após a configuração completa de todos os parâmetros.

A Tabela 5.17 apresenta os principais registos envolvidos nesta configuração:

Registo	Descrição
USART1->BRR	Define a taxa de transmissão (baud rate). Valor calculado como 33 para 3 Mbaud a 100 MHz.
USART1->CR1	Define o tamanho da palavra (8 bits). Ativa o transmissor (TE). Ativa o periférico (UE).
USART1->CR2	Define o número de bits de paragem (1 bit).
USART1->CR3	Ativa DMA para transmissão (memória → periférico).

Tabela 5.17: Registos Principais da Configuração da USART.

Esta configuração permitiu a transmissão fiável e eficiente dos blocos de dados adquiridos, em conformidade com o sistema de amostragem definido e com o terminal de receção utilizado (*HTerm*).

5.6.9.3 Avaliação Experimental do Tempo de Transmissão

Para avaliar experimentalmente o tempo necessário à transmissão de um bloco de dados contendo 256 amostras (correspondente a 512 bytes), foi implementada uma medição direta por *toggle* no pino PA7. O pino é ativado no início da função de envio e desativado no final da função de atendimento à interrupção de fim de transmissão da USART via DMA. A oscilação resultante permite observar no osciloscópio a duração total do processo de envio.

A Figura 5.24 apresenta a forma de onda obtida durante esta medição, na qual se observou uma duração de 1,68 ms para o envio completo do bloco de 512 bytes.

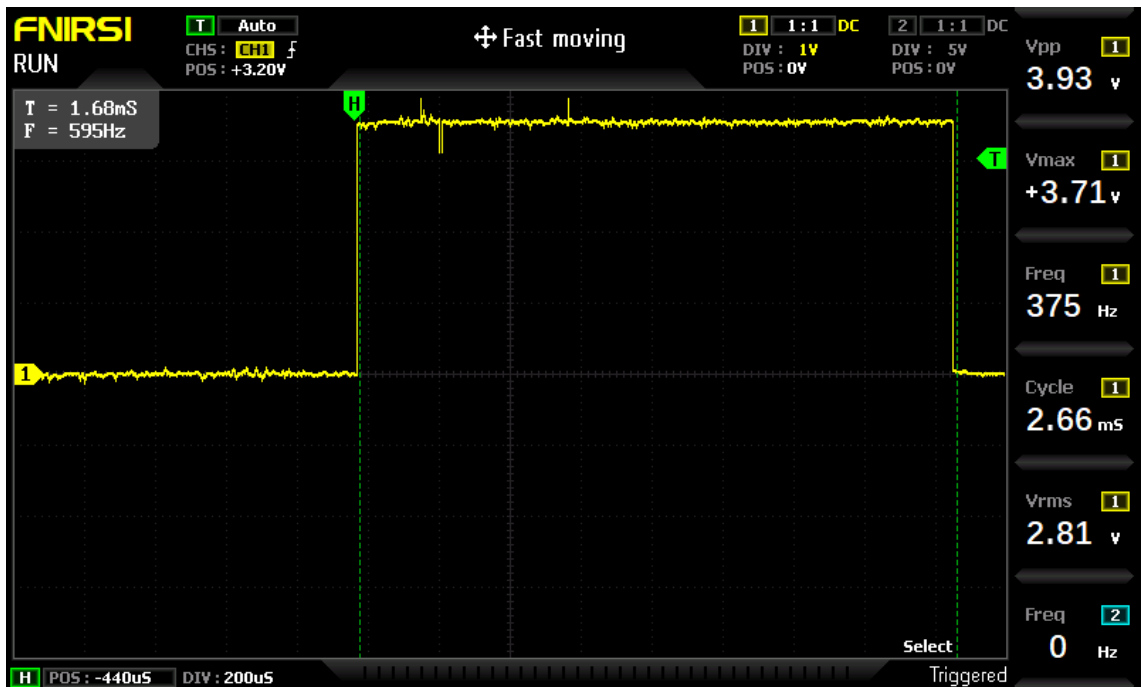


Figura 5.24: Medição do Tempo de Envio de um Bloco de 512 bytes via USART com DMA (*toggle* em PA7).

Com base nesse tempo medido, foi possível estimar a taxa real de transmissão de dados. Sabendo que o total de bits transmitidos é de $512 \times 8 = 4096$ bits, a taxa de transmissão efetiva resulta de:

$$\text{Taxa}_{\text{experimental}} = \frac{4096}{1,68 \times 10^{-3}} \approx 2,44\text{Mb/s} \quad (5.26)$$

Este valor está em concordância com a taxa de transmissão configurada de 3Mbaud, tendo em conta os bits adicionais de controlo e o intervalo entre blocos, o que comprova a eficiência do mecanismo de transmissão adotado com DMA.

5.7 Recepção e Tratamento de Dados

Com o objetivo de analisar, em tempo real, os sinais adquiridos pelo sistema, foi desenvolvida uma interface gráfica em Python utilizando a biblioteca `matplotlib` [33]. Esta aplicação permite a recepção contínua dos dados provenientes dos dois canais do conversor ADC, transmitidos via USART1 à taxa de 3 Mbaud, e a sua visualização simultânea em três gráficos: domínio do tempo, espectro de frequência e resposta do filtro (diferença entre os dois canais em dB). A sincronização entre transmissor e recetor é assegurada através de um cabeçalho fixo de dois bytes (`0xAA`, `0x55`), que antecede cada bloco de amostras.

5.7.1 Estrutura Geral da Aplicação

A aplicação está dividida, em termos de fluxo de execução, em dois blocos principais:

- Uma *thread* de aquisição, responsável por ler continuamente os dados da porta série, validar os blocos com base no cabeçalho, converter as amostras para unidades físicas (volts) e armazená-las em *buffers* circulares separados para cada canal;
- Um processo principal de visualização, que atualiza os gráficos, calcula as transformadas de Fourier (FFT) para ambos os canais, determina a frequência dominante e permite o controlo interativo da suavização da FFT e da escala da visualização.

Esta separação garante fluidez na visualização e evita bloqueios no ciclo de aquisição.

5.7.2 Aquisição e Conversão das Amostras

As amostras são lidas com recurso à biblioteca `pyserial`, configurada a 3 Mbaud. A cada iteração, são lidos dois bytes de sincronização. Apenas se estes coincidirem com o cabeçalho definido (`0xAA`, `0x55`) é que se procede à leitura do bloco de 512 bytes seguintes (correspondente a 256 amostras, intercaladas entre os dois canais).

Cada amostra é convertida de `uint16` para tensão, considerando a resolução do ADC (12 bits) e a tensão de referência de 3.3 V. Em seguida, é removida a componente DC (média), o que facilita a análise no domínio da frequência.

5.7.3 Visualização e Processamento do Espectro

A visualização gráfica inclui três áreas distintas:

1. Gráfico no tempo: apresenta os sinais adquiridos pelos dois canais em volts. O número de amostras exibidas é ajustado dinamicamente com base na frequência dominante estimada, assegurando a visualização de vários períodos da onda.

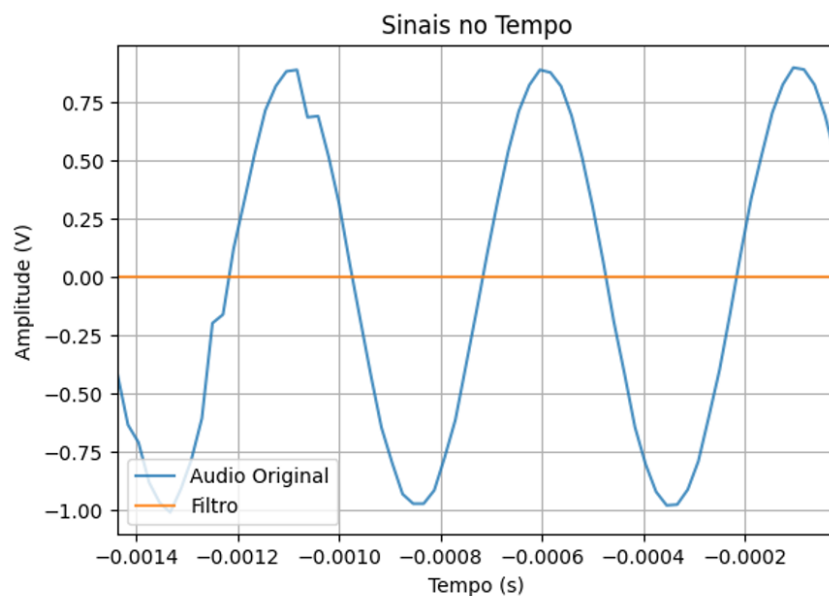


Figura 5.25: Interface Gráfica - Sinais no Tempo.

2. Gráfico espectral: representa a magnitude da FFT de cada canal, com janela de Hanning e suavização por média móvel exponencial. A visualização pode ser alternada entre duas escalas:

- Escala relativa com Automatic Gain Control (AGC), onde ambos os espectros são normalizados pelo valor máximo de cada canal;
- Escala absoluta fixa (em dBFS), com 0 dB a corresponder ao valor de pico de 3.3 V (full scale).

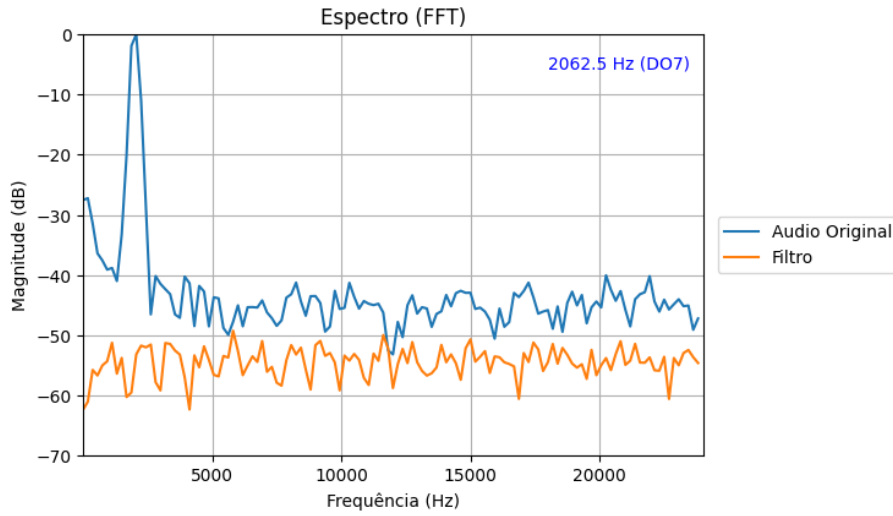


Figura 5.26: Interface Gráfica - FFT *full-scale*.

3. Gráfico da resposta do filtro: calcula e exibe a diferença (em dB) entre os espectros dos dois canais, permitindo observar o ganho introduzido pelo filtro em cada frequência.

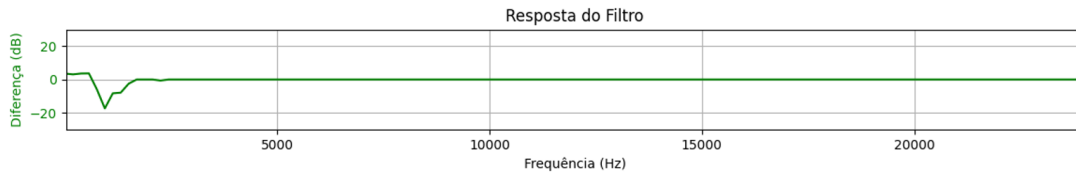


Figura 5.27: Interface Gráfica - Diferença de Sinais.

5.7.4 Interatividade e Funcionalidades Adicionais

A aplicação permite:

- Ajustar o fator de suavização da FFT com um *slider* entre 0 e 0.99;
- Ativar ou desativar o modo AGC através de uma caixa de seleção (*checkbox*);
- Exibir dinamicamente a frequência dominante e a nota musical correspondente no gráfico da FFT, atualizada a cada 200 ms.

A conversão da frequência dominante para a respectiva nota musical baseia-se no sistema temperado igual, adotado no padrão Musical Instrument Digital Interface (MIDI), em que o Lá4 (440 Hz) corresponde ao número 69 [34]. A partir da frequência f , calcula-se o número MIDI correspondente à nota mais próxima através da seguinte expressão:

$$n = 69 + 12 \log_2 \left(\frac{f}{440} \right) \quad (5.27)$$

O valor de n é arredondado para o inteiro mais próximo e utilizado para identificar a nota e a oitava associada, com base na escala cromática ocidental.

Estas funcionalidades foram implementadas no intuito de melhorar a legibilidade e análise qualitativa dos resultados. A interface gráfica pode ser observada na Figura 5.28.

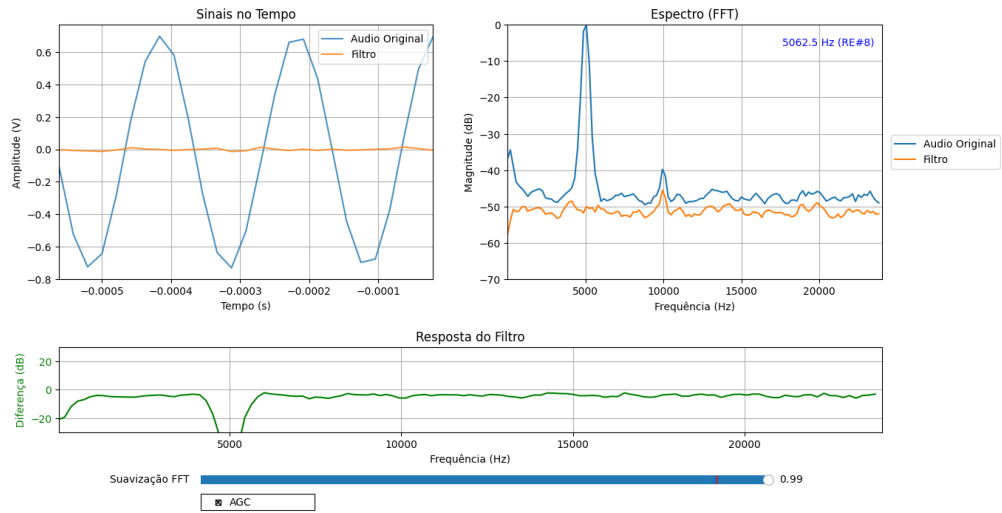


Figura 5.28: Interface Gráfica - Diferença de Sinais.

5.8 Desenvolvimento da Placa de Circuito Impresso

Procedeu-se ao desenvolvimento do circuito impresso (Printed Circuit Board (PCB)) utilizando a ferramenta KiCad, com o objetivo de integrar todos os blocos funcionais do sistema num único suporte físico. Todo o esquemático foi desenvolvido nesta plataforma, abrangendo o processamento de áudio analógico, a fonte de alimentação simétrica e a integração do microcontrolador STM32F410RB. A PCB foi desenhada com duas camadas, permitindo maior flexibilidade no encaminhamento de sinais.

Optou-se por privilegiar a utilização de componentes em encapsulamento Surface-Mount Device (SMD), com o objetivo de reduzir a área ocupada, minimizar ruído e melhorar o comportamento de alta frequência [35]. Esta abordagem também visou preparar o projeto para uma eventual produção em série.

Durante esta fase, foram introduzidas alterações pontuais em alguns blocos, nomeadamente na alimentação, de forma a simplificar a utilização do produto final. Foi implementada uma fonte de alimentação simétrica de 3.3 V e -3.3 V, garantindo compatibilidade com os blocos analógicos e assegurando condições de funcionamento adequadas. Como consequência, os amplificadores operacionais foram substituídos por versões *rail-to-rail*. Esta

secção descreve o desenvolvimento do PCB e as decisões tomadas relativamente à fonte de alimentação, conectividade externa e requisitos funcionais do microcontrolador.

5.8.1 Fonte de Alimentação

A fonte de alimentação do sistema foi desenvolvida a partir de um transformador de 220 V / 9 V, com derivação central no secundário (*center-tapped*), resultando numa configuração de 9 V-0 V-9 V. Esta topologia permite obter, após retificação, tensões simétricas positivas e negativas em relação a um ponto médio definido como massa.

A retificação foi realizada através de uma ponte retificadora de onda completa com derivação central, utilizando o componente W10G (*Bridge Rectifier 1A 1000V, encapsulamento DIP-4*). Com esta configuração, obteve-se uma tensão contínua positiva numa extremidade e negativa na outra, ambas referidas ao ponto médio. Após a retificação, foi colocado um condensador eletrolítico de 2200 μF em cada *rail* de saída, com o objetivo de reduzir o *ripple* e obter uma tensão contínua mais estável à entrada dos reguladores. A Figura 5.29 ilustra o comportamento do sinal ao longo deste processo.

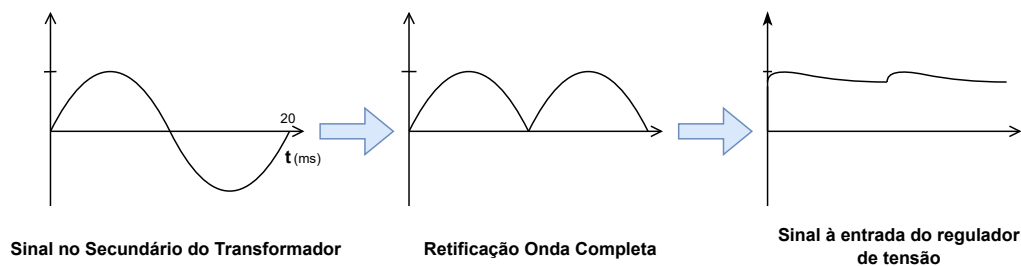


Figura 5.29: Comportamento da Tensão Antes e Após a Retificação com Derivação Central.

Relativamente aos reguladores de tensão, utilizaram-se os modelos LM317 (para a saída positiva V_O) e LM337 (para a negativa), ajustados a 3.3 V e -3.3 V, respetivamente. A tensão de saída é determinada pela Equação (5.28), conforme indicado no respetivo *datasheet*:

$$V_{\text{out}} \approx V_{\text{ref}} \left(1 + \frac{R_2}{R_1} \right) \quad (5.28)$$

onde $V_{\text{ref}} \approx 1.25 \text{ V}$. No circuito implementado, foram utilizados os valores $R_1 = 1 \text{ k}\Omega$ e $R_2 = 1.55 \text{ k}\Omega$, obtendo-se uma tensão de saída de 3.3 V em ambos os casos, com sinais de polaridade oposta. A Figura 5.30 ilustra o circuito implementado.

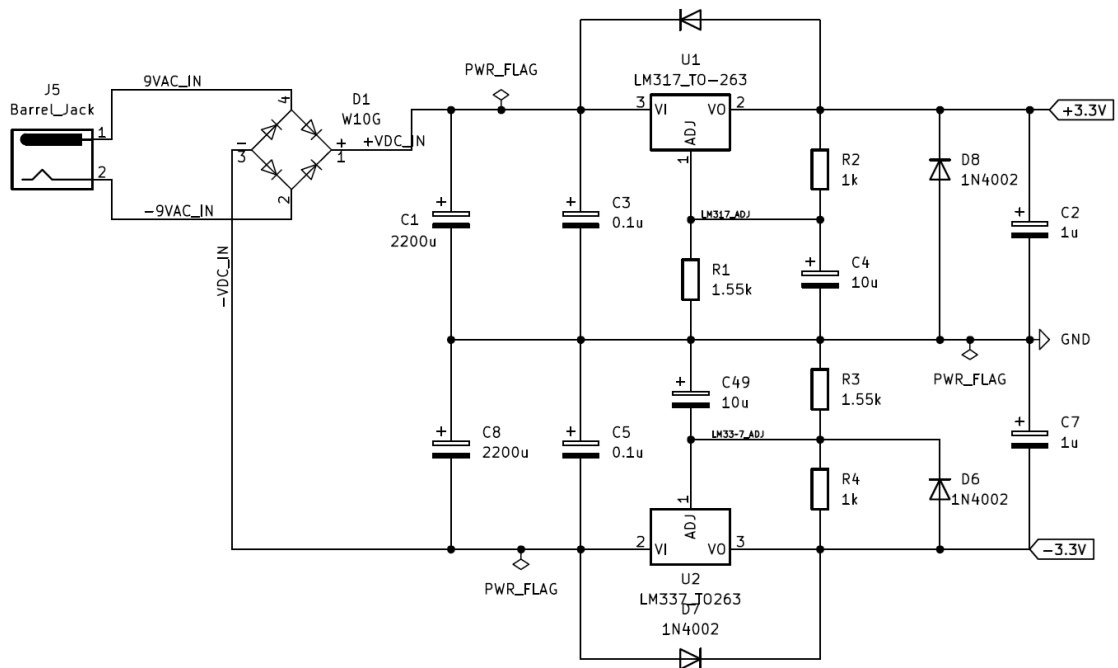


Figura 5.30: Esquema da Fonte de Alimentação Implementada no PCB.

5.8.2 Acessos Externos e Conectividade

Com o objetivo de permitir a programação, aquisição e monitorização do sistema, foram disponibilizados na PCB vários pontos de ligação externa, acessíveis através de conectores dedicados. Esta estratégia garante a flexibilidade de testes e facilita a integração com outros dispositivos ou sistemas.

Para a programação e depuração do microcontrolador STM32F410RB, foi incluído um conector de 4 pinos compatível com o módulo STLink-V2, permitindo o acesso direto às linhas SWDIO, SWCLK, GND e VCC. Este conector permite reprogramar o microcontrolador após a montagem final do sistema.

Adicionalmente, foram disponibilizados conectores de entrada para dois canais analógicos (PA2 e PA3), correspondentes às entradas do conversor analógico-digital (ADC). Estes pinos permitem a aquisição de sinais externos para posterior processamento digital. A escolha destes canais foi feita de forma a permitir, no futuro, a eventual utilização de mais dois canais do ADC ou, alternativamente, a sua configuração como pinos digitais de uso geral (GPIO), conforme necessário.

A comunicação com o exterior foi assegurada através de uma interface UART, acessível através de um conector de 3 pinos (TX, RX e GND), permitindo a transmissão contínua de dados para um computador ou sistema de monitorização.

Foi ainda implementado um cristal externo de 8 MHz, com os respetivos condensadores de carga, para assegurar uma frequência de *clock* precisa e estável no funcionamento do

microcontrolador. Esta solução visa privilegiar o sincronismo e a fiabilidade na aquisição e transmissão de dados, à luz do sistema utilizado no protótipo.

A Figura 5.31 apresenta a disposição dos principais conectores e pinos acessíveis na placa final.

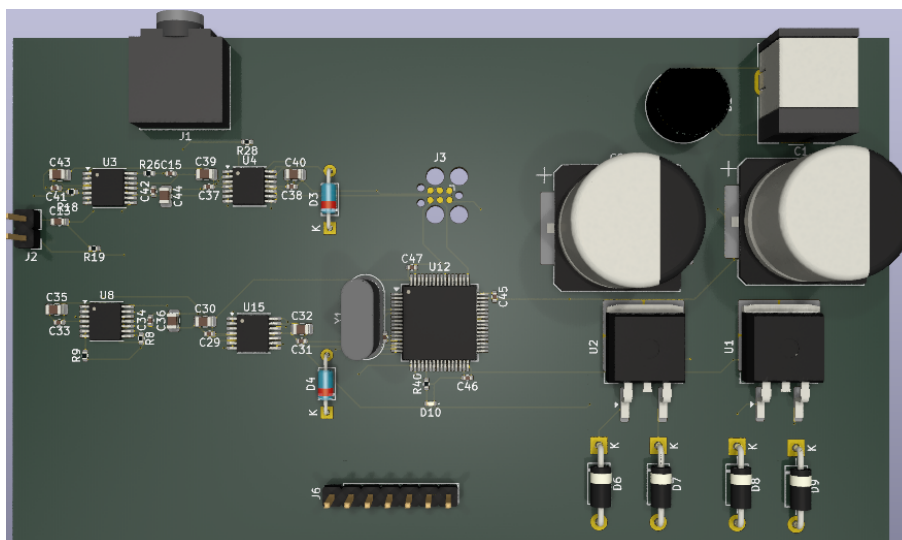


Figura 5.31: Renderização da Placa de Circuito Impresso.

5.8.3 Nota Final

Embora a placa não tenha sido impressa fisicamente, todo o processo de conceção e desenvolvimento da PCB foi executado até à sua conclusão. Esta atividade representou uma excelente oportunidade de aprendizagem, permitindo adquirir e consolidar conhecimentos, fornecendo uma base de preparação para o futuro profissional e académico.

Capítulo 6

Análise e Validação de Resultados

6.1 Métricas de Desempenho, Cálculos e Medições

Neste capítulo, analisa-se o comportamento do sistema com base em medições experimentais. Os resultados obtidos são comparados com o dimensionamento teórico, identificando-se eventuais desvios e propondo-se melhorias sempre que pertinente. Por fim, é apresentada uma síntese das características técnicas do sistema e avalia-se, de forma objetiva, o cumprimento dos requisitos definidos no início do projeto.

6.1.1 SNR

A medição do SNR foi realizada através da injeção de um sinal sinusoidal de 500 Hz na entrada de um dos canais do ADC. Foi adicionada para este propósito uma funcionalidade à interface gráfica desenvolvida em Python, permitindo calcular a potência do sinal e a potência do ruído com base na equação 3.11. A potência do ruído foi obtida experimentalmente ao colocar a entrada do canal à massa, assegurando a ausência de sinal útil.

A razão sinal-ruído experimental foi calculada como:

$$\text{SNR}_{\text{experimental}} = 10 \log_{10} \left(\frac{P_s}{P_n} \right) = 10 \log_{10} \left(\frac{7,66 \times 10^{-1}}{6,49 \times 10^{-5}} \right) \approx 40,72 \text{ dB} \quad (6.1)$$

Este valor encontra-se significativamente abaixo do valor teórico ideal para um conversor de 12 bits, estimado por:

$$\text{SNR}_{\text{ideal}} = 6,02 \cdot 12 + 1,76 = 74,00 \text{ dB} \quad (6.2)$$

A diferença significativa entre o SNR teórico (74 dB) e o medido (40,72 dB) pode ser atribuída a fatores como o ruído intrínseco dos componentes ativos, o ruído térmico das resistências, o *ripple* de alimentação e a limitações no *layout*.

6.1.2 ENOB e Sensibilidade

O cálculo do ENOB (*Effective Number of Bits*) foi efetuado com base no valor medido para o SNR, utilizando a seguinte expressão:

$$\text{ENOB} = \frac{\text{SNR}_{\text{medido}} - 1,76}{6,02} = \frac{40,72 - 1,76}{6,02} \approx 6,47 \text{ bits} \quad (6.3)$$

Este resultado evidencia uma degradação significativa em relação ao valor ideal de 12 bits, justificada pela baixa utilização da faixa dinâmica do ADC, como discutido anteriormente.

Relativamente à sensibilidade, num cenário ideal (ou seja, com os 12 bits efetivos), a menor variação de tensão detetável seria:

$$\text{Sensibilidade}_{\text{ideal}} = \frac{V_{\text{ref}}}{2^{12}} = \frac{3,3}{4096} \approx 805,66 \mu\text{V} \quad (6.4)$$

Utilizando o valor de ENOB obtido, estima-se a sensibilidade efetiva como:

$$\text{Sensibilidade}_{\text{efetiva}} = \frac{V_{\text{ref}}}{2^{\text{ENOB}}} = \frac{3,3}{2^{6,47}} \approx 33,86 \text{ mV} \quad (6.5)$$

Este resultado mostra que, nas condições de medição realizadas, o sistema apenas consegue distinguir variações de tensão superiores a aproximadamente 46,47 mV, o que impacta na resolução útil do conversor.

6.1.3 Taxa de Transmissão e *Overhead*

A taxa de transmissão ideal foi calculada através da equação 5.1, resultando numa taxa de 1,536 Mbps. Este valor corresponde à transmissão contínua de dois canais, com 16 bits (2 bytes) por amostra e uma taxa de amostragem de 48 kHz por canal.

No entanto, este valor representa apenas a carga útil teórica de dados. Na prática, a estrutura do bloco de dados transmitido inclui um cabeçalho de 2 bytes e um *overhead* estrutural associado à forma como os dados são armazenados: apesar do conversor ADC ter resolução de 12 bits, cada amostra é armazenada em 16 bits (2 bytes), o que implica que 4 bits por amostra não transportam informação útil.

A tabela seguinte resume a distribuição dos dados num bloco de 256 amostras, tendo também em conta o cabeçalho de sincronização:

Elemento	Total (bits)	Úteis (bits)	Overhead
256 amostras	4096	3072	1024
Header (2 bytes)	16	16	0
Total	4112	3088	1024
Overhead			24,91%

Este overhead de aproximadamente 25% tem impacto direto na eficiência da transmissão, pois implica um aumento no volume de dados que devem ser enviados sem que isso represente ganho na resolução efetiva. A causa principal está no facto de os 12 bits úteis do ADC não serem compactados ou agrupados (por exemplo, dois valores de 12 bits poderiam ser armazenados em 3 bytes, ao invés de 4).

Embora esta abordagem simplifique o processamento no microcontrolador e na interface de receção, representa um compromisso entre simplicidade e eficiência. Em aplicações com limitações de largura de banda ou de armazenamento, a compactação dos dados seria uma estratégia viável para reduzir o *overhead*.

6.1.4 Consumos

Para a medição dos consumos do sistema, foi avaliada a corrente fornecida por cada uma das fontes simétricas (+15 V e -15 V) com o sistema em funcionamento contínuo — incluindo a aquisição de dois canais, processamento e transmissão de dados via interface série.

As correntes medidas foram:

$$I_{+15\text{ V}} = 62,0 \text{ mA}, \quad I_{-15\text{ V}} = 29,1 \text{ mA} \quad (6.6)$$

O consumo total de corrente é calculado pela soma dos módulos de ambas as correntes (assumindo que ambas as fontes fornecem potência ao sistema):

$$I_{\text{total}} = |I_+| + |I_-| = 62,0 + 29,1 = 91,1 \text{ mA} \quad (6.7)$$

A potência elétrica total fornecida ao sistema, assumindo tensões constantes e desprezando perdas internas da fonte, é dada por:

$$P_{\text{max}} = V_+ \cdot I_+ + |V_-| \cdot |I_-| = 15 \cdot 62,0 + 15 \cdot 29,1 = 1351,5 \text{ mW} = 1,35 \text{ W} \quad (6.8)$$

Este valor representa o consumo máximo do sistema em operação contínua, considerando todos os subsistemas ativos.

6.2 Características Técnicas do Sistema

A Tabela 6.1 resume as principais características técnicas obtidas experimentalmente no sistema desenvolvido.

Tabela 6.1: Características Técnicas do Sistema.

Parâmetro	Valor
SNR (ideal)	74 dB
SNR (medido)	40,72 dB
Resolução nominal	12 bits
ENOB (medido)	6,47 bits
Sensibilidade ideal	805,66 μ V
Sensibilidade efetiva	33,86 mV
Número de canais ADC	2
Frequência de amostragem	48 kHz (por canal)
Taxa de transmissão (ideal)	1,536 Mb/s
Taxa de transmissão (medida)	2,44 Mb/s
Overhead de transmissão	24,91%
Corrente total consumida (I_{\max})	91,1 mA
Alimentação	± 15 V (simétrica)
Potência total consumida	1,35 W

O sistema manteve-se estável em funcionamento contínuo durante vários minutos, com aquisição simultânea, cálculo da FFT e transmissão de dados em tempo real. Não foram observadas falhas na comunicação série, na integridade das amostras ou na renderização gráfica, o que valida a robustez do protótipo mesmo em condições laboratoriais não ideais.

6.3 Síntese e Comparação com os Objetivos.

Os resultados obtidos demonstram que os principais objetivos definidos inicialmente foram alcançados, ainda que com algumas limitações previsíveis em ambiente experimental. O sistema permitiu:

- A aquisição simultânea de dois sinais áudio analógicos com taxa de 48 kHz, adequada à faixa audível (20 Hz–20 kHz).
- A análise espectral em tempo real baseada em FFT, aplicada independentemente a cada canal.
- A visualização comparativa entre o sinal à entrada e à saída do filtro implementado, com atualização contínua.
- O desenvolvimento de uma interface gráfica clara e adequada a fins pedagógicos, facilitando a interpretação da resposta em frequência.

- A operação autónoma sem necessidade de configurações externas ou equipamentos adicionais.
- A implementação baseada em plataformas de baixo custo, garantindo a viabilidade económica do sistema.
- Uma estrutura modular e escalável.

Deve-se destacar que a degradação da resolução efetiva (ENOB) e da sensibilidade está diretamente associada às condições de desenvolvimento do protótipo, à escolha dos componentes e ao rigor na implementação do circuito, refletindo limitações práticas que se afastam do desempenho teórico esperado.

Deste modo, considera-se que o sistema cumpre os requisitos técnicos e pedagógicos estabelecidos, sendo um protótipo funcional e extensível com potencial para evolução futura.

**ESTA PÁGINA FOI DEIXADA
PROPOSITADAMENTE EM BRANCO**

Capítulo 7

Conclusão e Trabalhos Futuros

7.1 Conclusão

Este projeto teve como objetivo o desenvolvimento de um sistema de aquisição e análise espectral em tempo real, com vista à comparação entre o sinal de entrada e de saída de um filtro analógico implementado em laboratório. O sistema foi projetado para ser de baixo custo, modular, e orientado para o contexto pedagógico, permitindo a visualização do espectro de ambos os canais e da resposta em frequência do filtro.

Considera-se que, em termos gerais, o sistema desenvolvido cumpre os objetivos propostos. Foi possível realizar a aquisição simultânea de dois sinais analógicos com taxa de amostragem de 48 kHz, resolução nominal de 12 bits e visualização em tempo real da FFT de cada canal. A interface gráfica, desenvolvida em Python, mostrou-se funcional, responsiva e adequada ao uso didático, com funcionalidades como suavização espectral, normalização automática e identificação da frequência dominante.

Considera-se que o valor relativamente baixo de SNR e a consequente degradação da resolução efetiva (ENOB) obtidos se devem, principalmente, às limitações inerentes às condições de desenvolvimento do protótipo, incluindo o ruído intrínseco dos componentes ativos, às tolerâncias dos componentes, e à implementação no *layout* do circuito. Adicionalmente, a saturação do sinal no circuito limitador de tensão (a aproximadamente 3,2 V) contribuiu para reduzir o SNR do ADC, embora de forma menos determinante. No entanto, considera-se que possibilidade de alterar a escala da FFT entre valores absolutos e ajustados ao pico de cada sinal, minimizou de forma razoável o impacto da avaliação.

O sistema apresentou estabilidade em funcionamento contínuo, demonstrando servir como ferramenta de apoio ao guião laboratorial. O consumo energético manteve-se baixo ($\approx 1,35$ W), e a taxa de transmissão medida de 2,44 Mb/s revelou-se adequada para a aplicação, mesmo com um overhead de cerca de 25%.

Em suma, considera-se que o sistema se revelou funcional e coerente com os objetivos definidos.

7.2 Trabalho Futuro

Apesar do sistema desenvolvido cumprir os objetivos definidos, existem diversas possibilidades de expansão e aperfeiçoamento que podem aumentar o seu valor pedagógico, desempenho técnico e versatilidade de aplicação. Destacam-se as seguintes propostas:

- **Aumento do número de canais:** A arquitetura atual pode ser expandida para permitir a aquisição simultânea de mais sinais, possibilitando a análise de sistemas multicanal ou o estudo comparativo entre diferentes filtros ou topologias.
- **Parametrização dinâmica do filtro:** Integrar um sistema de controle digital que permita variar em tempo real os parâmetros do filtro analógico (por exemplo, frequência central e ganho), facilitando a exploração interativa da resposta em frequência.
- **Análise em outros domínios:** Adicionar ferramentas de visualização no domínio do tempo (osciloscópio digital), análise estatística (média, RMS, THD) ou domínio tempo-frequência (como espectrogramas), alargando o leque de fenómenos observáveis.
- **Melhoramento da resolução efetiva:** Investigar estratégias para reduzir o ruído de quantização e interferências externas, como a implementação de blindagem eletromagnética, utilização de fontes de alimentação lineares ou técnicas de oversampling e filtragem digital.
- **Versão portátil/*standalone*:** Desenvolver uma versão autónoma do sistema, com visor integrado e alimentação por bateria, para uso direto em bancada sem necessidade de computador externo.

Referências

- [1] Brian C. J. Moore. *An Introduction to the Psychology of Hearing*. 6th. Brill, 2012. ISBN: 978-9004218426.
- [2] Harvey Fletcher. «Auditory Patterns». Em: *Rev. Mod. Phys.* 12 (1 jan. de 1940), pp. 47–65. DOI: 10.1103/RevModPhys.12.47. URL: <https://link.aps.org/doi/10.1103/RevModPhys.12.47>.
- [3] ITU-R. *Algorithms to measure audio programme loudness and true-peak audio level*. Rel. téc. BS.1770-4. ITU-R Recommendation BS.1770-4. International Telecommunication Union, 2015.
- [4] James A. Moorer. «The use of equalization in audio signal processing». Em: *AES 62nd Convention*. 1978.
- [5] M.D. Fagen. *A History of Engineering and Science in the Bell System*. Bell Telephone Laboratories, 1975.
- [6] Udo Zölzer. *DAFX: Digital Audio Effects*. 2nd. Wiley, 2011.
- [7] Bruce Bartlett e Jenny Bartlett. *Audio Production and Critical Listening*. 2nd. Routledge, 2016.
- [8] Solid State Logic. *ORIGIN – Analogue Studio Console*. <https://solidstatelogic.com/products/origin>. Acedido a 26 de junho de 2025. 2025.
- [9] Mike Senior. *Mixing Secrets for the Small Studio*. Focal Press, 2011.
- [10] J.D. Reiss e A. McPherson. *Audio Effects: Theory, Implementation and Application*. CRC Press, 2014.
- [11] Jean-Baptiste Joseph Fourier. *Théorie analytique de la chaleur*. French. Obra original onde foi introduzida a decomposição de funções periódicas em séries trigonométricas. Paris: Firmin Didot, 1822.
- [12] Henri J. Nussbaumer. «The Fast Fourier Transform». Em: *Fast Fourier Transform and Convolution Algorithms*. Berlin, Heidelberg: Springer Berlin Heidelberg, 1982, pp. 80–111. ISBN: 978-3-642-81897-4. DOI: 10.1007/978-3-642-81897-4_4. URL: https://doi.org/10.1007/978-3-642-81897-4_4.
- [13] John G. Proakis e Dimitris G. Manolakis. *Digital Signal Processing*. Pearson, 2007.

- [14] James W. Cooley e John W. Tukey. «An Algorithm for the Machine Calculation of Complex Fourier Series». Em: *Mathematics of Computation* 19.90 (1965), pp. 297–301. DOI: 10.2307/2003354.
- [15] Julius O. Smith. *Mathematics of the Discrete Fourier Transform (DFT)*. W3K Publishing, 2007.
- [16] Harry Nyquist. «Certain topics in telegraph transmission theory». Em: *Transactions of the American Institute of Electrical Engineers* 47.2 (1928), pp. 617–644. DOI: 10.1109/T-AIEE.1928.5055024.
- [17] Alan V. Oppenheim e Ronald W. Schaffer. *Discrete-Time Signal Processing*. 3rd. Prentice Hall, 2010.
- [18] *Audio recording – Compact disc digital audio system*. International Electrotechnical Commission, 1999. URL: <https://webstore.iec.ch/publication/6226>.
- [19] *Digital audio – Interface for non-linear PCM encoded audio bitstreams applying IEC 60958*. International Electrotechnical Commission, 2021. URL: <https://webstore.iec.ch/publication/62828>.
- [20] Blu-ray Disc Association. *White Paper: Blu-ray Disc Format*. Rel. téc. 2010.
- [21] Paul Scherz e Simon Monk. *Practical Electronics for Inventors*. 4th. McGraw-Hill Education, 2016.
- [22] Paul Horowitz e Winfield Hill. *The Art of Electronics*. 3rd. Cambridge University Press, 2015.
- [23] Ken C. Pohlmann. *Principles of Digital Audio*. 6th. McGraw-Hill Professional, 2011. ISBN: 9780071663465.
- [24] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2001. ISBN: 9780072380323.
- [25] Miditech. *Audiolink III USB Audio Interface*. 2024. URL: <https://www.miditech.de/en/produkte/usb-audio-interfaces/audiolink-iii/>.
- [26] Voxengo. *SPAN – Real-time audio spectrum analyzer plugin*. 2024. URL: <https://www.voxengo.com/product/span/>.
- [27] Rigol Technologies. *DS1102Z – 100MHz Digital Oscilloscope*. 2024. URL: <https://www.rigol.eu/products/digital-oscilloscopes/1000z/ds1102z/>.
- [28] Texas Instruments. *Impact of Slew Rate on Noise*. Technical Application Report SBAA661. Apêndice A: derivação de $SR = 2\pi fA$. Texas Instruments, fev. de 2025.
- [29] Adel S. Sedra e Kenneth C. Smith. *Microelectronic Circuits*. 7^a ed. Oxford University Press, 2015. ISBN: 9780199339136.

- [30] STMicroelectronics. *STM32F410x8/B/C Datasheet: ARM® Cortex®-M4 32-bit MCU+FPU*. DS11295 Rev 8. 2018. URL: <https://www.st.com/resource/en/datasheet/stm32f410rb.pdf>.
- [31] STMicroelectronics. *RM0401 Reference Manual: STM32F410x8/B/C advanced ARM®-based 32-bit MCUs*. RM0401 Rev 4. 2017. URL: https://www.st.com/resource/en/reference_manual/dm00180369.pdf.
- [32] Rui Peres. *PESTA_Conteudos: Código-fonte do projecto PESTA_FINAL*. https://github.com/PerezEach/PESTA_Conteudos. Acedido em junho de 2025. 2025.
- [33] John D. Hunter. «Matplotlib: A 2D Graphics Environment». Em: *Computing in Science & Engineering* 9.3 (2007), pp. 90–95. DOI: 10.1109/MCSE.2007.55. URL: <https://doi.org/10.1109/MCSE.2007.55>.
- [34] MIDI Manufacturers Association. *MIDI 1.0 Detailed Specification*. <https://www.midi.org/specifications-old/item/midi-1-0-detailed-specification>. Acedido em junho de 2025. 1996.
- [35] Henry W. Ott. *Electromagnetic Compatibility Engineering*. John Wiley & Sons, 2011. ISBN: 978-0470189306.