

40nm 工艺，标称 VDD 电压是 1.1V

# VLSI 设计基础实验（1）

## D 触发器电路

D 触发器是电路设计中常用的时序逻辑单元，针对不同的设计需求和目标，也设计出了不同结构的 DFF，请完成如下 HSPICE 仿真实验，提交实验报告。

以下给出了两种 D 触发器的电路结构，如图 1 所示的是一种经典的基于传输门结构的 24 管 D 触发器。

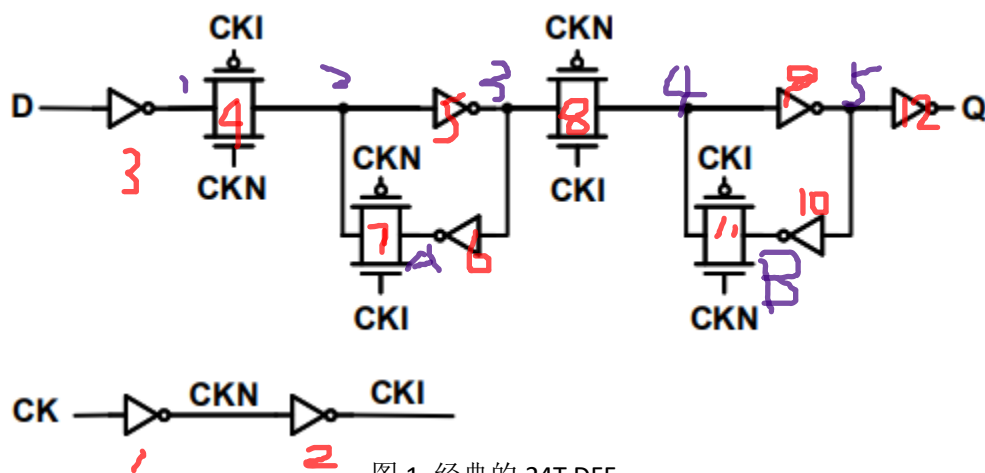
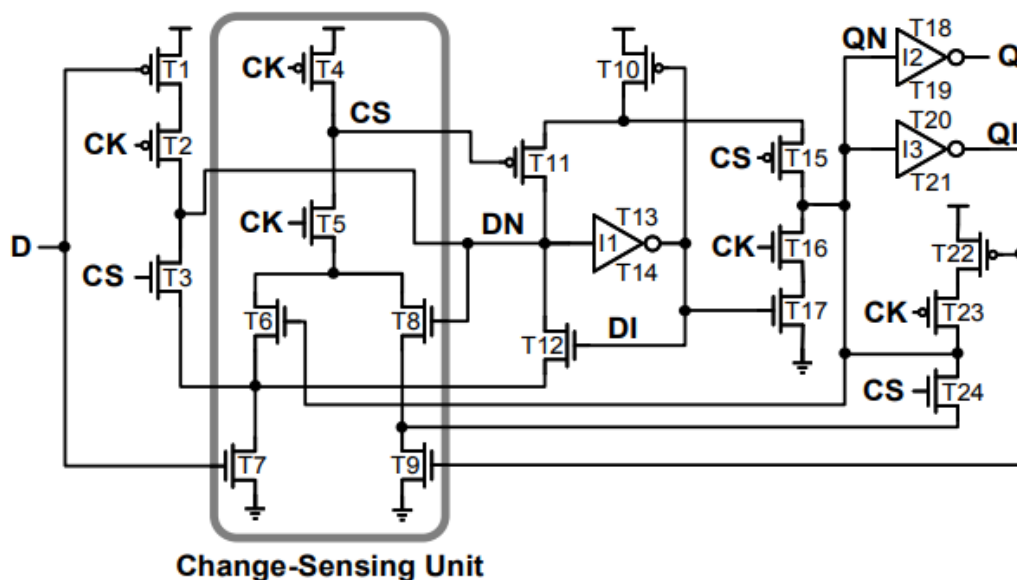


图 2 所示的是 2017 年 ASSCC 会议上提出的一种新型的触发器结构。



附参考文献：V. L. Le, J. Li, A. Chang and T. T. Kim, "An 82% energy-saving change-

sensing flip-flop in 40nm CMOS for ultra-low power applications," 2017 IEEE Asian Solid-State Circuits Conference (A-SSCC), Seoul, 2017, pp. 197-200.

要求：

请下载该论文、学习之。使用如图 3 所示的测试电路，利用 HSPICE 软件对以上两种 D 触发器的电路进行仿真实验。仿真工艺为给定的 CMOS 0.25um 工艺，具体电路中晶体管需设计合适的尺寸。

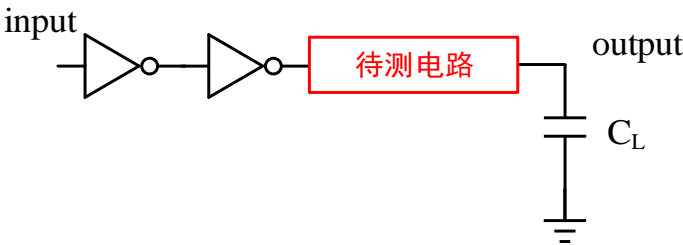


图 3 测试电路

测试电路说明：input transition 由两级反相器(尺寸如下)给定，output load 为  $C_L$  (大小如下)。

Nmos  $W=1.2e-07$   $L=4e-08$

Pmos  $W=2.1e-07$   $L=4e-08$

负载  $C_L = (0.002 + \text{学号末位数} * 0.0005) \text{ pF}$  【负载设定依据：4 驱动的 NAND2 单元的输入电容为 0.003pF】

在实验报告中需完成以下任务：

- (1) 画出晶体管级电路结构，并注明各晶体管尺寸；
- (2) 给出 HSPICE 仿真的完整波形图（需包含必要的输入输出信号）；
- (3) 自己给定合适的测试激励，根据不同的 PVT 条件，完成下表 1 中各项参数的仿真，并写出仿真这些参数时在 HSPICE 中使用的.measure 和.tran 测试语句。

提示：可使用 SWEEP 对多种仿真条件进行扫描

定义  $t_{su}$  为使 **Clock to Q** 的时间增加一固定的百分比（5%）

- (4) 对比各项参数，并结合电路结构和仿真波形，对仿真结果做合理分析（例如不同结构的性能对比、不同工艺角/温度/电压如何影响电路参数等）。

表 1 不同 PVT 条件下，两种结构的 D 触发器参数仿真结果

PVT 条件	$T_{CLK2Q}$ 输入 0	$T_{CLK2Q}$ 输入 1	$T_{Setup}$	$T_{hold}$	静态功耗 $P_{static}$	动态功耗 $P_{dyn}$
0.5V, SS, 70°C						
0.55V, TT, 25°C						
1.1 V, TT, 25°C						
1.2V, FF, 0°C						

# VLSI 设计基础实验（2）

## D 触发器电路(2)

D 触发器是电路设计中常用的时序逻辑单元，针对不同的设计需求和目标，也设计出了不同结构的 DFF，请完成如下 HSPICE 仿真实验，提交实验报告。

以下给出了两种 D 触发器的电路结构，如图 1 所示的是一种经典的基于传输门和三态反相器结构的 24 管 D 触发器。

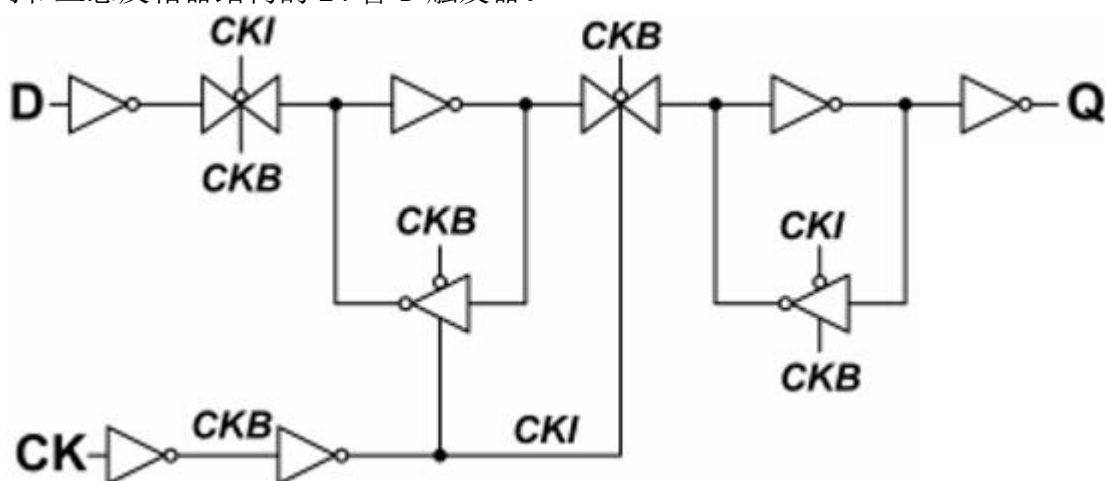


图 1 经典的 24T DFF

图 2 所示的是 2014 年 ISSCC 会议上密歇根大学提出的一种新型的触发器结构。

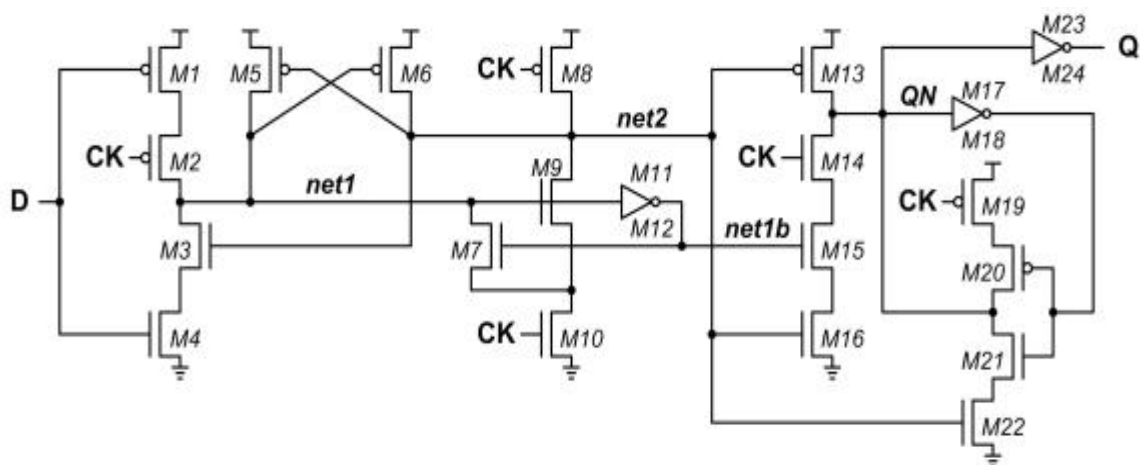


图 2 24T SSCFF

附参考文献: Y. Kim *et al.*, "27.8 A static contention-free single-phase-clocked 24T flip-flop in 45nm for low-power applications," *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, San Francisco, CA, 2014, pp. 466-467.

要求:

请使用如图 3 所示的测试电路, 利用 HSPICE 软件对以上两种 D 触发器的电路进行仿真实验。仿真工艺为给定的 CMOS 0.25um 工艺, 具体电路中晶体管需设计合适的尺寸。

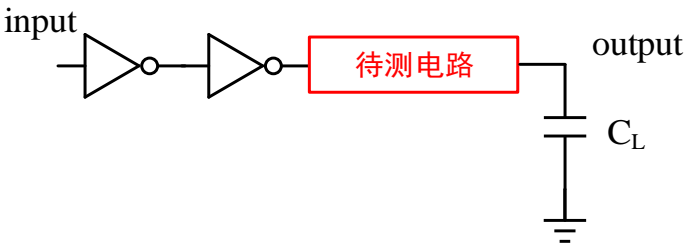


图 3 测试电路

测试电路说明: input transition 由两级反相器(尺寸如下)给定, output load 为  $C_L$  (大小如下)。

Nmos  $W=1.2e-07$   $L=4e-08$

Pmos  $W=2.1e-07$   $L=4e-08$

负载  $C_L = (0.002 + \text{学号末位数} * 0.0005) \text{ pF}$

在实验报告中需完成以下任务:

- (1) 画出晶体管级电路结构, 并注明各晶体管尺寸;
- (2) 给出 HSPICE 仿真的完整波形图 (需包含必要的输入输出信号);
- (3) 自己给定合适的测试激励, 根据不同的 PVT 条件, 完成下表 1 中各项参数的仿真, 并写出仿真这些参数时在 HSPICE 中使用的 .measure 和 .tran 测试语句 (提示: 可使用 SWEEP 对多种仿真条件进行扫描);
- (4) 对比各项参数, 并结合电路结构和仿真波形, 对仿真结果做合理分析 (例如不同结构的性能对比、不同工艺角/温度/电压如何影响电路参数等)。

表 1 不同 PVT 条件下, 两种结构的 D 触发器参数仿真结果

PVT 条件	$T_{CLK2Q}$ 输入 0	$T_{CLK2Q}$ 输入 1	$T_{Setup}$	$T_{hold}$	静态功耗 $P_{static}$	动态功耗 $P_{dyn}$
0.5V, SS, 70°C						
0.55V, TT, 25°C						
1.1 V, TT, 25°C						
1.2V, FF, 0°C						

# VLSI 设计基础实验（3）

## D 触发器与分频电路

D 触发器是电路设计中常用的时序逻辑单元，很多电路利用 D 触发器作为基本单元实现电路功能。请完成如下 HSPICE 仿真实验，提交实验报告。

如图 1 所示的是一种经典的基于传输门结构的 24 管 D 触发器。

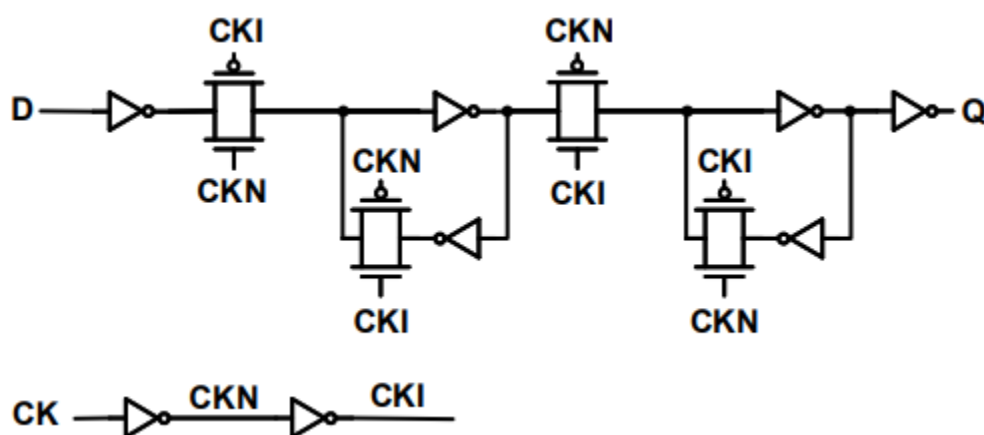


图 1 经典的 24T DFF

要求一：

请使用如图 2 所示的测试电路，利用 HSPICE 软件对以上 D 触发器电路进行仿真实验。仿真工艺为给定的 CMOS 0.25um 工艺，具体电路中晶体管需设计合适的尺寸。

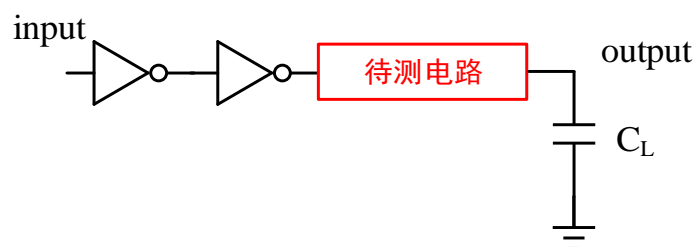


图 2 测试电路

测试电路说明：input transition 由两级反相器(尺寸如下)给定，output load 为  $C_L$  (大小如下)。

Nmos  $W=1.2e-07$   $L=4e-08$

Pmos  $W=2.1e-07$   $L=4e-08$

负载  $C_L = (0.002 + \text{学号末位数} * 0.0005) \text{ pF}$

在实验报告中需完成以下任务：

- (1) 画出晶体管级电路结构，并注明各晶体管尺寸；
- (2) 给出 HSPICE 仿真的完整波形图（需包含必要的输入输出信号）；
- (3) 自己给定合适的测试激励，根据不同的 PVT 条件，完成下表 1 中各项参数的仿真，并写出仿真这些参数时在 HSPICE 中使用的.measure 和.tran 测试语句（提示：可使用 SWEEP 对多种仿真条件进行扫描）；
- (4) 对比各项参数，并结合电路结构和仿真波形，对仿真结果做合理分析（例如不同工艺角/温度/电压如何影响电路参数等）。

表 1 不同 PVT 条件下，D 触发器参数仿真结果

PVT 条件	$T_{CLK2Q}$ 输入 0	$T_{CLK2Q}$ 输入 1	$T_{Setup}$	$T_{hold}$	静态功耗 $P_{static}$	动态功耗 $P_{dyn}$
0.5V, SS, 70°C						
0.55V, TT, 25°C						
1.1 V, TT, 25°C						
1.2V, FF, 0°C						

要求二：

请使用图 1 所示的 D 触发器，实现一个 4 分频电路的功能，并进行 HSPICE 仿真。

- (1) 画出分频电路图；
- (2) 给出 HSPICE 仿真波形图。

# VLSI 设计基础实验（4）

## D 触发器与计数器电路

D 触发器是电路设计中常用的时序逻辑单元，很多电路利用 D 触发器作为基本单元实现电路功能。请完成如下 HSPICE 仿真实验，提交实验报告。

如图 1 所示的是 2017 年 ASSCC 会议上提出的一种新型的触发器结构。

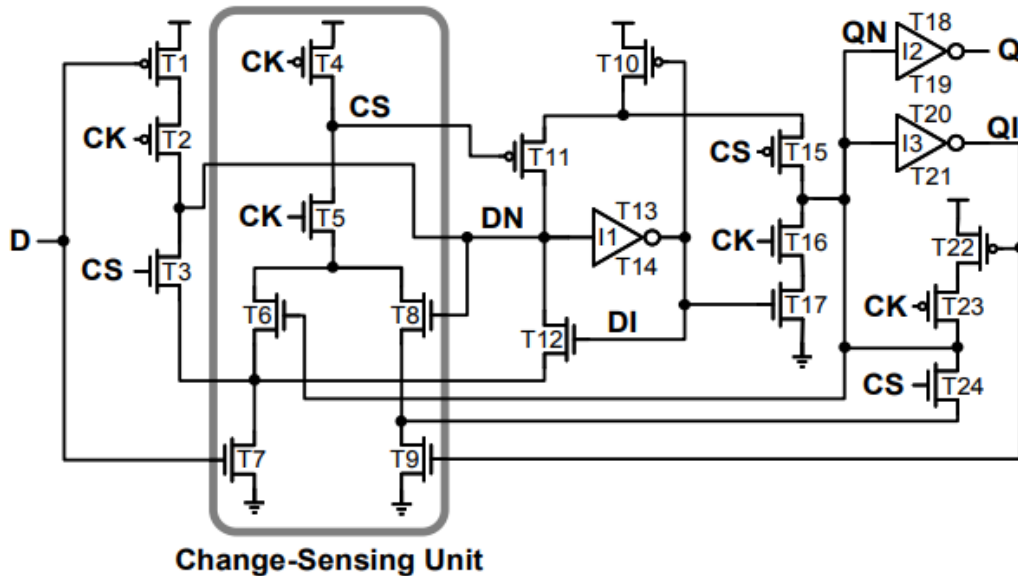


图 1 24T CSFF

附参考文献：V. L. Le, J. Li, A. Chang and T. T. Kim, "An 82% energy-saving change-sensing flip-flop in 40nm CMOS for ultra-low power applications," *2017 IEEE Asian Solid-State Circuits Conference (A-SSCC)*, Seoul, 2017, pp. 197-200.

要求：

请使用如图 2 所示的测试电路，利用 HSPICE 软件对以上 D 触发器电路进行仿真实验。仿真工艺为给定的 CMOS 0.25um 工艺，具体电路中晶体管需设计合适的尺寸。

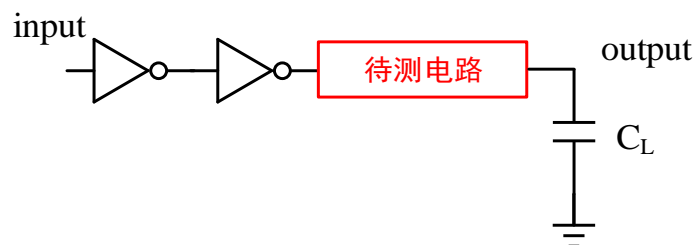


图 2 测试电路

测试电路说明：input transition 由两级反相器(尺寸如下)给定，output load 为  $C_L$  (大小如下)。

Nmos  $W=1.2e-07$   $L=4e-08$

Pmos  $W=2.1e-07$   $L=4e-08$

负载  $C_L = (0.002 + \text{学号末位数} * 0.0005) \text{ pF}$

在实验报告中需完成以下任务：

- (1) 画出晶体管级电路结构，并注明各晶体管尺寸；
- (2) 给出 HSPICE 仿真的完整波形图（需包含必要的输入输出信号）；
- (3) 自己给定合适的测试激励，根据不同的 PVT 条件，完成下表 1 中各项参数的仿真，并写出仿真这些参数时在 HSPICE 中使用的.measure 和.tran 测试语句（提示：可使用 SWEEP 对多种仿真条件进行扫描）；
- (4) 对比各项参数，并结合电路结构和仿真波形，对仿真结果做合理分析（例如不同工艺角/温度/电压如何影响电路参数等）。

表 1 不同 PVT 条件下，D 触发器参数仿真结果

PVT 条件	$T_{CLK2Q}$ 输入 0	$T_{CLK2Q}$ 输入 1	$T_{Setup}$	$T_{hold}$	静态功耗 $P_{static}$	动态功耗 $P_{dyn}$
0. 5V, SS, 70℃						
0. 55V, TT, 25℃						
1. 1 V, TT, 25℃						
1. 2V, FF, 0℃						

要求二：

请使用图 1 所示的 D 触发器，实现一个计数器电路，可完成从 0-7 循环计数的功能，并进行 HSPICE 仿真。

- (1) 画出电路图；
- (2) 给出 HSPICE 仿真波形图。