**实验6 100进制加法计数器电路的设计**

【实验内容】

1. 设计100进制计数电路

【实验目的和要求】

1. 了解异步十进制计数器CD4518工作原理及外围特性
2. 设计100进制计数电路
3. 熟悉8字数码管的电路应用。
4. 绘制原理图和实验实现。

【实验学习材料】

1. 十进制加法计数器CD4518一片，其引脚特性如图6-1所示。其引脚功能如表6-1所示。

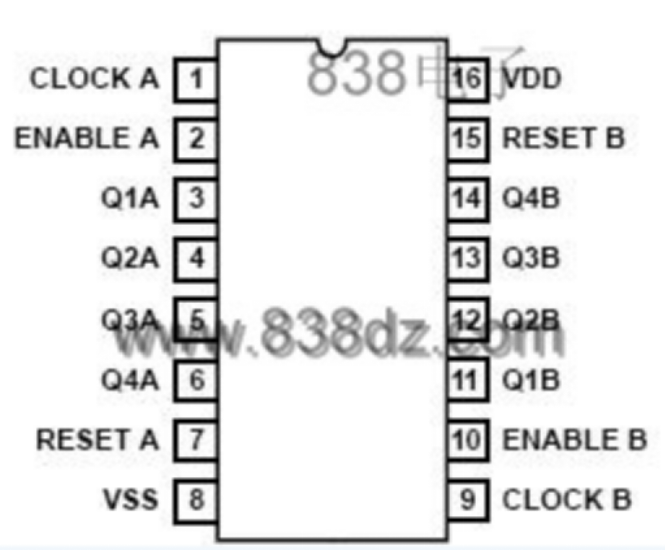


图6-1 十进制计数器CD4518芯片封装图

|  |  |  |
| --- | --- | --- |
| 引脚 | 引脚符号 | 功能 |
| 1、9 | CLOCK | 时钟输入/计数允许控制端 |
| 7、15 | RESET | 消除端，一般直接接地 |
| 2、10 | ENABLE | 计数允许控制端/时钟输入端 |
| 3、4、5、6 | Q1A—Q4A | A计数器计数输出端，送七段译码器74LS48计数输入引脚 |
| 11、12、13、14 | Q1B—Q4B | B计数器计数输出端，送七段译码器74LS48计数输入引脚 |
| 8 | VSS | 电源负极连接引脚 |
| 16 | VDD | 电源正极连接引脚 |

表6-1 CD4518引脚功能特性

（1）CD4518逻辑功能分析：

CD4518是同步加法计数器，在一个封装内可以包含两个可以互换的二-十进制计数器，其功能引脚如图6-1所示。脉冲的输入通过1、2；9、10：若时钟上升沿触发，时钟通过时钟引脚输入，对应的使能信号为1，若是下降沿触发，则时钟由EN端输入，CLOCK引脚置0。

（2）关于时钟的分析

如果个位计数器任选一个（这里可以选A），假设选择上升沿触发，那么十位计数器应该是那种脉冲触发，如果选择，请在实验步骤1中详细分析。

如果个位计数器任选一个（这里可以选A），假设选择下降沿触发，那么十位计数器应该是那种脉冲触发，如果选择，请在实验步骤1中详细分析。

1. 七段译码器74LS48外围特性

3．8字数码管1片，其引脚特性如图8-3所示，3、8引脚接地，DP为小数点。

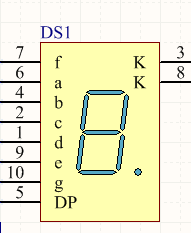


图5-3 8字数码管芯片元件特性图

4．JK触发器7473，见触发器实验，利用JK触发器实现翻转，将频率设为1Hz，即周期为1S。

确定实验内容、实验目的要求、确定元件名称及个数，共15分。

【实验过程】

1.设计思路与逻辑设计（30分）

2.绘制完整逻辑图（15分）

3.说明实验的实现过程、出现的问题和解决的方法（20分）

4.分析理论显示的结果或过程、验证结果的实现方法和过程。（10分）

5.实验总结。（10分）