



(12) 发明专利申请

(10) 申请公布号 CN 113014229 A

(43) 申请公布日 2021. 06. 22

(21) 申请号 202110201303.X

(22) 申请日 2021.02.23

(71) 申请人 南京浣轩半导体有限公司

地址 211135 江苏省南京市麒麟科技创新
园智汇路300号B单元二楼

(72) 发明人 蒋召宇 赵茂 张若平 高润芃
何书专

(74) 专利代理机构 江苏瑞途律师事务所 32346
代理人 金龙

(51) Int. Cl.

H03K 3/017 (2006.01)

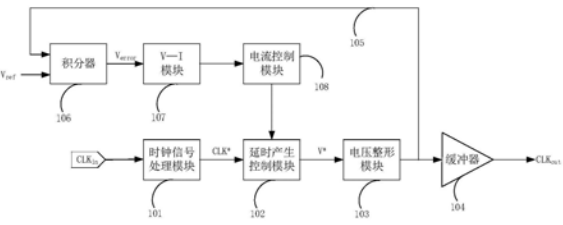
权利要求书1页 说明书6页 附图5页

(54) 发明名称

一种时钟占空比校准方法和系统

(57) 摘要

本发明公开一种时钟占空比校准方法和系统,属于集成电路设计技术领域。针对电路中实际存在的时钟信号占空比不稳定,传统占空比调节电路功耗大并且性能不稳定等问题,本发明提供一种时钟占空比校准方法和系统,使用信号处理模块对输入时钟信号预处理,延时产生控制模块对预处理后的时钟信号进行补偿,校准时钟信号的占空比;延时产生控制模块输出时钟信号通过电压整形模块转换为方波,缓冲器对电压整形模块输出的方波实现信号延时,输出占空比校准完成时钟信号。本发明将时钟信号转换并进行延时控制,实现对输入时钟信号占空比的校准,不受温度、电压和制作工艺的影响,成本低可靠性高,实用性强。



1. 一种时钟占空比校准方法,其特征在于,信号处理模块对输入时钟信号预处理,延时产生控制模块对预处理后的时钟信号进行补偿,然后依次通过电压整形模块和缓冲器,输出占空比校准完成时钟信号,所述电压整形模块将时钟信号转换为方波,缓冲器对方波实现信号延时;

延时产生控制模块的输入信号还包括反馈电流,所述反馈电流通过控制延时产生控制模块中的充电时间调整时钟信号处理模块输出的时钟信号的占空比。

2. 根据权利要求1所述的一种时钟占空比校准方法,其特征在于,所述反馈电流通过积分器、V-I模块和电流控制模块处理后输出,积分器对电压整形模块输出的时钟信号和基准电压积分,V-I模块将积分得到的电压信号转换为电流信号,电流控制模块将所述电流信号转换反馈到延时产生控制模块。

3. 根据权利要求1所述的一种时钟占空比校准方法,其特征在于,延时产生控制模块包括理想开关和RC回路,理想开关根据输入延时产生控制模块时钟信号确定导通时间;固定周期不变的情况下,通过RC回路中对电容充电时间调整输入延时产生控制模块时钟信号的占空比。

4. 根据权利要求3所述的一种时钟占空比校准方法,其特征在于,当时钟占空比小于基准电压占空比时,充电时间增长,时钟占空比增大,输出时钟占空比补偿至基准电压占空比;当时钟占空比大于基准电压占空比时,充电时间缩短,时钟占空比减少,输出时钟占空比减小至基准电压占空比。

5. 根据权利要求4所述的一种时钟占空比校准方法,其特征在于,延时产生控制模块输出的电压信号与输入时钟信号是反向的;系统启动后的第一个时钟信号由于反馈回路无信号,延时产生控制模块输出的电压信号为低电平。

6. 根据权利要求1所述的一种时钟占空比校准方法,其特征在于,所述时钟信号处理模块将输入时钟信号转换为上升沿触发的单脉冲信号,用于记录所述输入时钟信号的时钟周期。

7. 根据权利要求2所述的一种时钟占空比校准方法,其特征在于,电流控制模块使用由MOS管构成的镜像恒流源。

8. 根据权利要求2所述的一种时钟占空比校准方法,其特征在于,所述基准电压为时钟占空比为固定值的电压平均值。

9. 一种时钟占空比校准系统,其特征在于,使用如权利要求1-8任意一项所述的一种时钟占空比校准方法,包括时钟信号处理模块、延时产生控制模块、电压整形模块、缓冲器、反馈回路、积分器、V-I模块和电流控制模块;输入时钟信号依次通过时钟信号处理模块、延时产生控制模块、电压整形模块和缓冲器,输出处理后的时钟信号;延时产生控制模块的输入信号还包括依次通过反馈回路、积分器、V-I模块和电流控制模块反馈的电流信号。

10. 根据权利要求1所述的一种时钟占空比校准系统,其特征在于,电压整形模块为施密特触发器或比较器。

一种时钟占空比校准方法和系统

技术领域

[0001] 本发明涉及集成电路设计技术领域,更具体地说,涉及一种时钟占空比校准方法和系统。

背景技术

[0002] 时钟信号简单来说是由电路产生的具有周期性的脉冲信号,在今天数字逻辑、数字计算统治的世界里,几乎所有的操作都是在时钟的作用下实现的。时钟信号较常被用来为系统中多个同步执行的电路之间、为不同系统之间的数据传输提供参考基准。

[0003] 在高性能集成电路中,ADC和DAC模块都需要精确的时钟信号保证采样的准确,这对时钟信号提出新的要求,要求时钟信号的占空比精准可调。而在实际电路中,时钟驱动器的输入输出信号都不是理想状态,不仅会存在噪声现象,更会出现时钟信号的抖动。在高速总线、无线通信系统和数据采集处理领域中,随着电路工作速度的提高,时钟的抖动对系统的稳定性产生重大影响,会导致数据传输错误和误码率的增大。

[0004] 由于外部晶振无法保证输入的时钟信号占空比为50%,其占空比无法满足整体芯片的使用需求,因此就有必要在芯片内部设计专门的占空比校准电路来实现占空比的精度要求。传统的占空比校准电路及方法中,根据锁相环原理设计的校准电路运用较为广泛,然而锁相环电路结构中需要鉴频鉴向,环路滤波,压控振荡器及分频器,相对来说成本较高。在时钟信号占空比调节时,调节效果容易受到温度、电压和工艺等外界因素条件影响。

[0005] 如何实现稳定的校准时钟占空比,确保芯片时钟信号占空比为50%是本领域重要的研究课题。

发明内容

[0006] 1.要解决的技术问题

[0007] 针对电路中实际存在的时钟信号占空比不稳定,传统占空比调节电路功耗大并且性能不稳定等问题,本发明提供一种时钟占空比校准方法和系统,将时钟信号转换并进行延时控制,实现对输入时钟信号占空比的校准,不受温度、电压和制作工艺的影响,成本低实用性强。

[0008] 2.技术方案

[0009] 本发明的目的通过以下技术方案实现。

[0010] 一种时钟占空比校准方法,信号处理模块对输入时钟信号预处理,延时产生控制模块对预处理后的时钟信号进行补偿,然后依次通过电压整形模块和缓冲器,输出占空比校准完成时钟信号,所述电压整形模块将时钟信号转换为方波,缓冲器对方波实现信号延时;

[0011] 延时产生控制模块的输入信号还包括反馈电流,所述反馈电流通过控制延时产生控制模块中的充电时间调整时钟信号处理模块输出的时钟信号的占空比。本发明电压整形模块输出的信号,经过缓冲器输出最终的时钟信号 CLK_{out} ,第二个时钟周期后的时钟信号占

空比均为50%。

[0012] 更进一步的,所述反馈电流通过积分器、V-I模块和电流控制模块处理后输出,积分器对电压整形模块输出的时钟信号和基准电压积分,V-I模块将积分得到的电压信号转换为电流信号,电流控制模块将所述电流信号转换反馈到延时产生控制模块。电压整形模块输出和基准电压 V_{ref} 输入积分器,得到输出电压 V_{error} 。输出电压 V_{error} 是时钟占空比信号相比基准电压的总误差。积分器输出电压 V_{error} 经过电压转电流模块,将电压信号转换为对应的电流值。

[0013] 更进一步的,延时产生控制模块包括理想开关和RC回路,理想开关根据输入延时产生控制模块时钟信号确定导通时间;固定周期不变的情况下,通过RC回路中对电容充电时间调整输入延时产生控制模块时钟信号的占空比。

[0014] 更进一步的,当时钟占空比小于基准电压占空比时,充电时间增长,时钟占空比增大,输出时钟占空比补偿至基准电压占空比;当时钟占空比大于基准电压占空比时,充电时间缩短,时钟占空比减少,输出时钟占空比减小至基准电压占空比。

[0015] 更进一步的,延时产生控制模块输出的电压信号与输入时钟信号是反向的;系统启动后的第一个时钟信号由于反馈回路无信号,延时产生控制模块输出的电压信号为低电平。延时产生控制模块输出的电压信号 V^* 与输入信号 CLK^* 是反向的,即 CLK^* 上升沿时,输出信号 V^* 从1到0,保证了时钟信号周期T不变。

[0016] 更进一步的,所述时钟信号处理模块将输入时钟信号转换为上升沿触发的单脉冲信号,用于记录所述输入时钟信号的时钟周期。所述的时钟信号处理模块接收输入的任意占空比的时钟信号 CLK_{in} ,并输出处理后的时钟信号 CLK^* , CLK^* 是原始时钟信号 CLK_{in} 上升沿触发的脉冲信号,当时钟信号从0到1时, CLK^* 产生对应的脉冲信号,由此记录时钟信号周期时间。

[0017] 更进一步的,电流控制模块使用由MOS管构成的镜像恒流源。将电流值输入电流控制模块,电流控制模块由电流镜电流构成。通过电流镜将输入的电流量转换为对应的电阻量,与延时产生控制模块构成充电模块。通过反馈的时钟占空比误差,通过改变充电效率来改变充电时间,从而实现回路的闭环控制,同时对占空比的校准。

[0018] 更进一步的,所述基准电压为时钟占空比为固定值的电压平均值。一般来说,所述固定值为50%,即基准电压为占空比为50%的电压平均值。

[0019] 本发明提出了一种时钟占空比校准方法,通过多个模块控制,使得输入任意占空比的时钟信号能够转换为占空比为50%的时钟信号,且与输入信号无关,提高时钟信号的精确度,可靠性强。

[0020] 一种时钟占空比校准系统,使用所述的一种时钟占空比校准方法,包括时钟信号处理模块、延时产生控制模块、电压整形模块、缓冲器、反馈回路、积分器、V-I模块和电流控制模块;输入时钟信号依次通过时钟信号处理模块、延时产生控制模块、电压整形模块和缓冲器,输出处理后的时钟信号;延时产生控制模块的输入信号还包括依次通过反馈回路、积分器、V-I模块和电流控制模块反馈的电流信号。

[0021] 更进一步的,电压整形模块为施密特触发器或比较器。

[0022] 本发明所述时钟占空比校准系统,通过时钟信号处理将输入时钟的占空比进行转换,从而对于任意占空比时钟进行校准。占空比校准时对延时产生控制,对处理过的时钟信

号进行校准,从而输出占空比为50%的时钟信号。本发明校准方法不受外界温度、电压和工艺等条件影响,具有很强的兼容性和实用性。

[0023] 3.有益效果

[0024] 相比于现有技术,本发明的优点在于:

[0025] 本发明提出了一种全新的时钟占空比校准方法和系统,本发明使用时钟信号处理模块对时钟信号预处理,将时钟信号处理为相同的信号,对占空比不同的时钟信号进行统一的处理,得到占空比接近50%的时钟信号。再通过延时产生控制模块检测,对后续信号进行调整控制,得到最终50%的占空比的时钟信号。

[0026] 本发明所述的时钟占空比校准方法,能够有效地调节任意占空比的时钟信号,并输出占空比为50%的信号,提升系统可靠性,并且系统对任意占空比信号进行预处理,调节后产生50%占空比的时钟信号,因为占空比由信号对比产生,与输入信号无关,所以不受温度、电压和制作工艺的影响,提高了方法的实用性和兼容性。

附图说明

[0027] 图1为本发明的系统结构图;

[0028] 图2为本发明时钟信号处理模块的工作示意图;

[0029] 图3为本发明延时产生控制模块的工作示意图;

[0030] 图4为本发明时钟占空比校准过程的示意图;

[0031] 图5为本发明实际案例电路示意图;

[0032] 图6为本发明延时产生控制模块的电路示意图;

[0033] 图7为本发明缓冲器的电路示意图;

[0034] 图8为本发明积分器与V/I转换电路示意图;

[0035] 图9为本发明电流控制模块的实例电路示意图;

[0036] 图中标号说明:101、时钟信号处理模块;102、延时产生控制模块;103、电压整形模块;104、缓冲器;105、反馈回路;106、积分器;107、V-I模块;108、电流控制模块。

具体实施方式

[0037] 下面结合说明书附图和具体的实施例,对本发明作详细描述。

[0038] 实施例1

[0039] 图1所示为本发明的系统结构图,本发明系统包括时钟信号处理模块101、延时产生控制模块102、电压整形模块103、缓冲器104、反馈回路105、积分器106、V-I模块107和电流控制模块108;输入时钟信号依次通过时钟信号处理模块101、延时产生控制模块102、电压整形模块103和缓冲器104,输出处理后的时钟信号,其中,延时产生控制模块102输入的信号还包括依次通过反馈回路105、积分器106、V-I模块107和电流控制模块108反馈处理的电流信号。

[0040] 图5为本实施例电路示意图,将图1所示模块整合,设计对应的电路使用,体现出本发明的可行性。下面结合系统整体结构图和电路图,对各模块进行详细描述。

[0041] 时钟信号处理模块101用于对输入时钟信号进行转换,便于后续模块的处理。将输入时钟信号处理模块101的时钟信号定义为 CLK_{in} ,将经过时钟信号处理模块101处理后输出

的信号定义为 CLK^* ,输入时钟信号 CLK_{in} 的占空比可以为任意值。

[0042] 时钟信号处理模块101的输出信号 CLK^* 和电流控制模块108输出的反馈电流信号都作为输入信号发送至延时产生控制模块102,输出电容电压 V^* 。延时产生控制模块102用于对时钟信号 CLK^* 进行补偿,从而达到占空比校准的目的。当系统执行第一个时钟周期时时,输入时钟信号 CLK^* ,反馈的电流信号 I_{out} 在第一个周期情况下为0,输出的电压 V^* 为低电平,以便后续信号的处理。

[0043] 延时产生控制模块102如图6所示,包括理想开关和RC回路,理想开关包括一个P型MOS管和一个N型MOS管,两个MOS管的栅极都连接时钟信号 CLK^* ,两个MOS管的漏极均连接RC回路中电路的一端,并输出电容电压 V^* ,电容的另一端接地;N型MOS管的源极连接电流控制模块108输出的反馈电流 I_{out} ,P型MOS管的源极接地。当理想开关导通时间受时钟信号 CLK^* 影响,固定周期不变的情况下,通过改变RC回路对电容进行充电,实现对占空比的调整。

[0044] 延时产生模块102中,时钟信号 CLK^* 控制MOS管的导通和关断,当 CLK^* 为高电平时,下方P型MOS管导通,电容对地放电,输出电压 V^* 变为0;当 CLK^* 为低电平时,上方N型MOS管导通,由电流控制模块108的电流 I_{out} 对电容进行充电,通过控制电流大小控制充电时间,进而实现控制占空比。MOS管的导通关系和时钟信号对应,输出的电压信号 V^* 与输入信号 CLK^* 成反向关系。为了在第一个时钟周期对输出信号拉低便于后续反馈,当系统输入第一个时钟周期时,上方N型MOS管导通后没有电流信号,电容不充电,输出信号保持不变,便于在第二个周期对时钟信号占空比统一补偿,将占空比补偿至50%,再进行第二个周期的调整。

[0045] 电压整形模块103包括施密特触发器或比较器,用于对延时产生控制模块102的电压信号 V^* 整形,产生对应占空比的时钟信号。延时产生控制模块102输出的电压信号 V^* 是电容充放电产生的结果,得到的结果不是理想的方波,包含了电容充放电的过程,通过施密特触发器将波形转换为方波输出。在第一个时钟信号周期,电压整形后得到的波形仍为低电平,再经由反馈后得到占空比为50%的时钟信号。作为本发明的另一种改进,电压整形模块103也可使用电压比较器对电压信号 V^* 整形,电压比较器电路中设置参考电压约为电压值的一半,判断时钟的翻转情况,产生理想的方波。

[0046] 电压整形模块103除了第一个时钟周期,都将输出的时钟信号经过缓冲器104输出校准完成 CLK_{out} 信号,同时电压整形模块103的输出时钟信号还经由反馈回路105对时钟信号进行校准。

[0047] 本实施例中缓冲器104电路如图7所示,包括四个MOS管,具体为两个P型MOS管和两个N型MOS管,第一P型MOS管和第一N型MOS管的栅极均连接输入电压整形模块103的输出信号 CLK_{out0} 信号,第一P型MOS管和第一N型MOS管的漏极均连接第二P型MOS管和第二N型MOS管,第二P型MOS管和第二N型MOS管的漏极连接输出 CLK_{out} 信号,第一N型MOS管和第二N型MOS管的源极连接电源VDD,第一P型MOS管和第二P型MOS管的源极接地。输入信号 CLK_{out0} 通过两次翻转实现信号的延时,缓冲器104能够解决门电路抗干扰能力差和不对称的问题,缓冲器104使输出波形堆成,并增强输出的驱动能力。

[0048] 积分器106的输入信号包括电压整形模块105整形后的时钟信号和基准电压 V_{ref} ,得到输出电压 V_{error} ,积分器106的输出电压 V_{error} 表示时钟占空比信号相比基准电压的总误差。积分器106中通过若干MOS管提供积分器所需的电流和电压,基准电压 V_{ref} 使用时钟占空比为50%时的平均电压值。积分器106通过对输入的时钟信号和基准电压的积分,表现出时

钟信号占空比与50%占空比之间的误差,若时钟信号占空比大于50%,积分器结果 V_{error} 呈向下的趋势;若占空比小于50%,积分器结果 V_{error} 呈向上的趋势,从而起到对占空比误差直观的反应。时钟占空比的总误差在 V_{error} 上体现,便于系统对时钟信号的调整。

[0049] 积分器106电路如图8所示,包括一个运算放大器、一个电阻 R_0 和一个电容,电压整形模块103的输出信号作为输入信号通过电阻 R_0 与积分器103中运算放大器的反相输入端连接,电容的两端分别连接运算放大器的反相输入端和输出端,基准电压 V_{ref} 连接运算放大器的同相输入端,运算放大器的输出端为积分器结果 V_{error} 。当积分器106的输入电压为直流电压时,积分器106的输出电压为随时间变化的线性函数,该线性函数的变化率与输入电压成正比,产生对应的三角波。

[0050] V-I模块107用于将积分得到的电压信号 V_{error} 转换为电流值,V-I模块107输出的电流信号 I_{error} 输入电流控制模块108,通过电流控制模块108将输入的电流信号 I_{error} 转换并反馈到延时产生控制模块102,从而实现系统的闭环控制,实现对时钟占空比的校准。

[0051] 电流控制模块108通过电流镜将输入的电流值转换为对应的电阻量,与延时产生控制模块102构成充电模块。根据反馈的时钟占空比误差,通过改变充电效率来改变充电时间,从而实现回路的闭环控制,同时对占空比的校准。V-I模块107电路如图8所示,包括一个MOS管和一个电阻 R_1 ,MOS管的栅极连接积分器106中运算放大器的输出端,MOS管的源极连接电阻 R_1 的一端,积分器106的运算放大器的同相输入端连接电压信号 V_{error} ,将电压信号 V_{error} 除 R_1 得到将电流值 I_{error} ,流过负载的电流值仅于输入电压 V_{error} 和 R_1 有关,,本实施例示意的V-I模块107电路图将电压转为不因负载变化的电流值,并且因为端口不接地,减少共模信号等噪声的可能。

[0052] 电流控制模块108的电路如图9所示,为MOS管构成的镜像恒流源,包括两个MOS管。如图9所示,两个MOS管的栅极连接,两个MOS管的源极也均连接,第一MOS管的漏极连接输入信号 I_{in} ,第二MOS管的漏极连接输出信号 I_{out} ,电流在控制电路108将电流信号进行“复制”,并作为有源负载使用。

[0053] 图2所示为时钟信号处理模块101的工作示意图,时钟信号处理模块101输入时钟信号 CLK_{in} ,无论信号占空比大于或小于50%,都做相同的处理,即将信号变为上升沿触发的单脉冲信号,当时钟信号从0到1时, CLK^* 产生对应的脉冲信号,以此记录输入时钟信号 CLK_{in} 的时钟周期。时钟信号处理模块101为通过输入时钟信号的上升沿触发的单脉冲模块,对于周期不变的任意占空比信号都将处理为相同周期的脉冲信号,消除了相同周期不同时钟占空比导致系统调整次数多,对于周期不变的时钟信号进行稳定处理,得到稳定的信号便于后续系统的校准。

[0054] 图3所示为延时产生控制模块102电容充放电时间控制的工作示意图,横坐标表示时钟信号充放电时间,其中 t_1 是占空比为50%的时钟信号充电的时间,即时钟周期 T 的一半。当占空比小于50%时,经过反馈回路电容的充电速度降低,充电时长增大,如 t_2 所示,增长充电时间使占空比增大;当占空比大于50%时,电容充电速度增快,充电时长缩短,如 t_3 所示,缩短充电时间使占空比减少。

[0055] 本实施例时钟占空比校准过程如图4示意图,输入时钟信号 CLK_{in} 经过时钟信号处理模块101处理得到对应的 CLK^* 信号,输入延时产生控制模块102,当时钟信号稳定后,输出的时钟信号 CLK_{out} 占空比与延时产生控制模块102中电容的充电时间 t 直接相关,该充电时

间与反馈相关,即为了达到相同的电量等级,当占空比小于50%时,充电时间 t 增长,则占空比增大,输出占空比补偿至50%;当占空比大于50%时,充电时间 t 减小,则占空比减小,输出占空比减小至50%。

[0056] 电流控制模块108通过负载值的调节,实现对延时产生控制模块102的调节,当时钟信号占空比小于50%时,电流控制模块108输入延时产生控制模块102的电流信号 I_{OUT} 小,延时产生控制模块102的电容充电时间增多,时钟信号的占空比增大;当时钟信号占空比大于50%时,电流控制模块108输入延时产生控制模块102的电流信号 I_{OUT} 大,延时产生控制模块102的电容充电时间减少,时钟信号的占空比减小。

[0057] 本实施例通过设置动态充电时间 t ,对 CLK_{out} 占空比进行一个范围内的调节,使最终信号占空比为50%。使用本实施例占空比调节方法输入的时钟信号经过时钟信号处理模块101处理得到相同周期的脉冲信号 CLK^* ,占空比经反馈回路补偿调整,逐渐增大到50%。通过本实施例可以实现对输入时钟信号占空比的校准,并且校准过程不受温度、电压和制作工艺等因素的影响,成本低兼容性好,具有很高的实用性。

[0058] 以上示意性地对本发明创造及其实施方式进行了描述,该描述没有限制性,在不背离本发明的精神或者基本特征的情况下,能够以其他的具体形式实现本发明。附图所示的也只是本发明创造的实施方式之一,实际的结构并不局限于此,权利要求中的任何附图标记不应限制所涉及的权利要求。所以,如果本领域的普通技术人员受其启示,在不脱离本创造宗旨的情况下,不经创造性的设计出与该技术方案相似的结构方式及实施例,均应属于本专利的保护范围。此外,“包括”一词不排除其他元件或步骤,在元件前的“一个”一词不排除包括“多个”该元件。产品权利要求中陈述的多个元件也可以由一个元件通过软件或者硬件来实现。第一,第二等词语用来表示名称,而并不表示任何特定的顺序。

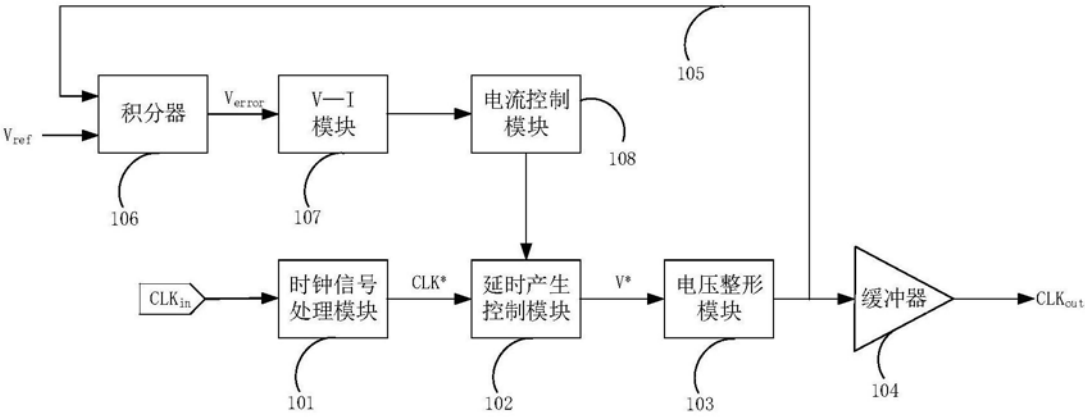


图1

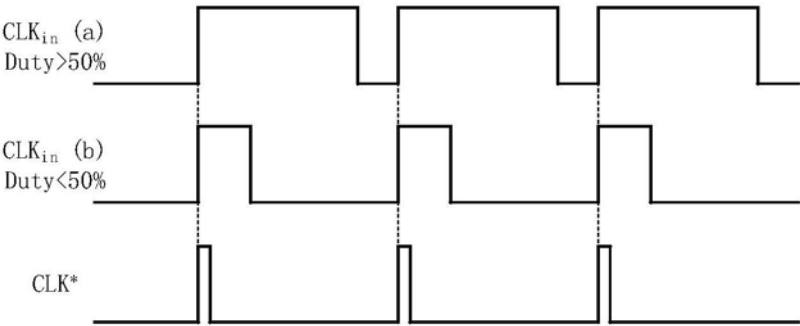


图2

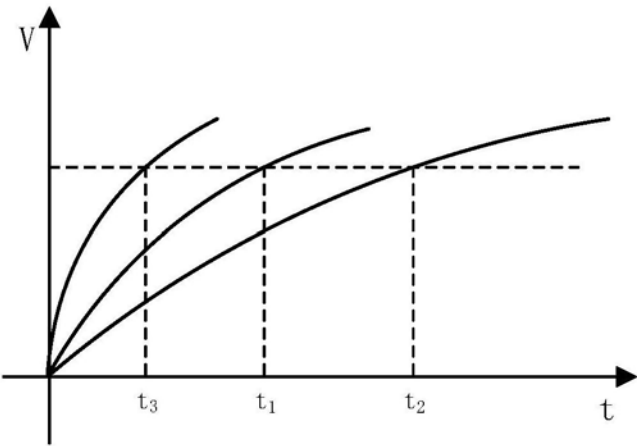


图3

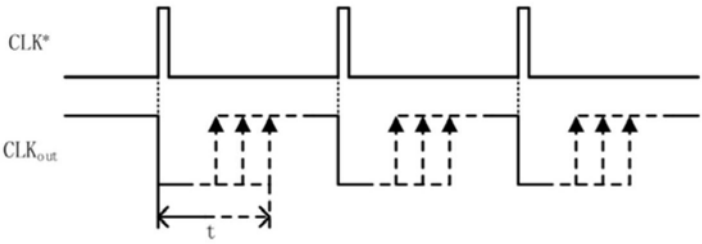


图4

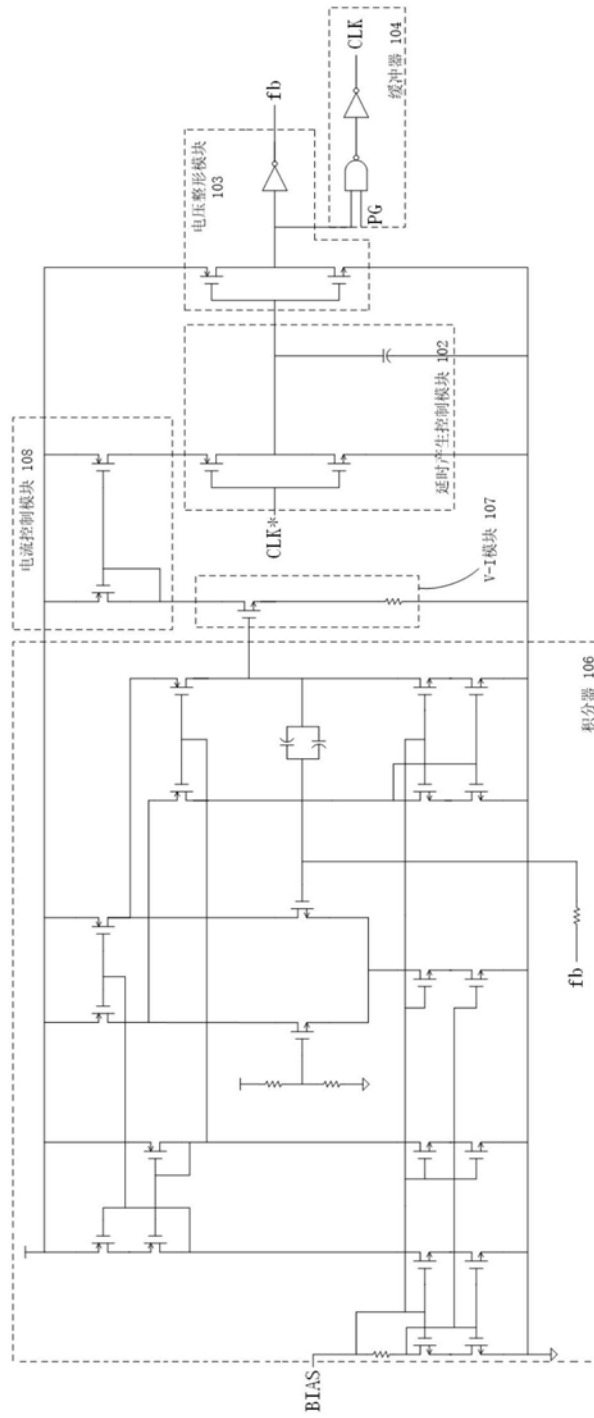


图5

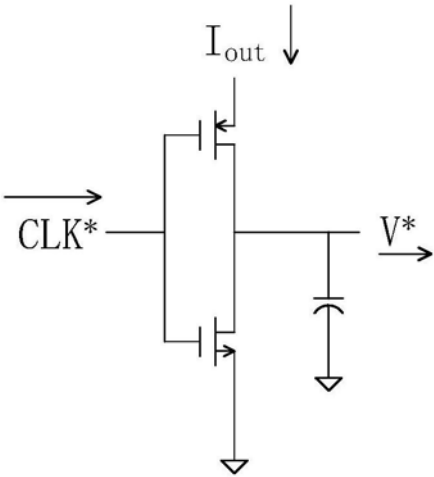


图6

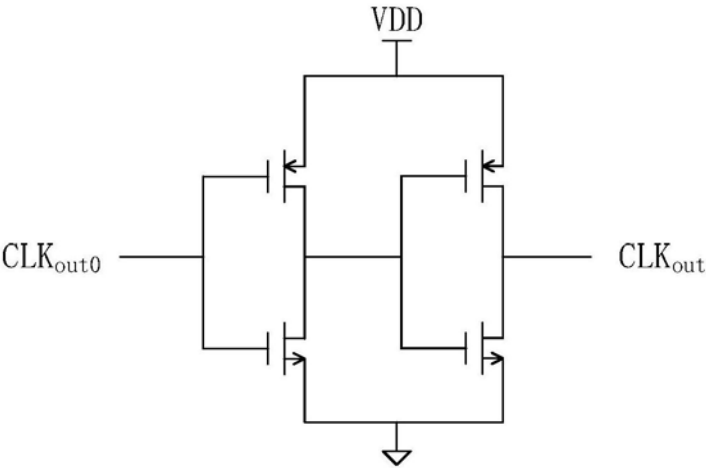


图7

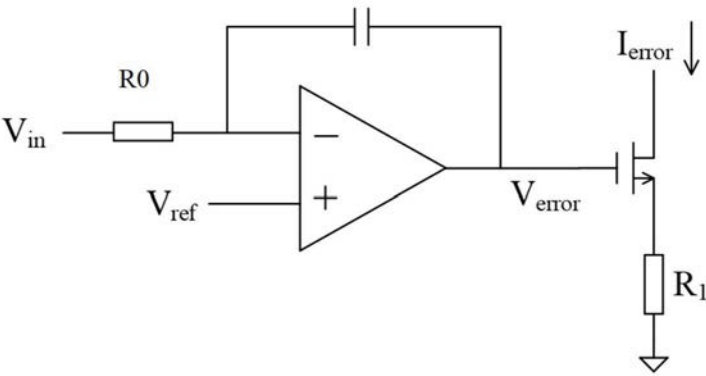


图8

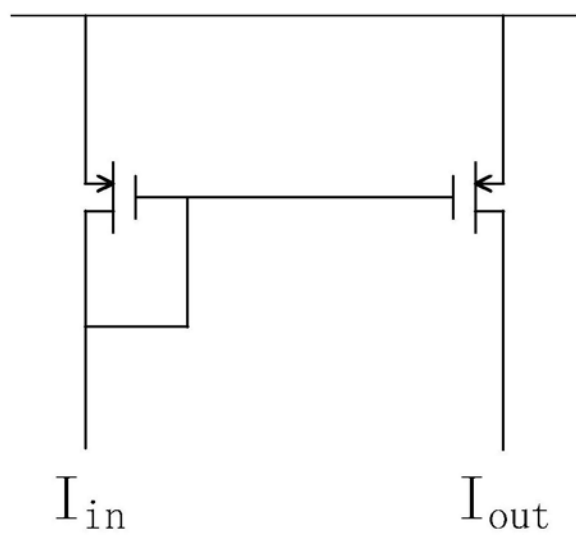


图9