2022 Digital IC Design
Homework 4: Edge-Based Line Average interpolation

NAME	陳柏均
Student ID	P76101584

Simulation Result

Functional simulation	Pass	Gate-level simulation	Pass	Clock width	18ns	Gate-level simulation time	44756.223ns

Synthesis Result

Total logic elements	354
Total memory bit	0
Embedded multiplier 9-bit element	0

Flow Status	Successful - Sun May 22 01:39:11 2022
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	ELA
Top-level Entity Name	ELA
Family	Cyclone II
Device	EP2C70F896C8
Timing Models	Final
Total logic elements	354 / 68,416 (< 1 %)
Total combinational functions	352 / 68,416 (< 1 %)
Dedicated logic registers	104 / 68,416 (< 1 %)
Total registers	104
Total pins	39 / 622 (6 %)
Total virtual pins	0
Total memory bits	0 / 1,152,000 (0 %)
Embedded Multiplier 9-bit elements	0 / 300 (0 %)
Total PLLs	0 / 4 (0 %)

Description of your design

將狀態分為 4 個種，分別為:req high、save data、read data、output data

1. req high state 將 req 設為 high，進入 save data state。
2. save data state，一次從 grayscale image memory 讀取 32 筆資料，並直接將資料依序存在 Result image memory 的基數行。
3. 如果 grayscale image memory 還沒存完，回到 step1 繼續做，否則進入 read data state。
4. 從第 32 格開始計算(只計算偶數行)，如果是最左邊欄位，得到 b、c、e、f 的值後，將 ready 設為 1，從第二欄開始，a=b, d=e, b=c, e=f, 接著取得 c 和 f 的值後 ready 設為 1。
5. 如果 ready=1，進入 output data state。
6. 如果是最左邊或最右邊的欄位，data_wr = (b+e)/2，否則，計算la-fl、lb-el、lc-dl的最小值，若la-fl最小，則 data_wr=(a+f)/2，若lb-el最小，則 data_wr=(b+e)/2，否則 data_wr=(c+d)/2
7. 如果偶數行皆計算完，done=1，否則回到 step4 繼續做。

Scoring = (Total logic elements + total memory bit + 9*embedded multiplier 9-bit element) × (longest gate-level simulation time in <u>ns</u>)