

五段流水CPU设计

華中科技大學

谭志虎 2020-02

进度安排

- 课程设计的总体时间为2周,具体安排如下:
 - □ 第1天: 到实验室布置任务和集中讲解;
 - □ 第1~3天: 查阅资料, 小组合作完成单周期上板;
 - □ 第4天:中期检查,单周期上板验收检查(含CCMB测试);
 - □ 阶段性成果随时检查(便于老师掌握进度);
 - □ 第10天: 最终结果验收(不延期检查)。
- 报告不得超过30页,第7周周一交报告
- 按班为单位提交电子版即可,具体规范见任务书

- 掌握MIPS 5段流水机制基本原理,能利用多门课程的专业知识解决五段流水CPU设计的复杂工程问题,提升复杂工程问题分析解决能力;
- 能处理 MIPS 指令流水线的各类冲突冒险,能利用 LOGSIM或FPGA平台完成最终的设计与实现,最终设计 完成的流水CPU能执行标准测试程序,在此基础上,可进一步增加中断异常处理机制,动态分支预测等扩展功能。

课程设计任务

- 利用FPGA开发板设计5段流水CPU
 - □ 支持27+4条教师指定的MIPS指令(每人一个4位代号CCMB)
 - □ 支持中断处理机制
 - □ 支持5段流水机制,可处理数据冒险,结构冒险,分支冒险
 - □ 扩展功能(中断机制,动态分支预测)
 - □ 能正确运行标准测试程序和自编测试程序(测试CCMB指令)
 - □ 具有自动统计功能
 - →运行周期数
 - ◆插入气泡数, Load Use冲突次数
 - ◆无条件跳转次数,有条件成功跳转次数
 - ◆分支预测成功,失败次数等(分支预测相关)

课程设计实验环境

- LOGISIM
 - □ Logisim进行方案论证
 - □ 跑通流水线重定向机制
- FPGA开发板
 - □ 单周期上板(合作开发)
 - □ 流水线上板 (独立开发)
 - □ 完成时序仿真后再开始领板子

课程设计路径及评分标准(百分制)







单周期 FPGA 45分

将课程实验工作移植FPGA 小组充分分工合作,代码共享 FPGA平台(2-3天)

理想流水线 50分

设计流水段间接口部件 只能跑有限几条指令 Logisim平台 (0.5-1天)

气泡流水线 60分

数据冲突检测,处理分支冲突插入气泡解决数据冲突 Logisim平台 (1-2天)

重定向流水线 70分

重定向机制设计, 控制器改造(自信心爆棚) Logisim平台 (1-2天)



单级中断支持 +8

设计单周期CPU中断硬件 设计中断演示程序 Logisim/FPGA (1-2天)



多级嵌套中断 +5/13

单周期多级嵌套中断机制 软硬协同,配合精密 Logisim/FPGA (+1天)



流水线中断 +5

流水线中断机制实现 单级嵌套方案均可 Logisim/FPGA平台(+1天)



流水线上开发板 +12

重定向流水线 FPGA实现 抓狂,抓狂,抓狂(2-3天)



扩展:分支预测 +10

动态分支预测机制 相联存储器设计,LRU算法 (Logisim2天 FPGA 1天)

扩展模块 任意组合

封顶105分



奋战一两周,造块CPU

调试两三晚, 玩转开发板

虐我千百遍,搞定流水线

各阶段检查要求

- 单周期上板检查
 - □ 能运行benchmark程序,周期数1546,内存数据排序正确
 - □ FPGA开发板应绑定功能开关
 - ◆可切换显示区域功能
 - 程序显示,时钟周期统计,内存数据观察,其他运行参数
 - ◆可切换频率,可复位
- 中断检查
 - □ 主程序benchmark, 中断服务程序---中断演示程序2.0
 - □ 单级中断依次点击1,2,3号中断源按键,能正常响应中断
 - □ 多重嵌套中断依次点击1,2,3号中断按键
 - ◆应先后进入1→2→3→2→1→CPU
 - □ 多重嵌套中断依次点击2,3,1号中断按键
 - ◆应先后进入2→3→2→1→CPU

各阶段检查要求

- 理想流水线
 - □ 能运行理想流水线测试程序
 - □ 周期数21,内存数据写入正常
- 气泡流水线
 - □ 能正确运行benchmark+CCMB程序
 - □ 能统计气泡数目,分支跳转次数
 - □ 总周期数=1546+4+气泡数目+分支误取深度*分支数-1
- 重定向流水线
 - □ 能正确运行benchmark程序
 - □ 能统计Load-Use次数,分支数
 - □ 总周期数=1546+4+分支误取深度*分支数+load-Use次数
 - □ 参考答案 (1984, 2298, 3612), 其他答案说明理由