

实验三 寄存器设计

一、实验目的

学会运用Verilog语言设计时序逻辑电路的基本方法。

通过实验，使学生加深对寄存器的理解。学会对寄存器最基本单元D触发器的设计和8位寄存器的设计。

二、实验内容

1、使用 Verilog HDL 语言，设计一个带有异步清零 clrn 和 wen 写使能端的 D 触发器 dffe。如图3-1。

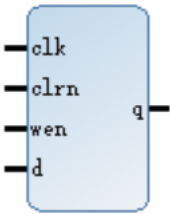


图 3-1 D触发器dffe

D触发器的状态方程为： $Q_{n+1}=D$ 。

其输入输出和真值表如表3-1所示。

表 3-1 dffe真值表

输 入				输出
clk	clrn	wen	d	q
X	0	X	X	0
上升沿	1	0	D	D
上升沿	1	1	X	q

该真值表表明：信号clrn(**clear_negative**)在**低电平**时进行**异步清零**（异步是指不受时钟约束，在任何时钟下均产生结果）。在时钟**上升沿**时，若信号wen(**write_enable_negative**)为高电平，则写无效，信号保持原来的值；若信号wen为**低电平**，则**写有效**，此时信号q的值更新为上升沿处d的值。

创建工程dffe，完成设计dffe.v，添加并**补全仿真文件**dffe_sim.v，仿真结果需如图3-2所示。注意理解仿真图中红色框圈出的地方的信号变化与真值表描述的对应关系。

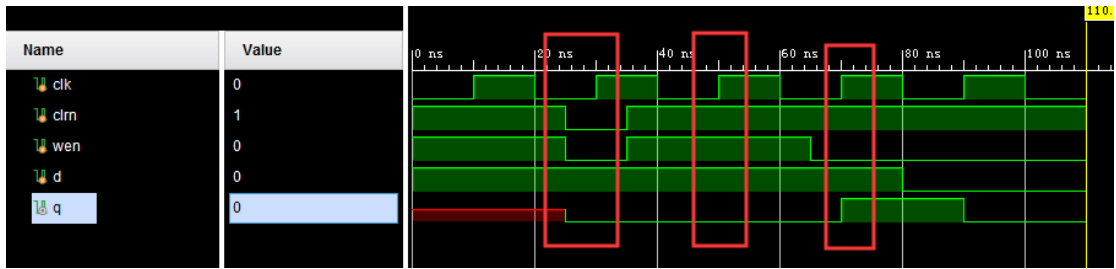


图 3-2 D触发器的仿真波形图

添加约束文件dffe.xdc，综合、实现、生成比特流后下载到板验证。管脚分配如表3-2所示。根据管脚分配表完成约束文件。

表 3-2 dffe管脚分配表

信号	部件	管脚	信号	部件	管脚
clk	SW7	R1	q	D1	F6
clrn	SW2	P3	d	SW0	P5
wen	SW1	P4			

2、运用Verilog HDL 语言的结构描述法（可参考实验二），使用已完成的带有异步清零 clrn 和 wen 使能端的 D 触发器组成 8 位寄存器reg8。

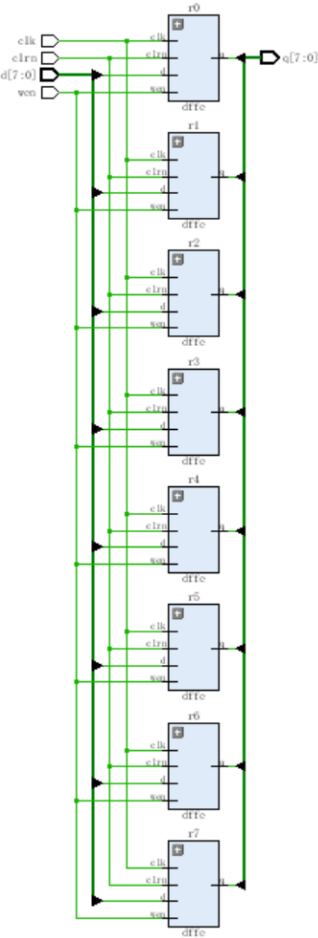


图 3-3 8位寄存器reg8原理图

新建工程reg8，导入dff.v，完成设计reg8.v，添加仿真文件reg8_sim.v。运行仿真，仿真结果如图3-3所示。

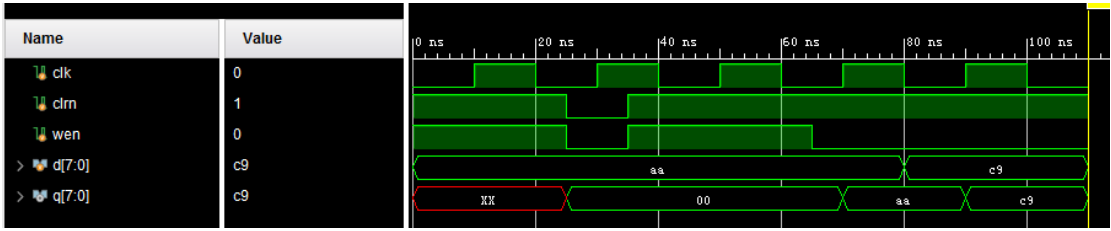


图 3-3 8位寄存器的仿真波形图

添加约束文件reg8.xdc，reg8 的管脚分配如表 3-2 所示。

表 3-4 reg8管脚分配表

信号	部件	管脚	信号	部件	管脚
d[7]	SW8-8	T5	q[7]	D8	K2
d[6]	SW8-7	T3	q[6]	D7	J2
d[5]	SW8-6	R3	q[5]	D6	J3
d[4]	SW8-5	V4	q[4]	D5	H4
d[3]	SW8-4	V5	q[3]	D4	J4
d[2]	SW8-3	V2	q[2]	D3	G3
d[1]	SW8-2	U2	q[1]	D2	G4
d[0]	SW8-1	U3	q[0]	D1	F6
clk	SW7	R1	clrn	SW1	P4
wen	SW0	P5			

3、附加实验

使用本实验实现的8位寄存器，增加译码器和多路选择器，完成8个8位寄存器组成的寄存器文件reg8file的设计。其中多路选择器为八选一选择器。

图2-3是寄存器文件reg8file的组成示意图。图中，clk是时钟信号，clrn是异步清零信号，d是写数据端，8个8位触发器共用1个写数据端，q是读数据输出端，wsel[2:0]是写选择端，此处输入3位写地址，rsel[2:0]是读选择端，此处输入3位读地址，wen是低电平有效的写使能端。we_n[0]~ we_n[7]是内部信号，连接各触发器的写使能端，ri是内部信号，为第i个触发器的输出。

寄存器文件通过写地址wsel[2:0]、写使能wen信号来实现触发器的写入控制，通过读地址rsel[2:0]信号来控制触发器的数据输出选择。

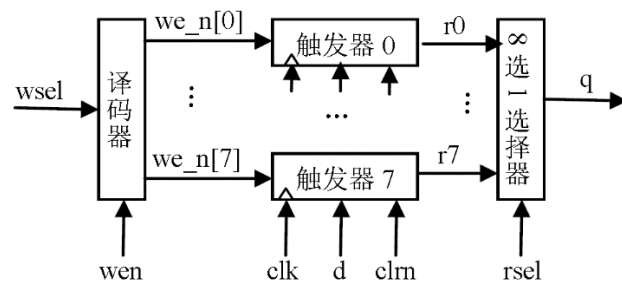


图3-4 reg8file寄存器文件结构示意图

请创建工程reg8file，在reg8file.v中实例化译码器、触发器、多路选择器，以该文件为顶层文件实现上述设计，并编写仿真文件测试寄存器文件的功能。

请将提交的工程文件的整个文件夹、仿真截图、对仿真结果的文字分析，放入规定命名的文件夹中压缩上交到指定邮箱。