触发：时钟上升沿触发，写入使能：低电平有效，清零：低电平有效

1. 在0-25ns内，异步清零端clrn送高电平，为无效状态；写入使能为高电平，写入无效，寄存器为保持状态。q为未知状态。
2. 在25ns-35ns之内，异步清零端clrn送低电平，所以无论时钟信号、输入信号如何变化，对d端的输入，输出q始终保持为0。
3. 在65ns后，异步清零端clrn送高电平，为无效状态；写入使能为低电平，写入有效状态。70ns时，时钟上升沿到来，寄存器接受了d端的输入aa，并在q端输出。80ns时，时钟上升沿到来，寄存器接受了d端的输入c9，并在q端输出。