

# RK\_EVB1\_RK3576\_LP4XD200P132SD6\_V12

## Modify\_Notes\_CN

版 本:	V1.2
作 者:	Wesley Huang
审 核:	Reviewer
日 期:	2024-05-30

瑞芯微电子股份有限公司  
Rockchip Electronics Co., Ltd.  
(版权所有,翻版必究)

## 免责声明

本文档按“现状”提供，瑞芯微电子股份有限公司（“本公司”，下同）不对本文档的任何陈述、信息和内容的准确性、可靠性、完整性、适销性、特定目的性和非侵权性提供任何明示或暗示的声明或保证。本文档仅作为使用指导的参考。

由于产品版本升级或其他原因，本文档将可能在未经任何通知的情况下，不定期进行更新或修改

## 商标声明

“Rockchip”、“瑞芯微”、“瑞芯”均为本公司的注册商标，归本公司所有。

本文档可能提及的其他所有注册商标或商标，由其各自拥有者所有。

## 版权所有 © 2024瑞芯微电子股份有限公司

超越合理使用范畴，非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

瑞芯微电子股份有限公司

地址：福建省福州市铜盘路软件园A区18号

网址：[www.rock-chips.com](http://www.rock-chips.com)

客户服务电话：+86-591-83991906

客户服务传真：+86-591-83951833

客户服务邮箱：[fae@rock-chips.com](mailto:fae@rock-chips.com)

## 更新记录

修订记录累积了每次文档更新的说明，最新版本的文档包含以前所有文档版本的更新内容。

版本	修改人	修改日期	修改说明	备注
V1.0	Wesley Huang	2023.12.11	First edition for RK3576	
V1.01	Wesley Huang	2024.03.21	BOM修改，具体修改记录请见下面内容。	
V1.1	Wesley Huang	2024.04.15	具体修改记录请见下面内容。	
V1.1	Wesley Huang	2024.05.30	具体修改记录请见下面内容。	

## 目录

更新记录 .....	3
目录 .....	4
1 原理图版本说明 .....	5
2 最新V1.2版本原理图及PCB修改内容说明 .....	5
2.1 Page 5.Power Tree.....	5
2.2 Page 6.Power Sequence and Map.....	5
2.3 Page 10. RK3576-Power/GND .....	6
2.4 Page 12.RK3576-OSC/PLL/PMUIO/SARADC .....	6
2.5 Page22. Power-Ext Discrete/RTC IC .....	7
2.6 Page26. Flash-UFS.....	7
2.7 Page 63.HW_ID .....	8
3 V1.1版本原理图及PCB修改内容说明 .....	8
3.1 Page 10. RK3576-Power/GND (电容更新).....	8
3.2 Page 13. RK3576-eMMC/UFS/SD .....	14
3.3 Page 17. RK3576-PCIe/SATA/USB3.....	15
3.4 Page 28. Flash-SPI Flash(opt).....	15
3.5 Page 26. Flash-UFS.....	16
3.6 Page 35. Ethernet-GEPHY_RGMII0 .....	16
3.7 Page 36. Ethernet-GEPHY_RGMII1 .....	17
4 V1.01版本原理图修改内容说明—BOM修改.....	17
4.1 Page 10. RK3576-Power/GND (电容BOM更新).....	17
4.2 Page11. RK3576-OSC/PLL/PMUIO/SARADC .....	17
4.3 Page 21. Power-PMIC RK806S-5.....	18

## 1 原理图版本说明

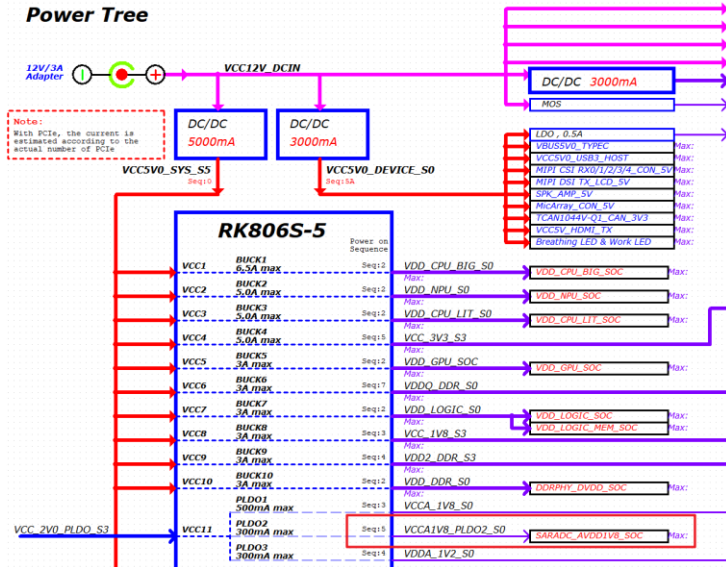
基于《RK\_EVB1\_RK3576\_LP4XD200P132SD6\_V11\_20240415.DSN》版本上更新修改。

最新版本为《RK\_EVB1\_RK3576\_LP4XD200P132SD6\_V12\_20240530HSW.DSN》

## 2 最新V1.2版本原理图及PCB修改内容说明

### 2.1 Page 5.Power Tree

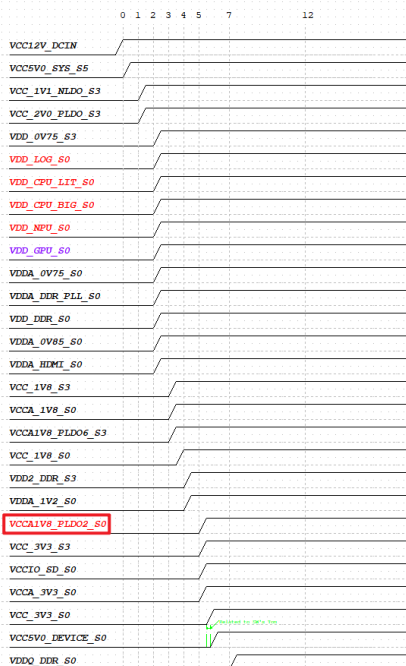
根据 SOC 的时序要求, PMIC 的 PLDO2 时序修改为 5, 用于给 SARADC\_AVDD1V8 供电, **请务必更新。**



### 2.2 Page 6.Power Sequence and Map

根据 SOC 的时序要求, PMIC 的 PLDO2 时序修改为 5, **请务必更新。**

Power Sequence



Power description

Power Supply	PMIC Channel	Supply Limit	Power Name	Time Slot	Default Voltage	Default ON/OFF	Work Voltage	Pos Cu
VCCSV0_SYS_S5	RK806_BUCK1	6.5A	VDD_CPU_BIG_S0	Slot2	0.85V	ON	0.85V	T80
VCCSV0_SYS_S5	RK806_BUCK2	5A	VDD_NPU_S0	Slot2	0.75V	ON	0.75V	T80
VCCSV0_SYS_S5	RK806_BUCK3	5A	VDD_CPU_LIT_S0	Slot2	0.85V	ON	0.85V	T80
VCCSV0_SYS_S5	RK806_BUCK4	5A	VCC_3V3_S3	Slot5	3.3V	ON	3.3V	T80
VCCSV0_SYS_S5	RK806_BUCK5	3A	VDD_GPU_S0	Slot2	ADJ	ON	0.61V-LP4/4x	T80
VCCSV0_SYS_S5	RK806_BUCK6	3A	VDDQ_DDR_S0	Slot7	ADJ	ON	0.61V-LP4/4x	T80
VCCSV0_SYS_S5	RK806_BUCK7	3A	VDD_LOQIC_S0	Slot2	0.75V	ON	0.75V	T80
VCCSV0_SYS_S5	RK806_BUCK8	3A	VCC1V8_S3	Slot2	1.8V	ON	1.8V	T80
VCCSV0_SYS_S5	RK806_BUCK9	3A	VDD2_DDR_S3	Slot4	ADJ	ON	1.1V-LP4/4x	T80
VCCSV0_SYS_S5	RK806_BUCK10	3A	VDDQ_DDR_S0	Slot2	0.85V	ON	0.85V	T80
VCCSV0_SYS_S5	RK806_PLDO1	0.5A	VCCA1V8_PLDO2_S0	Slot3	1.8V	ON	1.8V	T80
VCCSV0_SYS_S5	RK806_PLDO2	0.3A	VCCA1V8_PLDO2_S0	Slot3	1.8V	ON	1.8V	T80
VCCSV0_SYS_S5	RK806_PLDO3	0.3A	VDDA1V2_S0	Slot4	1.2V	ON	1.2V	T80
VCCSV0_SYS_S5	RK806_PLDO4	0.5A	VCCA3V3_S0	Slot5	3.0V	ON	3.3V	T80
VCCSV0_SYS_S5	RK806_PLDO5	0.3A	VCC1Q_S0_S0	Slot5	3.3V	ON	3.3V	T80
VCCSV0_SYS_S5	RK806_PLDO6	0.3A	VCCA1V8_PLDO6_S3	Slot3	1.8V	ON	1.8V	T80
VCCSV0_SYS_S5	RK806_NLDO1	0.3A	VDD_OV75_S3	Slot2	0.75V	ON	0.75V	T80
VCCSV0_SYS_S5	RK806_NLDO2	0.3A	VDDA_DDR_PLL_S0	Slot2	0.85V	ON	0.85V	T80
VCCSV0_SYS_S5	RK806_NLDO3	0.5A	VDDA_OV75_HDMI_S0	Slot2	0.75V	ON	0.75V	T80
VCCSV0_SYS_S5	RK806_NLDO4	0.5A	VDDA_OV85_S0	Slot2	0.85V	ON	0.85V	T80
VCCSV0_SYS_S5	RK806_NLDO5	0.3A	VDDA_OV75_S0	Slot2	0.75V	ON	0.75V	T80
VCCSV0_SYS_S5	RK806_RESETn							
VCCSV0_SYS_S5	EXT BUCK	2A	VCC_2V0_PLDO_S3	Slot1	2.1V	ON	2.0V	T80
VCCSV0_SYS_S5	EXT BUCK	2A	VCC1V1_NLDO_S3	Slot1	1.1V	ON	1.1V	T80
VCC12V_DCIN	EXT BUCK	5A	VCCSV0_SYS_S5	Slot0	5.0V	ON	5.0V	T80
VCC12V_DCIN	EXT BUCK	3A	VCCSV0_DEVICE_S0	Slot5A	5.2V	ON	5.2V	T80
VCC3V3_S3	SWITCH	2A	VCC_3V3_S0	Slot3A	3.3V	ON	3.3V	T80
VCC1V8_S3	SWITCH	2A	VCC1V8_S0	Slot3A	1.8V	ON	1.8V	T80

Note:

The power suffix S0, S3 or S5 means:  
S5: Keep power on during power down  
S3: Keep power on during sleeping  
S0: Power off during sleeping

Note:

Peripherals connected to the GPIO  
the leakage between the GPIO of S0  
It is recommended to power on both  
supply and the SOC's GPIO power s

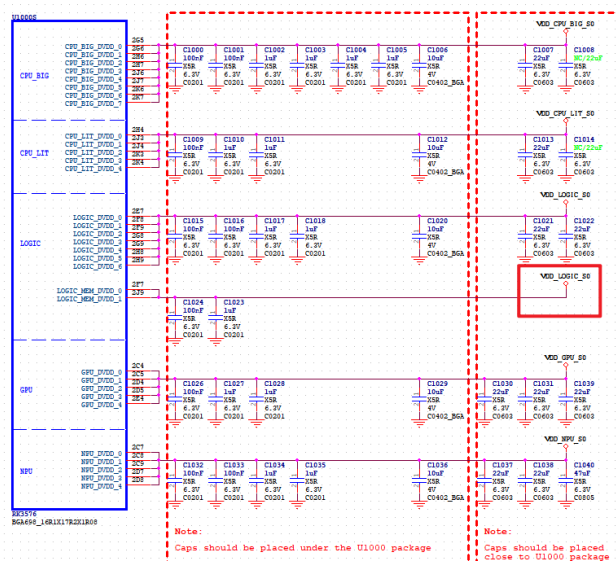
IO Power Domain Map

IO Domain	Pin Num	Support IO Voltage	Supply Power Pin Name	Power Source	Operating Voltage
PMU00	Pin 2K11	1.8V Only	PMU00_VCC1V8	VCC1V8	1.8V
PMU01	Pin 1U20	1.8V or 3.3V	PMU01_VCC	VCC1V8	3.3V
VCC100	Pin 1J20	1.8V Only	VCC100_VCC1V8	VCC1V8	1.8V

IO Type	Operating Vol
1.8V Only	VCC100_VCC1V8=1.8V
1.2V or 1.8V	VCC100_VCC1V8=1.2V
1.8V or 3.3V	VCC100_VCC1V8=1.8V

## 2.3 Page 10. RK3576-Power/GND

LOGIC MEM 采用 VDD LOGIC 供电，同时删掉 C1025



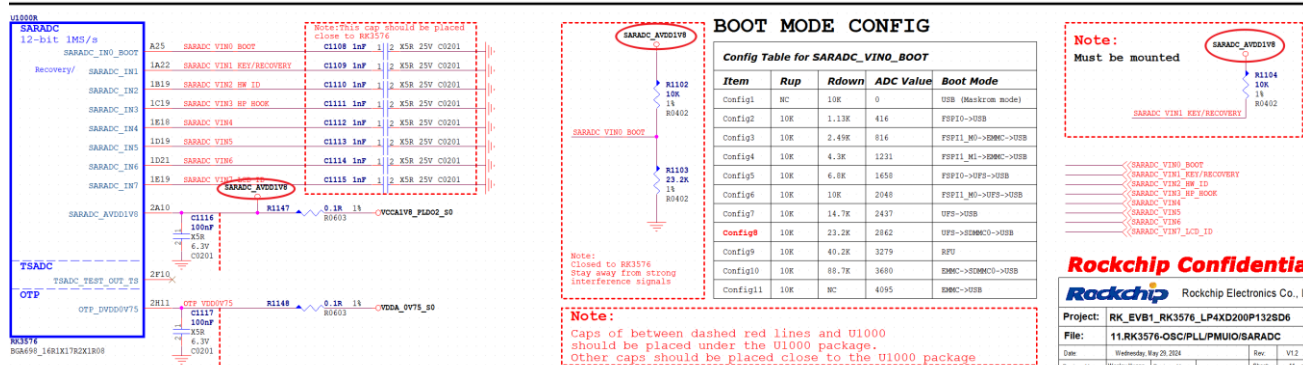
RK3576 量产芯片的厚度变薄 0.1mm，相应 PCB 封装名修改为 BGA698 16R1X17R2X1R08

[illegible]

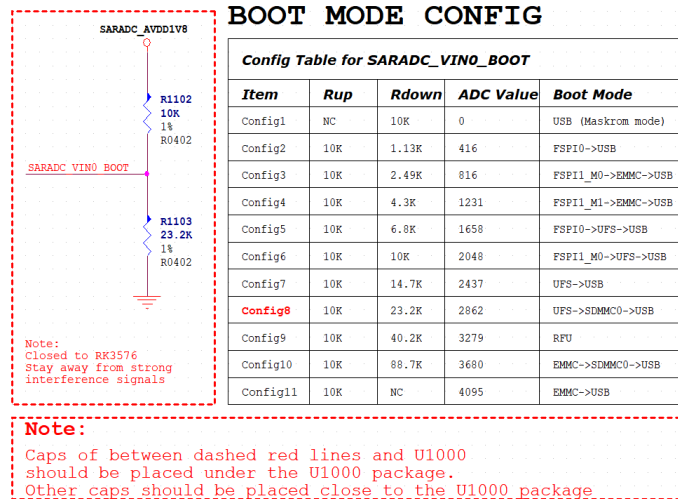
2.4 Page 12.RK3576-OSC/PLL/PMUIO/SARADC

### (1) SARADC/OTP 修改

根据 SOC 的时序要求, SARADC/OTP 的供电时序需要改为 5, 因此 SARADC/OTP 的供电引脚 SARADC\_AVDD1V8 改用 RK806S-5 的 PLDO2 电源 VCCA1V8\_PLDO2\_S0(时序改为 5)来单独供电, SARADC 的相关上拉电源需要同步更新。



## (2) SARADC\_VIN0\_BOOT 配置的电阻阻值等比例缩小，以增强抗干扰能力

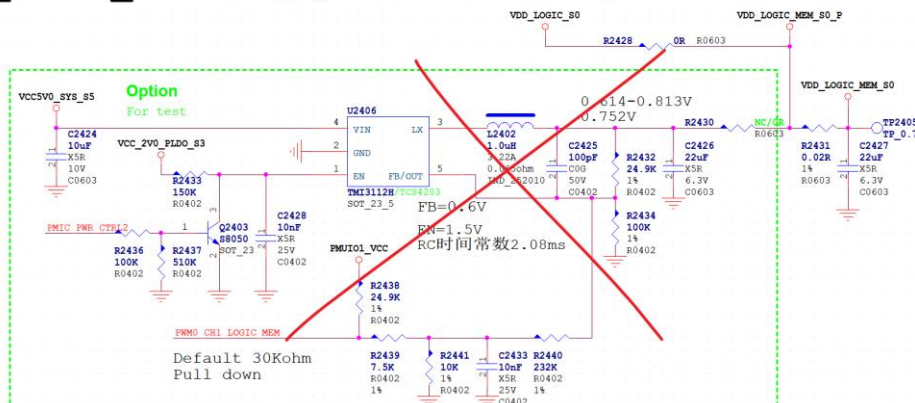


## 2.5 Page22. Power-Ext Discrete/RTC IC

## 删除调试用的 LOGIC MEM 电源电路

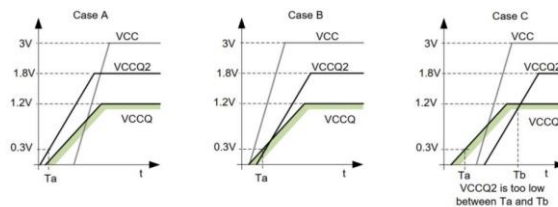


## VDD\_LOGIC\_MEM EXT (Option for test)



## 2.6 Page26. Flash-UFS

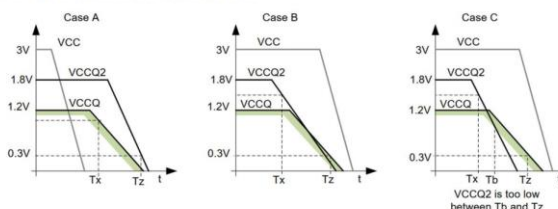
## UFS 的时序要求如下:



NOTE 1 The green band represents the voltage range between VCCQ-200 mV and VCCQ.

Figure 7.6 — Power up ramps

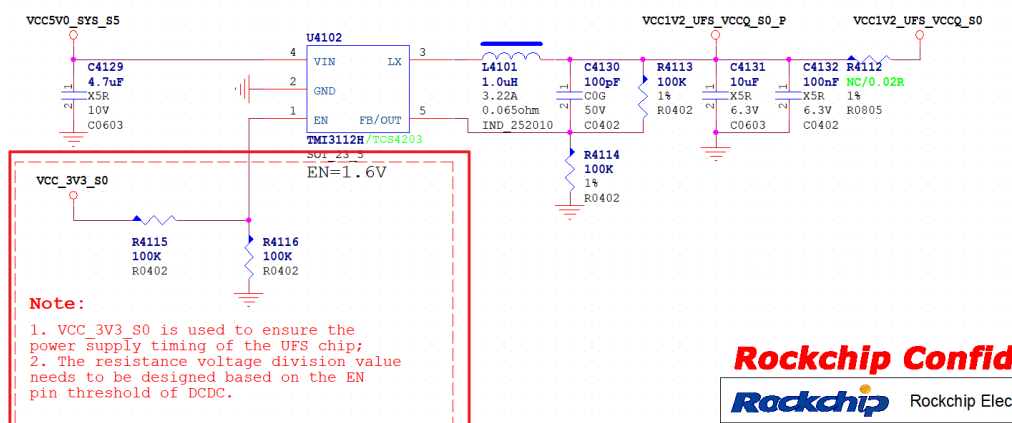
Figure 7.7 shows three power down ramp examples: case A and case B meet the requirement, while case C violates it in the time interval from Tb to Tz.



NOTE 1 The green band represents the voltage range between VCCQ-200 mV and VCCQ.



调整 UFS 的 VCC1V2\_UFS\_VCCQ\_S0 供电的使能电路, 改为用 VCC\_3V3\_S0 分压后来使能, 该电路可以使 UFS 的时序得到满足。

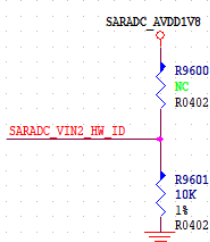


## 2.7 Page 63.HW\_ID

SARADC上拉电源改为VCCA1V8\_PLDO2\_S0。

将HW\_ID的电阻配置等比例降低阻值, 提高抗干扰能力。

### HW\_ID



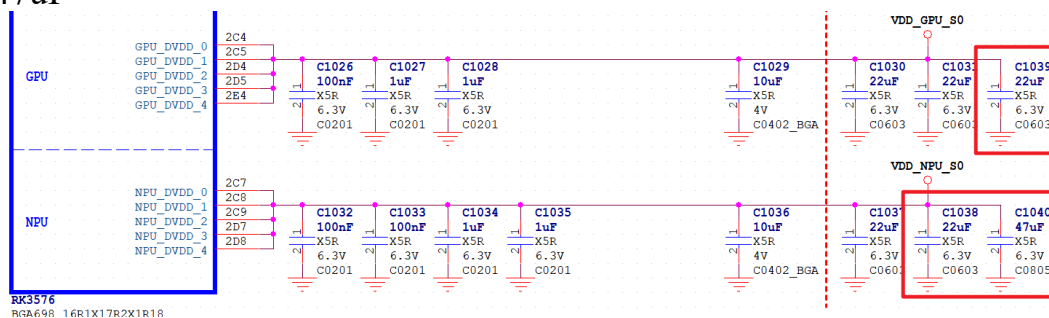
Config Table for SARADC_VIN2_HW_ID				
Item	Rup	Rdown	ADC Value	VERSION
HW_ID1	NC	10K	0	RK3576 EVB1 V12
HW_ID2	10K	1.13K	416	RESERVE
HW_ID3	10K	2.49K	816	RESERVE
HW_ID4	10K	4.3K	1231	RESERVE
HW_ID5	10K	6.8K	1658	RESERVE
HW_ID6	10K	10K	2048	RESERVE
HW_ID7	10K	14.7K	2437	RESERVE
HW_ID8	10K	23.2K	2862	RESERVE
HW_ID9	10K	40.2K	3279	RESERVE
HW_ID10	10K	88.7K	3680	RESERVE
HW_ID11	10K	NC	4095	RESERVE

## 3 V1.1版本原理图及PCB修改内容说明

### 3.1 Page 10. RK3576-Power/GND (电容更新)

#### 3.1.1 原理图修改情况:

GPU增加C1039电容—0603-22uF, NPU的C1038改为22uF, 同时增加C1040电容--0805-47uF

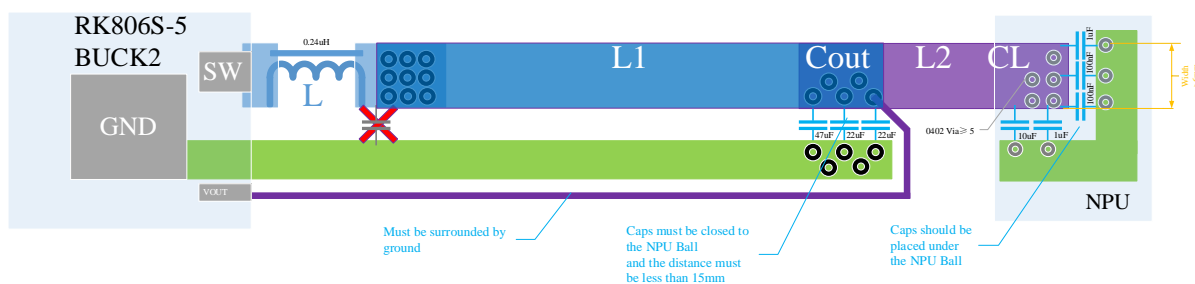


#### 3.1.2 相应PCB修改如下

##### 3.1.2.1 RK3576 NPU\_DVDD电源



NPU\_DVDD采用如下图所示PCB等效为电感的远端反馈方案：



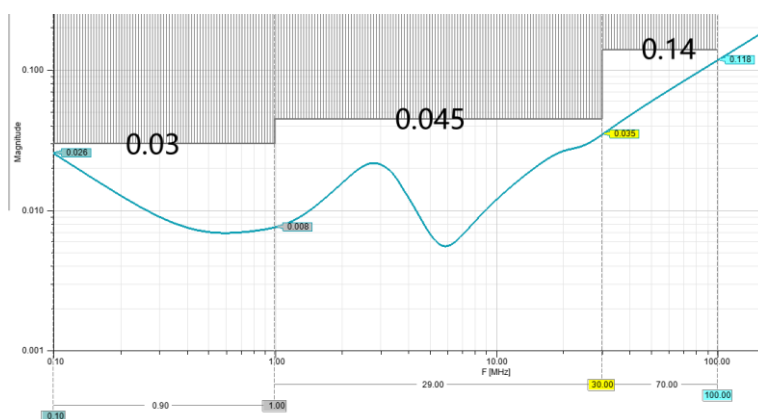
NPU PCB Layout示意图

总体要求如下：

- (1)DCDC 输出端没有电容，靠近 RK3576 的主电容 Cout 有 1 个 47uF 和 2 个 22uF 电容，RK3576 的 NPU\_DVDD 电源管脚处有 1 个 10uF、2 个 1uF 电容以及 2 个 100nF 电容；
- (2)电压反馈点从主电容 Cout 位置引出；电压反馈信号需要包地；
- (3)靠近 RK3576 的 NPU\_DVDD 电源管脚的主电容 Cout 处需要有 5 个电源过孔和 5 个地过孔；
- (4)主电容距离 NPU\_DVDD 电源管脚的距离 L1 不超过 15mm，电源覆铜严格参考下方 PCB 的要求；
- (5)主电容距离 DCDC 的距离不超过 60mm；
- (6)电源 PDN 和目标阻抗建议值如下表和下图所示。

表 NPU\_DVDD电源PDN目标阻抗建议值

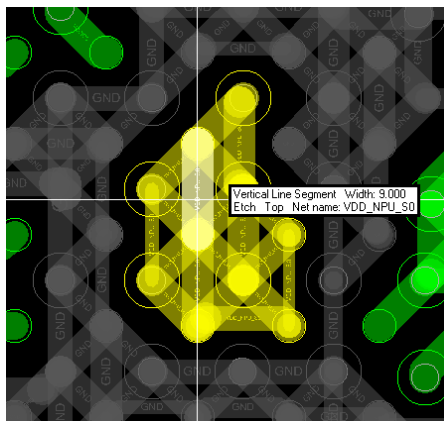
频率	阻抗值（单位：欧）
100Khz~1Mhz	$\leq 0.03$
1Mhz ~30Mhz	$\leq 0.045$
30Mhz~100Mhz	$\leq 0.14$



NPU\_DVDD电源建议PDN要求

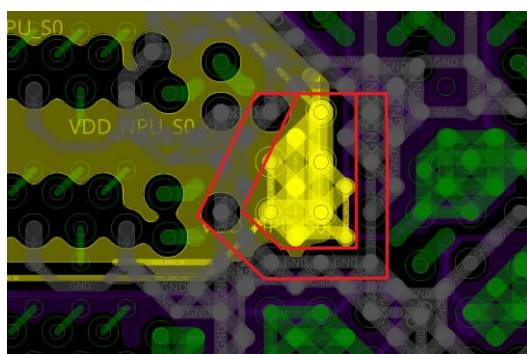
PCB设计的建议如下：

- (1)RK3576(SoC)下方的 NPU\_DVDD 电源管脚，尽量每个 Ball 都有一个对应的电源过孔（建议 5 个及以上过孔），并且顶层走“井”字形交叉连接，或者走线布满，增强电流能力，建议走线线宽 9mil。



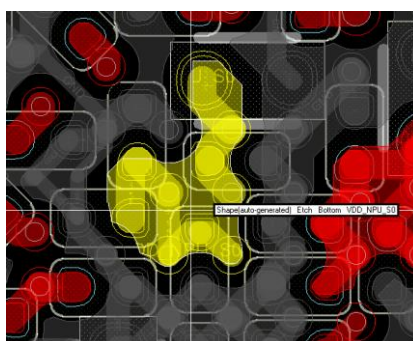
RK3576芯片NPU\_DVDD的电源管脚走线和过孔

- (2) RK3576(SoC)下方的 NPU\_DVDD 区域，在不影响电源通路情况下，电源过孔旁边尽量增加 GND 回流过孔，建议 7 个以上。



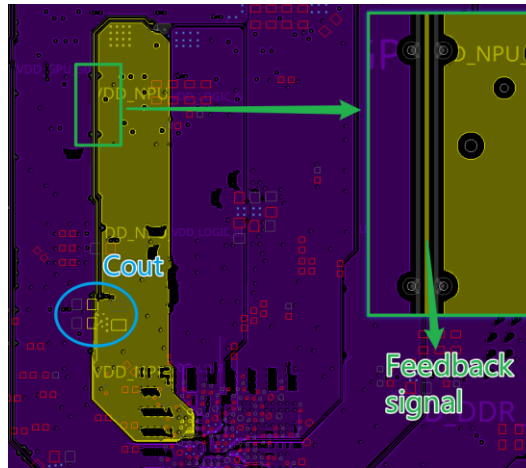
RK3576芯片NPU\_DVDD回流地过孔

- (3) 原理图上靠近 RK3576 的 NPU\_DVDD 电源管脚的去耦电容务必靠近对应的电源管脚，电容的 GND Pad 尽量靠近 RK3576 的 GND Ball 放置，其余的去耦电容也需尽量靠近 RK3576。



RK3576芯片NPU\_DVDD的电源管脚背面去耦电容

- (4) 主电容 Cout 需要尽量靠近 SoC 摆放，反馈信号从主电容引出，反馈线需要包地，并且每隔 500mil 打一个地过孔，避免被干扰。



NPU\_DVDD主电容及反馈线

- (5) NPU\_DVDD 的覆铜宽度需满足芯片的电流需求，连接到电源芯片管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到 NPU\_DVDD 每个电源 PIN 脚的路径都足够。RK3576(SoC)下方的 NPU\_DVDD 狭窄区域的铺铜宽度 W0 建议大于 60mil，然后尽可能快速的加大铜皮宽度，外围区域宽度 W1 和 W2 建议大于 220mil。

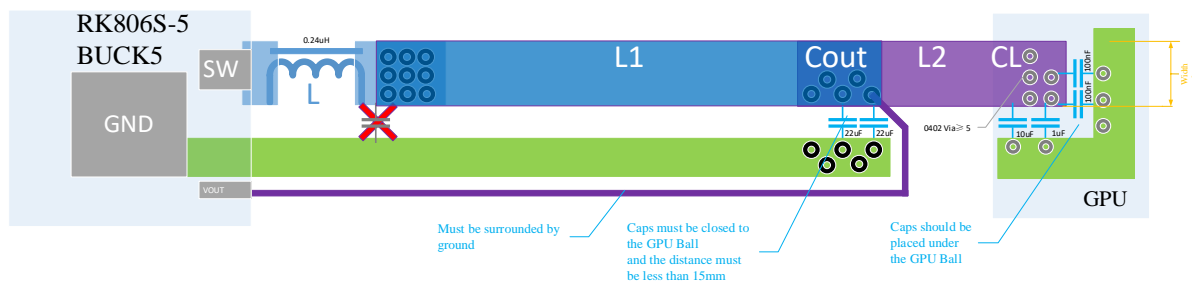


RK3576芯片NPU\_DVDD电源层覆铜

- (6) 电源平面至少有一层相邻的 GND 回流平面，平面的作用一方面降低压降，另一方面电源平面和相邻层 GND 平面间的平面电容可以有效降低高频的 PDN。
- (7) 电源铜皮建议采用 1oz 的铜厚，若叠层允许（如 8 层板及以上），多增加一层电源铺铜平面，有助于减小电流密度。
- (8) NPU\_DVDD 的电源在外围换层时，要尽可能的多打电源过孔（8 个及以上 0503 的过孔），降低换层过孔带来的压降，去耦电容的 GND 过孔要跟电源过孔数量保持一致，否则会大大降低电容作用。

### 3.1.2.2 RK3576 GPU\_DVDD电源

GPU\_DVDD采用如下图所示PCB等效为电感的远端反馈方案：



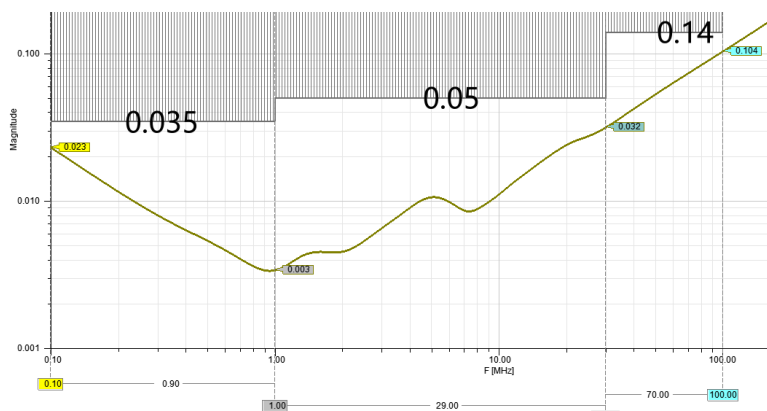
GPU PCB Layout示意图

总体要求如下：

- (1) DCDC 没有电容，靠近 RK3576 的主电容 Cout 有 3 个 22uF 电容，RK3576 的 GPU\_DVDD 电源管脚处有 1 个 10uF、2 个 1uF 电容以及 1 个 100nF 电容；
- (2) 电压反馈点从主电容 Cout 处引出；电压反馈信号需要包地；
- (3) 靠近 RK3576 的 GPU\_DVDD 电源管脚处的主电容 Cout 处需要有 5 个电源过孔和 5 个地过孔；
- (4) 主电容距离 GPU\_DVDD 电源管脚的距离 L1 不超过 15mm，电源覆铜严格参考下方 PCB 的要求；
- (5) 主电容距离 DCDC 的距离不超过 60mm；
- (6) 电源 PDN 和目标阻抗建议值如下表和下图所示。

表 GPU\_DVDD电源PDN目标阻抗建议值

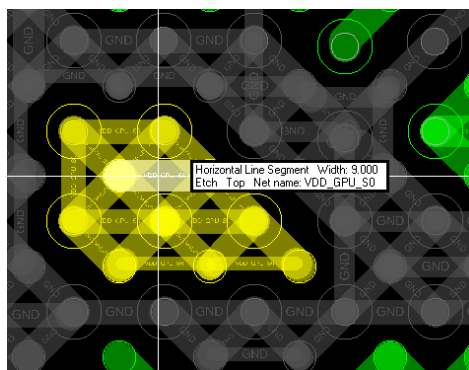
频率	阻抗值（单位：欧）
100Khz~1Mhz	$\leq 0.035$
1Mhz ~30Mhz	$\leq 0.05$
30Mhz~100Mhz	$\leq 0.14$



GPU\_DVDD电源建议PDN要求

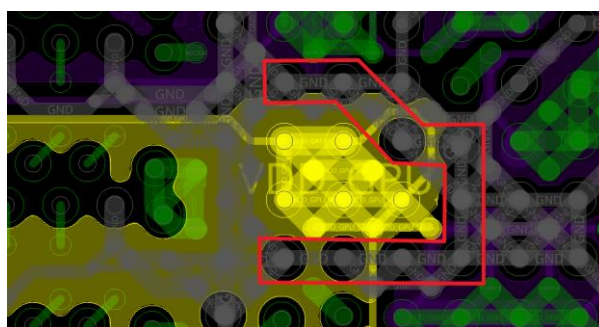
PCB建议如下：

- (1) RK3576(SoC)下方的 GPU\_DVDD 电源管脚，尽量每个 Ball 都有一个对应的电源过孔（建议 5 个及以上过孔），并且顶层走“井”字形交叉连接，或者走线布满，增强电流能力，建议走线线宽 9mil。



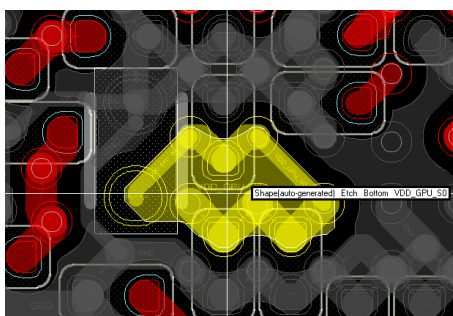
RK3576芯片GPU\_DVDD的电源管脚走线和过孔

- (2) RK3576(SoC)下方的 GPU\_DVDD 区域，在不影响电源通路情况下，电源过孔旁边尽量增加 GND 回流过孔，建议 8 个以上。



RK3576芯片GPU\_DVDD回流地过孔

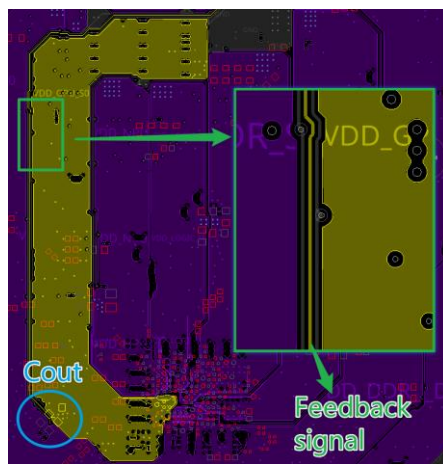
- (3) 原理图上靠近 RK3576 的 GPU\_DVDD 电源管脚的去耦电容务必靠近对应的电源管脚，电容的 GND Pad 尽量靠近 RK3576 的 GND Ball 放置，其余的去耦电容也需尽量靠近 RK3576。



RK3576芯片GPU\_DVDD的电源管脚背面去耦电容

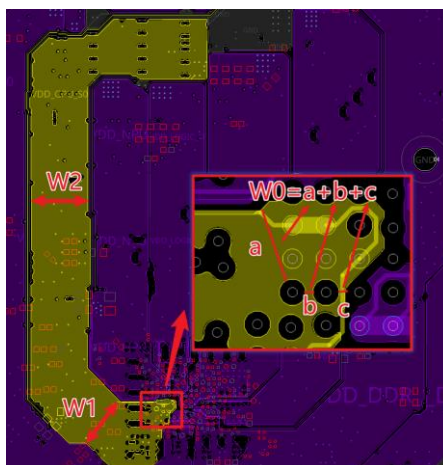
- (4) 主电容 Cout 需要尽量靠近 SoC 摆放，反馈信号从主电容引出，反馈线需要包地，并且每隔 500mil 打一个地过孔，避免被干扰。





GPU\_DVDD主电容及反馈线

- (5) GPU\_DVDD 的覆铜宽度需满足芯片的电流需求，连接到电源芯片管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到 GPU\_DVDD 每个电源 PIN 脚的路径都足够。RK3576(SoC)下方的 GPU\_DVDD 狭窄区域的铺铜宽度 W0 建议大于 60mil，然后尽可能快速的加大铜皮宽度，外围区域宽度 W1 和 W2 建议大于 250mil。

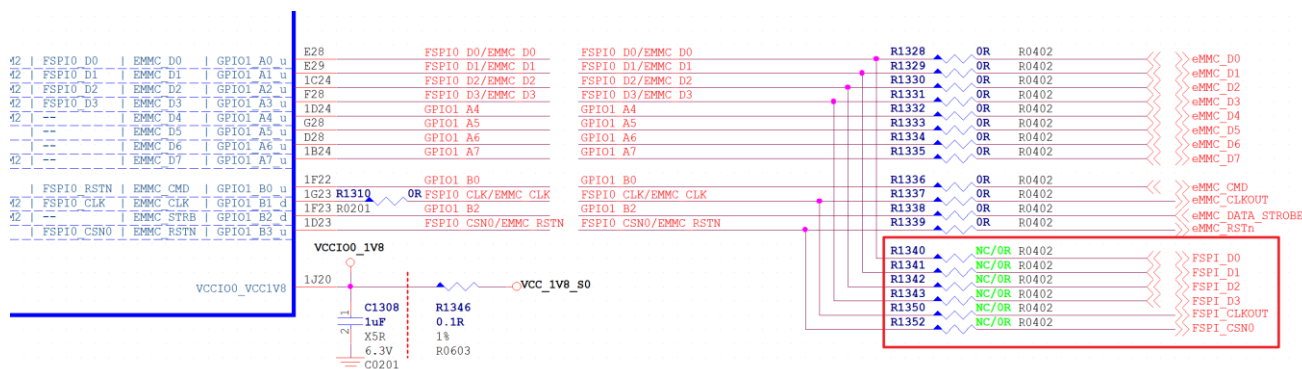


RK3576芯片GPU\_DVDD电源层覆铜

- (6) 电源平面至少有一层相邻的 GND 回流平面，平面的作用一方面降低压降，另一方面电源平面和相邻层 GND 平面间的平面电容可以有效降低高频的 PDN。
- (7) 电源铜皮建议采用 1oz 的铜厚，若叠层允许（如 8 层板及以上），多增加一层电源铺铜平面，有助于减小电流密度。
- (8) GPU\_DVDD 的电源在外围换层时，要尽可能的多打电源过孔（6 个及以上 0503 的过孔），降低换层过孔带来的压降，去耦电容的 GND 过孔要跟电源过孔数量保持一致，否则会大大降低电容作用。

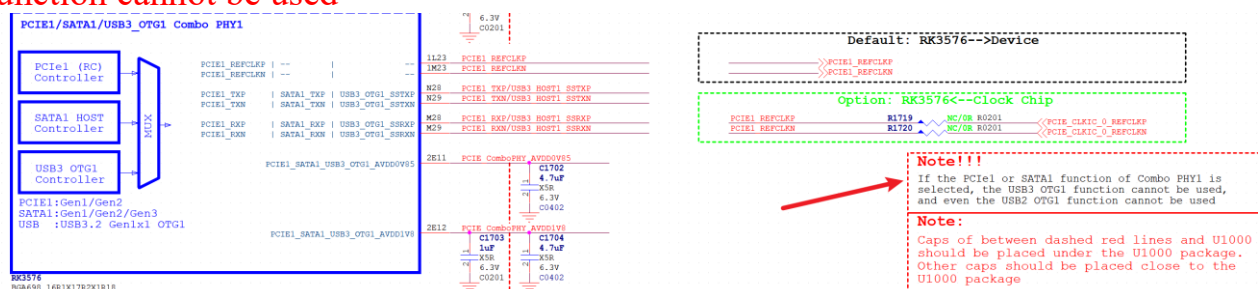
### 3.2 Page 13. RK3576-eMMC/UFS/SD

FSPI更新为只支持4bit颗粒，进行修改如下：



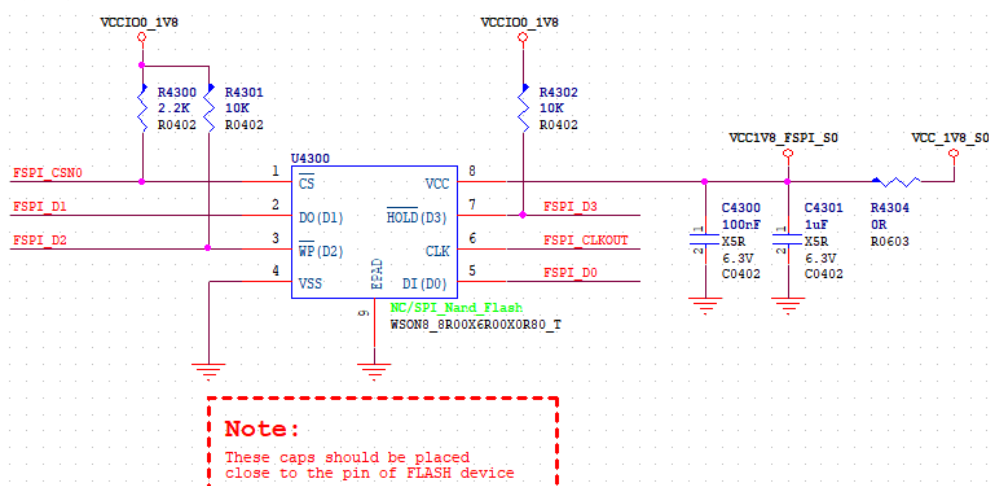
### 3.3 Page 17. RK3576-PCIe/SATA/USB3

增加USB3\_OTG1的使用说明: If the PCIe1 or SATA1 function of Combo PHY1 is selected, the USB3 OTG1 function cannot be used, and even the USB2 OTG1 function cannot be used



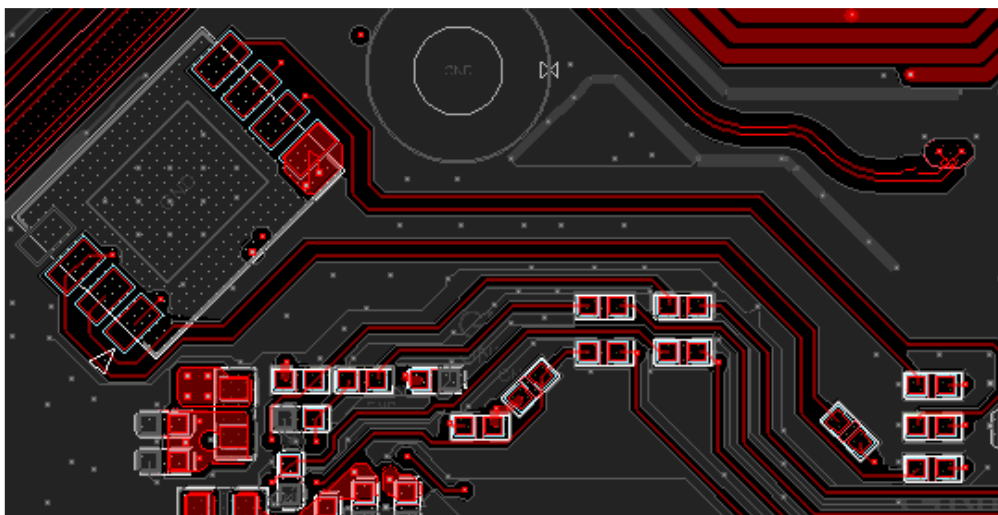
### 3.4 Page 28. Flash-SPI Flash(opt)

FSPI由8bit修改为4bit:



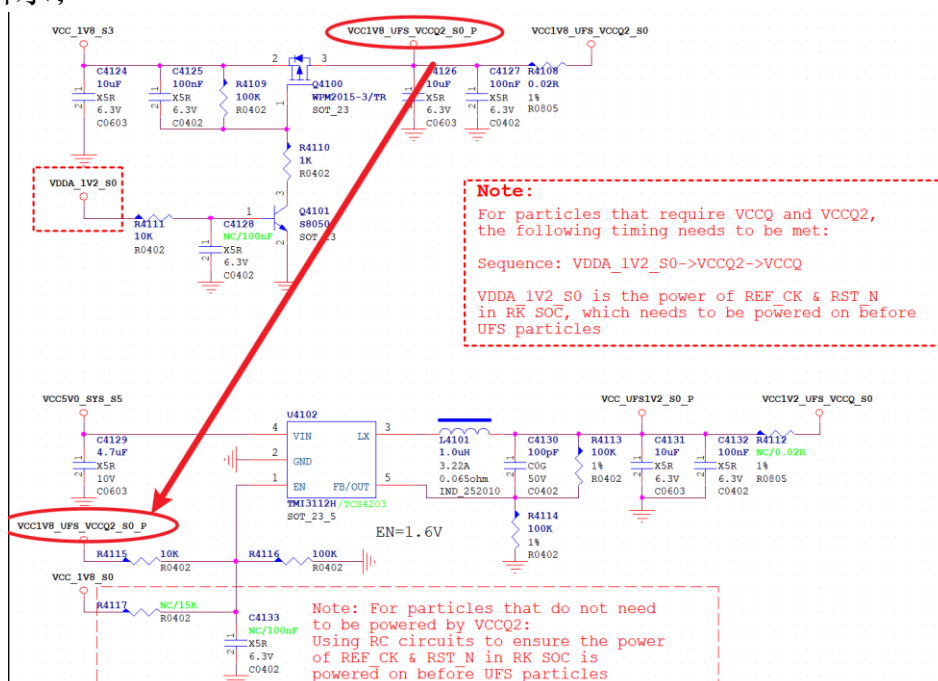
相应PCB修改如下:





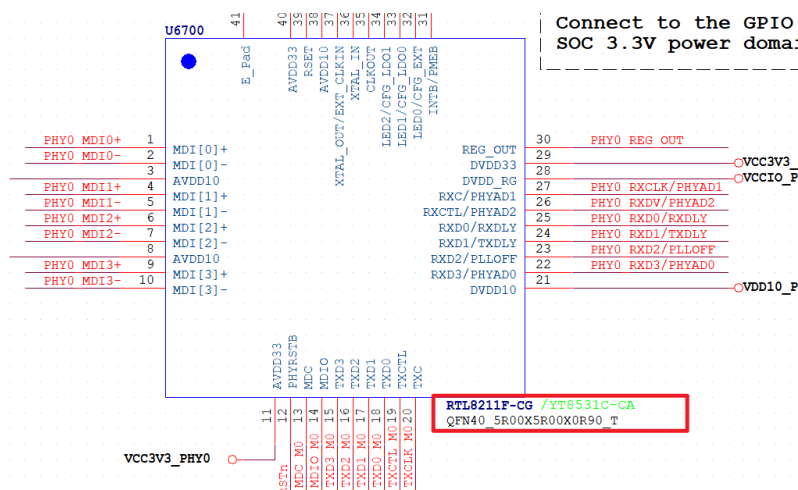
### 3.5 Page 26. Flash-UFS

VCC1V2\_UFS\_VCCQ\_S0电源的使能修改为VCC1V8\_UFS\_VCCQ2\_S0\_P，如下图红色圈所示；



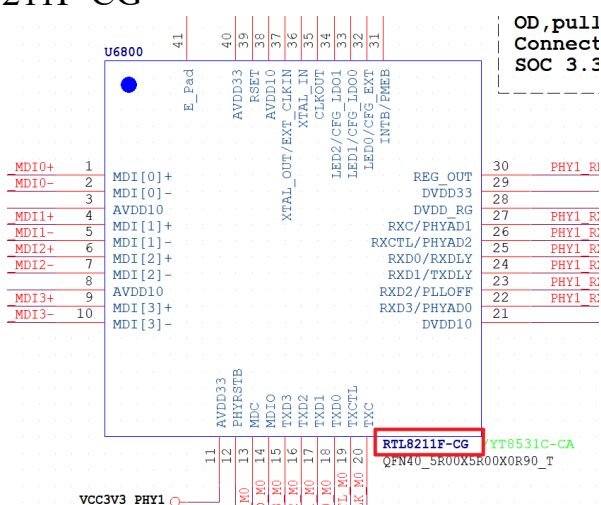
### 3.6 Page 35. Ethernet-GEPHY\_RGMII0

PHY型号修改为RTL8211F-CG



### 3.7 Page 36. Ethernet-GEPHY\_RGMII1

PHY型号修改为RTL8211F-CG

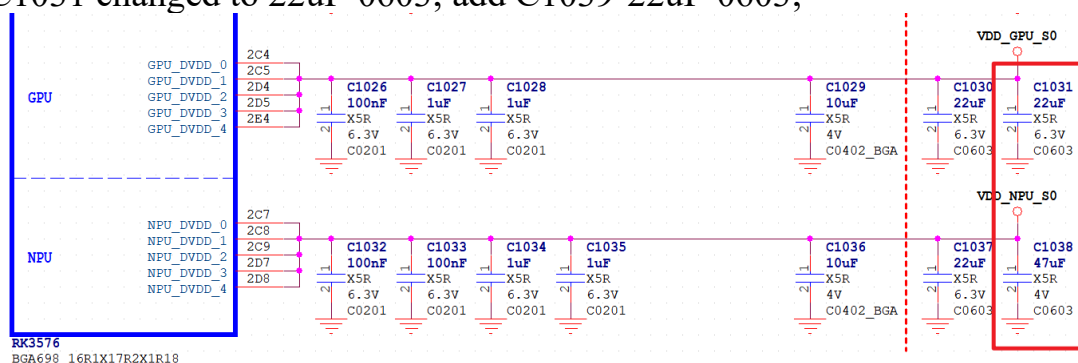


## 4 V1.01版本原理图修改内容说明—BOM修改

### 4.1 Page 10. RK3576-Power/GND (电容 BOM 更新)

NPU: C1038 changed to 22uF-0603; add C1040-47uF-0805;

GPU: C1031 changed to 22uF-0603; add C1039-22uF-0603;

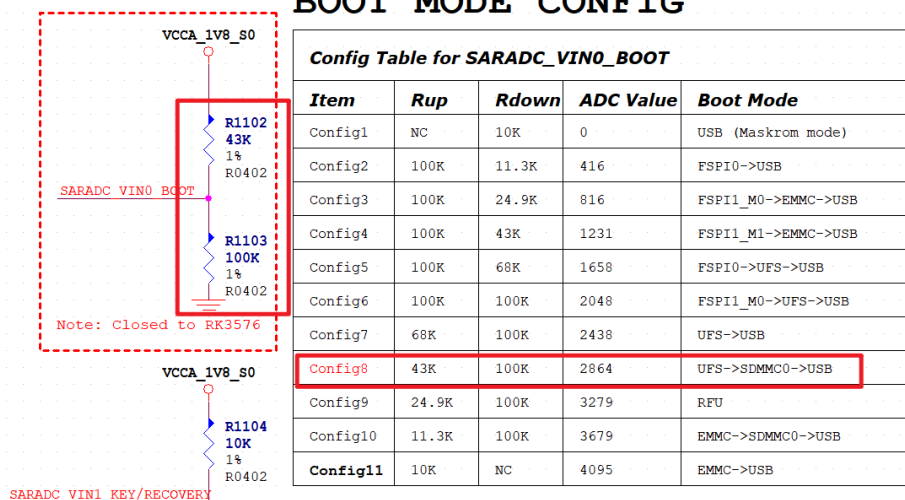


### 4.2 Page11. RK3576-OSC/PLL/PMUIO/SARADC

R1102修改为43k-1%, R1103修改为100k-1%, 采用UFS启动

! Other caps should !

## BOOT MODE CONFIG



## 4.3 Page 21. Power-PMIC RK806S-5

BOM参数更新: GPU和NPU的供电, 在靠近PMIC的电容全部NC, 同时将反馈的线上的100R和1uF参数NC, 如下图中红色方框所示。

NPU: C2318/C2319/C2323 change to NC; R2309 change to NC;

GPU: C2304/C2305/C2306 change to NC; R2303 change to NC;

