

密级状态： 绝密（ ） 秘密（ ） 内部资料（ ） 公开（ ✓ ）

Rockchip RK3576 硬件设计指南

（福州硬件开发中心）

文件状态： [] 草稿 [] 正在修改 [✓] 正式发布	文件标识：	
	当前版本：	V1.1
	作 者：	福州硬件开发中心
	完成日期：	2024-05-25
	审 核：	Team
	审核日期：	2024-05-28

免责声明

本文档按“现状”提供，瑞芯微电子股份有限公司（“本公司”，下同）不对本文档的任何陈述、信息和内容的准确性、可靠性、完整性、适销性、特定目的性和非侵权性提供任何明示或暗示的声明或保证。本文档仅作为使用指导的参考。

由于产品版本升级或其他原因，本文档将可能在未经任何通知的情况下，不定期进行更新或修改。

商标声明

“Rockchip”、“瑞芯微”、“瑞芯”均为本公司的注册商标，归本公司所有。

本文档可能提及的其他所有注册商标或商标，由其各自拥有者所有。

版权所有 © 2024 瑞芯微电子股份有限公司

超越合理使用范畴，非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

瑞芯微电子股份有限公司

地址：福建省福州市铜盘路软件园 A 区 18 号

网址：www.rock-chips.com

客户服务电话：+86-591-83991906

客户服务传真：+86-591-83951833

客户服务邮箱：fae@rock-chips.com

前言

概述

本文档主要介绍 RK3576 处理器硬件设计的要点及注意事项，旨在帮助开发者缩短产品的设计周期、提高产品的设计稳定性及降低故障率。请开发者参考本指南的要求进行硬件设计，同时尽量使用 RK 发布的相关核心模板。如因特殊原因需要更改的，请严格按照高速数字电路设计要求以及 RK 产品 PCB 设计要求进行。

芯片型号

本文档对应的芯片型号为：RK3576

适用对象

本文档主要适用于以下工程师：

- 硬件开发工程师
- Layout 工程师
- 技术支持工程师
- 测试工程师

更改记录

修订记录累积了每次文档更新的说明，最新版本的文档包含以前所有文档版本的更新内容。

版本	修改人	修改日期	修改说明	备注
V1.0	福州硬件开发中心	2024.04.15	首次发布	
V1.1	福州硬件开发中心	2024.05.25	<ol style="list-style-type: none">更新系统启动引导顺序相关说明(2.1.4 和 2.3.2 章节)更新 DDR 电路相关说明(2.1.7.5 章节)更新 SDMMC0 接口相关说明(2.3.1.1 章节)更新 SMT 建议曲线(6.3.3 章节)	

缩略语

缩略语包括文档中常用词组的简称：

缩写	英文解释	中文解释
ASRC	Asynchronous Sample Rate Converter	异步采样率转换器
ARM	Advanced RISC Machine	高级精简指令集计算机
CAN	Controller Area Network	控制器局域网络
CEC	Consumer Electronics Control	消费电子控制
CIF	Camera Input Format	相机并行接口
CPU	Central processing unit	中央处理器
CSI	Camera Serial Interface	相机串行接口
DC/DC	Direct current-Direct current converter	直流/直流变换器
DDR	Double Data Rate	双倍速率同步动态随机存储器
DP	DisplayPort	显示接口
DSI	Display Serial Interface	显示串行接口
DSM	Digital Signal Modulator	数字信号调制 这里特指基于数字信号调制的数字音频脉冲输出接口
EBC	E-book controller	电子书控制器
eDP	Embedded DisplayPort	嵌入式数码音视讯传输接口
eMMC	Embedded Multi Media Card	内嵌式多媒体存储卡
ESD	Electro-Static discharge	静电释放
ESR	Equivalent Series Resistance	等效电阻
FSPI	Flexible Serial Peripheral Interface	灵活串行外设接口
GPU	Graphics Processing Unit	图形处理单元
HDMI	High Definition Multimedia Interface	高清晰度多媒体接口
HPD	Hot Plug Detect	热插拔检测
I2C	Inter-Integrated Circuit	内部整合电路(两线式串行通讯总线)
I2S	Inter-IC Sound	集成电路内置音频总线
ISP	Image Signal Processing	图像信号处理
JTAG	Joint Test Action Group	联合测试行为组织定义的一种国际标准测试协议（IEEE 1149.1 兼容）
LDO	Low Drop Out Linear Regulator	低压差线性稳压器
LCDC	LCD Controller	LCD 控制器并行接口
LCM	LCD Module	LCD 显示模组

缩写	英文解释	中文解释
MAC	Media Access Control	以太网媒体接入控制器
MIPI	Mobile Industry Processor Interface	移动产业处理器接口
NPU	Neural network Processing Unit	神经网络处理器
PCB	Printed Circuit Board	印制电路板
PCIe	Peripheral Component Interconnect -express	外设组件互联标准
PCM	Pulse Code Modulation	脉冲编码调制
PDM	Pulse density modulation	脉冲密度调制
PLL	Phase-locked loop	锁相环
PMIC	Power Management IC	电源管理芯片
PMU	Power Management Unit	电源管理单元
PWM	Pulse width modulation	脉冲宽度调制
RGB	RGB color mode is a color standard in industry	RGB 色彩模式，是工业界的一种颜色标准
GMAC	Gigabit Media Access Controller	千兆媒体访问控制器
RGMII	Reduced Gigabit Media Independent Interface	简化千兆媒体独立接口
RMII	Reduced Media Independent Interface	简化媒体独立接口
RK	Rockchip Electronics Co.,Ltd.	福州瑞芯微电子股份有限公司
SAI	Serial Audio Interface	串行音频接口 兼容 I2S、PCM、TDM 协议，见 SAI 数字音频接口章节具体描述
SARADC	Successive approximation register Analog to digital converter	逐次逼近寄存器型模数转换器
SATA	Serial Advanced Technology Attachment	串行高级技术附件
SD Card	Secure Digital Memory Card	安全数码卡
SDIO	Secure Digital Input and Output Card	安全数字输入输出卡
SDMMC	Secure Digital Multi Media Card	安全数字多媒体存储卡
SPDIF	Sony/Philips Digital Interface Format	SONY、PHILIPS 数字音频接口
SPI	Serial Peripheral Interface	串行外设接口
TF Card	Micro SD Card(Trans-flash Card)	外置记忆卡
TSADC	Temperature sensing A / D converter	温度感应模数转换器
UART	Universal Asynchronous Receiver / Transmitter	通用异步收发传输器
VOP	Video Output Processor	视频输出处理器
USB2.0	Universal Serial Bus 2.0	通用串行总线
USB3.2 Gen1x1	Universal Serial Bus 3.2 Superspeed	通用串行总线

目录

前言	II
更改记录	III
缩略语	IV
目录	VI
图片索引	X
表格索引	XVII
1 系统概述	1
1.1 概述	1
1.2 芯片框图	2
1.3 应用框图	3
1.3.1 RK3576 EVB 应用框图	3
1.3.2 RK3576 智能 NVR 应用框图	3
2 原理图设计建议	4
2.1 最小系统设计	4
2.1.1 时钟电路	4
2.1.2 复位/看门狗/TSADC 电路	6
2.1.3 PMU 单元电路	7
2.1.4 系统启动引导顺序	7
2.1.5 系统初始化配置信号	8
2.1.6 JTAG 和 UART Debug 电路	9
2.1.7 DDR 电路	11
2.1.8 eMMC 电路	17
2.1.9 UFS 电路	19
2.1.10 FSPI Flash 电路	22
2.1.11 GPIO 电路	26
2.2 电源设计	29
2.2.1 RK3576 电源介绍	29
2.2.2 电源设计建议	32
2.2.3 RK806S-5 方案介绍	47
2.2.4 RK3576 与 RK806S-5 的 PMIC 电源方案介绍	51
2.3 功能接口设计指南	55
2.3.1 SDMMC	55
2.3.2 SARADC 电路	58
2.3.3 OTP 电路	60
2.3.4 USB2/USB3 电路	60
2.3.5 SATA3.1 电路	68
2.3.6 PCIe2.1 电路	70
2.3.7 视频输入接口电路	74

2.3.8 视频输出接口电路	80
2.3.9 音频相关电路设计	95
2.3.10 GMAC 接口电路	113
2.3.11 FlexBus 接口电路	120
2.3.12 DSMC 接口电路	122
2.3.13 UART 接口电路	124
2.3.14 I3C 接口电路	126
2.3.15 I2C 接口电路	127
2.3.16 SPI 接口电路	129
2.3.17 CAN 接口电路	130
2.3.18 PWM 接口电路	131
2.3.19 RK3576 未使用模块的管脚处理	134
3 PCB 设计建议	135
3.1 PCB 叠层设计	135
3.1.1 8 层板叠构	135
3.1.2 6 层板(假 8 层)叠构	136
3.1.3 6 层板叠层	136
3.2 RK3576 扇出设计	137
3.3 Layout 通用建议	140
3.3.1 Capture 与 allegro 建议	140
3.3.2 布局建议	142
3.3.3 走线建议	144
3.4 8GT/s 及以上高速信号布线建议	151
3.4.1 BGA 焊盘区域挖参考层	151
3.4.2 避免玻纤编织效应	152
3.4.3 差分过孔建议	153
3.4.4 耦合电容焊盘参考层挖空优化建议	153
3.4.5 ESD 焊盘参考层挖空优化建议	154
3.4.6 连接器焊盘参考层挖空优化建议	154
3.5 模块 PCB 设计建议	156
3.5.1 Clock/Reset 电路 PCB 设计	156
3.5.2 PMIC/Power 电路 PCB 设计	157
3.5.3 DDR 接口 PCB 设计	185
3.5.4 DP1.4 PCB 设计	196
3.5.5 PCIe2.1 PCB 设计	197
3.5.6 HDMI 2.1 PCB 设计	197
3.5.7 UFS2.0 PCB 设计	199
3.5.8 SATA 3.1 PCB 设计	200
3.5.9 USB2.0 PCB 设计	200
3.5.10 USB3.2 Gen1x1 PCB 设计	201
3.5.11 MIPI-D/C PHY TX PCB 设计	201

3.5.12 eDP PCB 设计	202
3.5.13 eMMC PCB 设计	202
3.5.14 SDMMC PCB 设计	203
3.5.15 FSPI PCB 设计	203
3.5.16 BT1120 PCB 设计	203
3.5.17 LCDC PCB 设计	203
3.5.18 RGB PCB 设计	204
3.5.19 CIF PCB 设计	204
3.5.20 EBC PCB 设计	204
3.5.21 RGMII PCB 设计	204
3.5.22 DSMC PCB 设计	205
3.5.23 FlexBus PCB 设计	205
3.5.24 音频接口电路 PCB 设计	206
3.5.25 Wi-Fi/BT PCB 设计	206
3.5.26 VGA OUT PCB 设计	208
3.5.27 LCD 屏和触摸屏 PCB 设计	209
3.5.28 摄像头 PCB 设计	209
4 热设计建议	210
4.1 热仿真结果	210
4.1.1 结果概要	210
4.1.2 术语解释	210
4.2 芯片内部热控制方式	212
4.2.1 温度控制策略	212
4.2.2 温度控制配置	212
4.3 电路热设计参考	212
4.3.1 电路原理图热设计参考	212
4.3.2 PCB 热设计参考	212
5 ESD/EMI 防护设计	214
5.1 概述	214
5.2 术语解释	214
5.3 ESD 防护	214
5.4 EMI 防护	215
6 焊接工艺	217
6.1 概述	217
6.2 术语解释	217
6.3 回流焊要求	217
6.3.1 焊膏成分要求	217
6.3.2 SMT 曲线	217
6.3.3 SMT 建议曲线	219
7 包装和存放条件	220
7.1 概述	220

7.2 术语解释	220
7.3 防潮包装	220
7.4 产品存放	221
7.4.1 存放环境	221
7.4.2 暴露时间	221
7.5 潮敏产品使用	221

Rockchip Confidential

图片索引

图 1-1 RK3576 框图	2
图 1-2 RK3576 EVB 应用框图	3
图 1-3 RK3576 智能 NVR 应用框图	3
图 2-1 RK3576 晶体连接方式及器件参数	4
图 2-2 RK3576 有源晶振连接方式及器件参数	4
图 2-3 RK3576 32.768KHz 待机时钟输入管脚	5
图 2-4 RK3576 复位输入	6
图 2-5 RK3576 复位信号路径图	7
图 2-6 RK3576 引导顺序选择	8
图 2-7 RK3576 SDMMC0_DETn 管脚以及 SDMMC0/JTAG 复用管脚	9
图 2-8 RK3576 JTAG 信号	10
图 2-9 RK3576 JTAG 连接示意图	10
图 2-10 RK3576 UART0 M0 管脚	10
图 2-11 RK3576 Debug UART0 连接示意图	11
图 2-12 LPDDR4/LPDDR4X/LPDDR5 点对点拓扑结构	14
图 2-13 RK806S-5 BUCK6 FB6 参数调整	15
图 2-14 RK806S-5 BUCK9 FB9 参数调整	16
图 2-15 LPDDR4/LPDDR4X 兼容设计电源选择	16
图 2-16 LPDDR4/4X SDRAM 上电时序	17
图 2-17 LPDDR5 SDRAM 上电时序	17
图 2-18 eMMC 连接示意图	18
图 2-19 eMMC 颗粒上下电时序	19
图 2-20 UFS 控制信号电源域	20
图 2-21 UFS 不同协议颗粒去耦电容	20
图 2-22 UFS 连接示意图	21
图 2-23 UFS 颗粒上下电时序	22
图 2-24 FSPI Flash 连接示意图	24
图 2-25 FSPI CS 与电源 VCC 上下电关系意图	25
图 2-26 Wi-Fi 正常工作状态示意图	35
图 2-27 Wi-Fi 休眠工作状态示意图	36
图 2-28 RK3576 芯片 SYS PLL 电源管脚	37
图 2-29 RK3576 芯片 DDR PLL 电源管脚	37
图 2-30 RK3576 芯片晶振电路的电源管脚	37
图 2-31 RK3576 芯片 PMU_LOGIC_DVDD0V75 电源管脚	38
图 2-32 RK3576 芯片 CPU_BIG_DVDD 电源管脚	38
图 2-33 RK3576 芯片 CPU_LIT_DVDD 电源电容	38
图 2-34 RK3576 芯片 GPU_DVDD 电源管脚	39
图 2-35 RK3576 芯片 NPU_DVDD 电源管脚	39
图 2-36 RK3576 芯片 LOGIC_DVDD 电源管脚	39
图 2-37 RK3576 芯片 LOGIC_MEM_DVDD 电源管脚	40
图 2-38 RK3576 DDR 电源管脚	40
图 2-39 RK3576 芯片 DDR 电源滤波电容	41
图 2-40 RK3576 USB2.0 PHY 电源管脚	41
图 2-41 RK3576 USB2.0 PHY 电源管脚	42
图 2-42 RK3576 USB30/DP1.4 Combo0 电源管脚	42
图 2-43 RK3576 PCIe2.1 Combo PHY 电源管脚	43
图 2-44 RK3576 MIPI DPHY CSI1/2/3/4 RX PHY 电源管脚	44
图 2-45 RK3576 MIPI D/C Combo PHY0 电源管脚	45
图 2-46 RK3576 HDMI2.1/EDP Combo PHY 电源管脚	45

图 2-47 RK3576 SARADC 电源管脚	46
图 2-48 RK3576 SARADC 电源管脚	46
图 2-49 RK806S-5 典型应用图	47
图 2-50 RK806S-5 I2C 模式典型应用图	48
图 2-51 RK806S-5 VDC 管脚	49
图 2-52 RK806S-5 BUCK1	50
图 2-53 RK3576+RK806S-5 电源架构	51
图 2-54 RK3576+RK806S-5 上电时序表	52
图 2-55 RK3576+RK806S-5 上电时序图	53
图 2-56 RK3576 SDMMC0 接口管脚	55
图 2-57 SD Card 接口电路	56
图 2-58 RK3576 SDMMC1 接口 M0 功能管脚	57
图 2-59 RK3576 SDMMC1 接口 M1 功能管脚	57
图 2-60 SARADC 接口	59
图 2-61 RK3576 SARADC 按键矩阵电路	59
图 2-62 RK3576 SARADC 单按键电路	59
图 2-63 RK3576 OTP 电源管脚	60
图 2-64 USB3/DP Controller 与 PHY 的内部复用关系	60
图 2-65 USB2 OTG0 管脚	60
图 2-66 USB3 OTG0 与 DP1.4 管脚	61
图 2-67 TYPEC 4Lane 与 DP 的连接框图	62
图 2-68 USB2.0 OTG+DP 4Lane 的连接框图	62
图 2-69 USB2.0 OTG+DP 4Lane(Swap ON)的连接框图	62
图 2-70 USB3.2 Gen1x1 OTG0+DP 2Lane(Swap OFF)的连接框图	62
图 2-71 USB3.2 Gen1x1 OTG0+DP 2Lane(Swap ON) 连接框图	63
图 2-72 USB3 OTG1 Controller 与 PHY 的内部复用关系	63
图 2-73 USB3 OTG1 管脚	64
图 2-74 USB2 OTG1 管脚	64
图 2-75 USB3.2 OTG1 的连接框图	65
图 2-76 USB2 OTG1 的连接框图	65
图 2-77 USB2/USB3 不用的连接框图	65
图 2-78 RK3576 USB2_OTG0 电路	66
图 2-79 USB2_OTG0_VBUSDET 检测电路	66
图 2-80 USB2 信号串接 2.2ohm 电阻电路	66
图 2-81 USB2 信号串共模电感电路	67
图 2-82 USB2_OTG0_ID 脚电路	67
图 2-83 USB 5V 限流开关电路	67
图 2-84 TYPEC 座子的 ESD 电路	68
图 2-85 PIPE_PHY0/1 和 SATA3.1 控制器复用关系	69
图 2-86 SATA0/1 相关控制 IO 管脚	70
图 2-87 RK3576 PCIe Controller 与 PHY 的映射关系图	71
图 2-88 PCIe2.1/SATA3.1 Combo PHY0	71
图 2-89 PCIe2.1/SATA3.1/USB3.0 Combo PHY1	71
图 2-90 PCIE0/1_REFCLKP/N 时钟做输出时的路径图	72
图 2-91 PCIE0/1_REFCLKP/N 时钟做输入时的路径图	72
图 2-92 VCCIO2 上面的 PCIe 控制信号管脚	73
图 2-93 VCCIO3 上面的 PCIe 控制信号管脚	73
图 2-94 VCCIO4 上面的 PCIe 控制信号管脚	74
图 2-95 VCCIO6 上面的 PCIe 控制信号管脚	74
图 2-96 RK3576 MIPI DPHY CSI1/2 RX	74
图 2-97 RK3576 MIPI DPHY CSI3/4 RX	75
图 2-98 RK3576 MIPI DPHY CSI1/2 RX 工作模式与数据、时钟分配	75

图 2-99 RK3576 MIPI DPHY CSI3/4 RX 工作模式与数据、时钟分配.....	75
图 2-100 RK3576 MIPI DCPHY CSI RX 信号管脚.....	76
图 2-101 MIPI DCPHY CSI RX Combo PHY 的电源和去耦电容.....	77
图 2-102 RK3576 CIF 功能管脚	78
图 2-103 RK3576 VOP 和视频接口输出路径图.....	80
图 2-104 RK3576 HDMI/eDP Combo PHY 管脚	81
图 2-105 RK3576 HDMI/EDP_TX_REXT 管脚.....	81
图 2-106 RK3576 HDMI TX AC 耦合电容外围电路.....	81
图 2-107 RK3576 HDMI TX 模式外围电路.....	82
图 2-108 RK3576 HDMI TMDS only 模式外围电路.....	82
图 2-109 RK3576 HDMI TX HPD 电路.....	83
图 2-110 RK3576 HDMI_TX_HPDIN M0/M1 功能管脚	84
图 2-111 RK3576 HDMI_TX_CEC M0/M1 功能管脚.....	84
图 2-112 HDMI CEC 协议要求.....	85
图 2-113 HDMI TX CEC 隔离电路	85
图 2-114 HDMI TX DDC 电平转换电路.....	85
图 2-115 HDMI TX 座子 ESD 电路.....	86
图 2-116 RK3576 eDP TX 信号交流耦合电容	87
图 2-117 RK3576 eDP TX AUX 信号上下拉电阻.....	87
图 2-118 RK3576 MIPI DCPHY TX 信号管脚	88
图 2-119 RK3576 MIPI DCPHY Combo PHY 组合方式.....	88
图 2-120 RK3576 DP TX 管脚	89
图 2-121 RK3576 DP Swap ON/OFF 模式图	89
图 2-122 RK3576 DP 3 Channels MST 模式图	90
图 2-123 RK3576 DP TX 信号交流耦合电容	90
图 2-124 RK3576 DP_TX_REXT 管脚.....	90
图 2-125 RK3576 VOP RGB/BT1120/MCU 功能管脚	91
图 2-126 RK3576 LCDC/BT1120/MCU VCCIO5 电源去耦电容	93
图 2-127 RK3576 VOP EBC 功能管脚	94
图 2-128 RK3576 EBC VCCIO5 电源去耦电容	94
图 2-129 RK3576 音频子系统框图.....	97
图 2-130 RK3576 PDM 接口数据格式.....	104
图 2-131 RK3576 DSM PWM Audio 低通滤波器示意图	109
图 2-132 RK3576 喇叭输出示意图.....	110
图 2-133 RK3576 低成本喇叭输出示意图.....	110
图 2-134 RK3576 典型的音频方案示意图.....	110
图 2-135 RK3576 典型的音频方案电路图.....	111
图 2-136 RK3576 HP_DET_L 引脚的上下拉说明	111
图 2-137 麦克风输入的伪差分处理	111
图 2-138 RK3576 多麦克风方案示意图	112
图 2-139 多颗模拟硅麦及回采的电路参考图	113
图 2-140 RK3576 GMAC0_M0 功能管脚	113
图 2-141 RK3576 GMAC0_M1 功能管脚	114
图 2-142 RK3576 GMAC1_M0 功能管脚	114
图 2-143 RK3576 GMAC1_M1 功能管脚	115
图 2-144 RGMII 连接示意图 1	116
图 2-145 RGMII 连接示意图 2	117
图 2-146 RMII 连接示意图 1	117
图 2-147 RMII 连接示意图 2	118
图 2-148 RMII 连接示意图 3	118
图 2-149 RMII 连接示意图 4	119
图 2-150 RMII 连接示意图 5	119

图 2-151 RK3576 FlexBus 功能管脚	121
图 2-152 RK3576 FlexBus 的典型应用	122
图 2-153 RK3576 DSMC 功能管脚	123
图 2-154 RK3576 UART 的 RS485 自动收发示意图	124
图 2-155 RK3576 I3C 的 I3C 模式和 I2C 模式接线示意图	127
图 2-156 红外接收头电路	134
图 3-1 8 层板叠构	135
图 3-2 6 层板(假 8 层)叠构	136
图 3-3 6 层板叠构	136
图 3-4 6 RK3576 封装	137
图 3-5 Create Netlist 报错	140
图 3-6 Char Limt 设置	140
图 3-7 import logic 报错	141
图 3-8 Long name size 设置	141
图 3-9 allegro16.6 取消内层孔环及插件焊环的设置方式	142
图 3-10 allegro17.4 取消内层孔环及插件焊环的设置方式	142
图 3-11 时钟串接电阻放置	143
图 3-12 TX 串接电阻放置	143
图 3-13 RX 串接电阻放置	144
图 3-14 ESD 和耦合电容放置	144
图 3-15 走线与同层地铜皮间距示意图	145
图 3-16 高速信号参考面边沿示意图	145
图 3-17 蛇形绕线示意图	145
图 3-18 走线残桩示意图	145
图 3-19 参考层挖空示意图	146
图 3-20 焊盘铺铜示意图	146
图 3-21 连接器地铜皮示意图	146
图 3-22 连接器焊盘通孔示意图	146
图 3-23 BGA 区域走线示意图	147
图 3-24 过孔尾桩示意图	147
图 3-25 地通孔示意图	147
图 3-26 ESD 器件焊盘加地通孔示意图	148
图 3-27 单端信号换层过孔示意图	148
图 3-28 单端信号包地示意图	148
图 3-29 差分对时延差示意图	149
图 3-30 不完整参考平面示意图	149
图 3-31 跨电源平面示意图	149
图 3-32 绕线补偿示意图	149
图 3-33 差分对内绕线补偿示意图	150
图 3-34 信号过孔与伴随过孔	150
图 3-35 对称走线示意图	150
图 3-36 包地示意图	151
图 3-37 焊盘参考层挖空示意图	151
图 3-38 玻纤编织效应示意图	152
图 3-39 改变走线角度示意图	152
图 3-40 zigzag 走线示意图	152
图 3-41 差分对孔尺寸示意图	153
图 3-42 耦合电容焊盘挖空尺寸示意图	154
图 3-43 ESD 器件焊盘挖空参考尺寸示意图	154
图 3-44 RK3576 晶体布局和走线	156
图 3-45 RESET_L 路径 PCB 分布分布	157
图 3-46 RK806S-5 ePad 过孔分布	157

图 3-47 RK806S-5 BUCK1/BUCK3 布局和走线.....	158
图 3-48 RK806S-5 BUCK2 布局和走线.....	159
图 3-49 RK806S-5 BUCK4 布局和走线.....	159
图 3-50 RK806S-5 BUCK5/6/7/8/9/10 布局和走线	160
图 3-51 RK806S-5 LDO 布局和走线示例.....	160
图 3-52 分立电源 DC/DC 布局和走线.....	161
图 3-53 分立电源 LDO 布局和走线.....	161
图 3-54 近端反馈 PCB Layout 示意图	162
图 3-55 远端反馈（RK 常规用法）PCB Layout 示意图	162
图 3-56 PCB 等效为电感的远端反馈 PCB Layout 示意图	162
图 3-57 CPU_BIG PCB Layout 示意图.....	163
图 3-58 CPU_BIG_DVDD 电源建议 PDN 要求	163
图 3-59 RK3576 芯片 CPU_BIG_DVDD 的电源管脚走线和过孔.....	164
图 3-60 RK3576 芯片 CPU_BIG_DVDD 回流地过孔	164
图 3-61 RK3576 芯片 CPU_BIG_DVDD 的电源管脚背面去耦电容.....	164
图 3-62 RK3576 芯片 CPU_BIG_DVDD 电源层覆铜	165
图 3-63 CPU_LIT PCB Layout 示意图	165
图 3-64 CPU_LIT_DVDD 电源建议 PDN 要求	166
图 3-65 RK3576 芯片 CPU_LIT_DVDD 的电源管脚走线和过孔.....	166
图 3-66 RK3576 芯片 CPU_LIT_DVDD 回流地孔	166
图 3-67 RK3576 芯片 CPU_LIT_DVDD 的电源管脚背面去耦电容	167
图 3-68 RK3576 芯片 CPU_LIT_DVDD 电源层覆铜	167
图 3-69 LOGIC PCB Layout 示意图	168
图 3-70 LOGIC_DVDD 电源建议 PDN 要求	168
图 3-71 RK3576 芯片 LOGIC_DVDD 的电源管脚走线和过孔.....	169
图 3-72 RK3576 芯片 LOGIC_DVDD 回流地孔	169
图 3-73 RK3576 芯片 LOGIC_DVDD 的电源管脚背面去耦电容	169
图 3-74 RK3576 芯片 LOGIC_DVDD 电源层覆铜	170
图 3-75 NPU PCB Layout 示意图	170
图 3-76 NPU_DVDD 电源建议 PDN 要求	171
图 3-77 RK3576 芯片 NPU_DVDD 的电源管脚走线和过孔	171
图 3-78 RK3576 芯片 NPU_DVDD 回流地过孔	172
图 3-79 RK3576 芯片 NPU_DVDD 的电源管脚背面去耦电容	172
图 3-80 NPU_DVDD 主电容及反馈线.....	172
图 3-81 RK3576 芯片 NPU_DVDD 电源层覆铜	173
图 3-82 GPU PCB Layout 示意图	173
图 3-83 GPU_DVDD 电源建议 PDN 要求	174
图 3-84 RK3576 芯片 GPU_DVDD 的电源管脚走线和过孔	174
图 3-85 RK3576 芯片 GPU_DVDD 回流地过孔	175
图 3-86 RK3576 芯片 GPU_DVDD 的电源管脚背面去耦电容	175
图 3-87 GPU_DVDD 主电容及反馈线.....	175
图 3-88 RK3576 芯片 GPU_DVDD 电源层覆铜	176
图 3-89 DDRPHY_DVDD PCB Layout 示意图	176
图 3-90 DDRPHY_DVDD 电源建议 PDN 要求	177
图 3-91 RK3576 芯片 DDRPHY_DVDD 的电源管脚走线和过孔	177
图 3-92 RK3576 芯片 DDRPHY_DVDD 回流地过孔	177
图 3-93 RK3576 芯片 DDRPHY_DVDD 的电源管脚背面去耦电容	178
图 3-94 RK3576 芯片 DDRPHY_DVDD 电源层覆铜	178
图 3-95 DDRPHY_VDDQ PCB Layout 示意图	179
图 3-96 DDRPHY_VDDQ 电源建议 PDN 要求	179
图 3-97 RK3576 芯片 DDRPHY_VDDQ 的电源管脚走线和过孔	180
图 3-98 RK3576 芯片 DDRPHY_VDDQ 回流地过孔	180

图 3-99 RK3576 芯片 DDRPHY_VDDQ 的电源管脚背面去耦电容.....	180
图 3-100 RK3576 芯片 DDRPHY_VDDQ 电源层覆铜.....	181
图 3-101 RK3576 其它电源管脚走线和过孔.....	182
图 3-102 RK3576 其它电源内层 Fan-out.....	182
图 3-103 RK3576 其它电源管脚背面去耦电容放置.....	183
图 3-104 RK3576 BGA 区域过孔与焊盘分布	184
图 3-105 RK3576 VSS 管脚走线和过孔	184
图 3-106 RK3576 地层覆铜情况	185
图 3-107 6 层通孔 PCB 模板主控区域过孔设计	185
图 3-108 信号过孔对应的 GND 回流过孔示意图.....	186
图 3-109 不同的过孔设计示意图.....	186
图 3-110 GND 走线优化参考层示意图	187
图 3-111 走线和参考层边缘距离图示	187
图 3-112 绕线示意图	187
图 3-113 过孔长度示意图	187
图 3-114 DDR 区域 GND 过孔数量要求	188
图 3-115 增大走线和过孔焊盘间距	188
图 3-116 平面裂缝优化示意图	188
图 3-117 差分信号包地设计示意图	189
图 3-118 VDD2_DDR_S3 电源换层过孔数量要求	190
图 3-119 VDD1_1V8_DDR 电源换层过孔数量要求	190
图 3-120 LPDDR4/4X 颗粒 VDDQ_DRAM_S0 电源过孔数量要求	190
图 3-121 LPDDR4/4X 颗粒 VDD2_DDR_S3 电源过孔数量要求	191
图 3-122 LPDDR4/4X 颗粒 VDD1_1V8_DDR 电源过孔建议数量	191
图 3-123 LPDDR5 颗粒 VDD2H_DDR_S3 电源过孔建议数量	191
图 3-124 LPDDR5 颗粒 VDD1_1V8_DDR 电源过孔建议数量	192
图 3-125 LPDDR5 颗粒 VDD2L_0V9_DDR_S3 电源过孔建议数量	192
图 3-126 焊盘对应的过孔数量要求	192
图 3-127 过孔靠近管脚放置	193
图 3-128 避免电源层被排孔大面积破坏示意图	193
图 3-129 LPDDR4X 颗粒 VDD2_DDR_S3 电源建议 PDN 要求	193
图 3-130 LPDDR4X 颗粒 VDDQ_DRAM_S0 电源建议 PDN 要求	194
图 3-131 LPDDR5 颗粒 VDD2L_0V9_DDR_S3 电源建议 PDN 要求	194
图 3-132 LPDDR5 颗粒 VDD2H_DDR_S3 电源建议 PDN 要求	195
图 3-133 DP 球位区域扇出走线	197
图 3-134 HDMI2.1 BGA 区域扇出走线	198
图 3-135 隔直电容和电阻之间差分信号布线	198
图 3-136 590ohm 电阻布局图	198
图 3-137 UFS2.0 BGA 区域扇出走线	199
图 3-138 串接电阻相邻层挖空	199
图 3-139 UFS_REFCLK 包地示意图	200
图 3-140 MIPI BGA 区域扇出走线	202
图 3-141 Wi-Fi 模块的电感电容走线示意图.....	208
图 4-1 θJA 的定义.....	211
图 4-2 θJC 的定义.....	211
图 4-3 θJB 的定义.....	211
图 5-1 ESD 防护示意图: 在表层隔离 HDMI 信号与 GND 的距离	215
图 6-1 回流焊曲线分类	218
图 6-2 无铅工艺器件封装体耐热标准	218
图 6-3 无铅回流焊接工艺曲线	218
图 6-4 无铅回流焊接工艺建议曲线参数	219
图 7-1 芯片干燥真空包装	220

Rockchip Confidential

表格索引

表 2-1 RK3576 32.768KHz 时钟要求	5
表 2-2 RK3576 系统初始化配置信号描述.....	9
表 2-3 RK3576 JTAG Debug 接口信号	9
表 2-4 RK3576 DDR PHY I/O Map 表	12
表 2-5 RK3576 eMMC 接口设计	18
表 2-6 RK3576 UFS 供电设计	20
表 2-7 RK3576 UFS 接口设计	21
表 2-8 RK3576 FSPI 接口设计	24
表 2-9 RK3576 FSPI1_M0 接口设计	24
表 2-10 RK3576 FSPI1_M1 接口设计	24
表 2-11 RK3576 GPIO Output Driver Strength 表格	27
表 2-12 RK3576 GPIO 电源脚描述	27
表 2-13 RK3576 芯片电源需求表	29
表 2-14 RK3576 第一次上电各模块供电要求表.....	32
表 2-15 RK3576 待机电源供电要求表.....	33
表 2-16 RK3576 支持 USB 唤醒的待机电源供电要求表.....	34
表 2-17 RK3576 支持 Wi-Fi 唤醒的待机电源供电要求表	36
表 2-18 RK3576 内部 PLL 介绍	36
表 2-19 RK3576 峰值电流表	54
表 2-20 SDMMC0 接口设计	56
表 2-21 SDMMC1 接口设计	57
表 2-22 RK3576 SARADC_IN0_BOOT 配置表	58
表 2-23 RK3576 USB2/USB3 接口设计	68
表 2-24 RK3576 SATA 接口设计	70
表 2-25 RK3576 PCIe2.1 接口设计	72
表 2-26 PCIe 控制信号复用情况和对应的电源域分布	73
表 2-27 RK3576 MIPI DPHY CSI1/2/3/4 RX 接口设计	76
表 2-28 RK3576 MIPI DCPHY CSI RX Combo PHY 接口设计	77
表 2-29 RK3576 CIF 数据对应关系	78
表 2-30 RK3576 BT1120 16bit 模式数据对应关系表	79
表 2-31 RK3576 CIF 接口设计	79
表 2-32 FRL 速率与通道关系	83
表 2-33 RK3576 HDMI TX 接口设计	86
表 2-34 RK3576 eDP TX PHY 接口设计	87
表 2-35 RK3576 MIPI D-PHY/C-PHY Combo PHY TX 接口设计	88
表 2-36 RK3576 DP TX PHY 接口设计	90
表 2-37 RK3576 RGB、BT1120、BT656、MCU 复用关系表	92
表 2-38 RK3576 BT1120 输出格式列表	92
表 2-39 RK3576 LCDC 输出接口设计	93
表 2-40 RK3576 EBC 输出接口设计	94
表 2-41 RK3576 对外引出的音频接口以及 IO 复用情况	95
表 2-42 RK3576 对内使用的音频接口以及复用情况	96
表 2-43 RK3576 SAI 接口不同通道、位宽下的采样率参考	98
表 2-44 RK3576 对外 SAI 接口的复用情况说明	98
表 2-45 RK3576 SAI0 接口信号描述	99
表 2-46 RK3576 SAI1 接口信号描述	100
表 2-47 RK3576 SAI2 接口信号描述	101
表 2-48 RK3576 SAI3 接口信号描述	102
表 2-49 RK3576 SAI4 接口信号描述	103

表 2-50 RK3576 PDM_CLK 频率与采样率对照表	104
表 2-51 RK3576 PDM 接口的复用情况说明	104
表 2-52 RK3576 PDM0 接口信号描述	105
表 2-53 RK3576 PDM1 接口信号描述	106
表 2-54 RK3576 SPDIF_TX0 接口信号描述	107
表 2-55 RK3576 SPDIF_TX1 接口信号描述	107
表 2-56 RK3576 SPDIF_RX0 接口信号描述	107
表 2-57 RK3576 SPDIF_RX1 接口信号描述	108
表 2-58 RK3576 ASRC 模块典型采样率	108
表 2-59 RK3576 ASRC 异步采样率转换器模块	108
表 2-60 RK3576 DSM PWM Audio 接口信号描述	109
表 2-61 RK3576 RGMII/RMII 接口设计	115
表 2-62 RK3576 FlexBus 的信号方向	120
表 2-63 RK3576 的工作模式及注意事项	123
表 2-64 RK3576 UART 接口分布	124
表 2-65 RK3576 UART 流控接口分布	125
表 2-66 RK3576 UART 接口设计	126
表 2-67 RK3576 I3C 接口分布	127
表 2-68 RK3576 I3C 接口设计	127
表 2-69 RK3576 I2C 接口分布	128
表 2-70 RK3576 I2C 接口设计	129
表 2-71 RK3576 SPI 接口分布	129
表 2-72 RK3576 SPI 接口设计	130
表 2-73 RK3576 CAN 接口分布	130
表 2-74 RK3576 CAN 接口设计	130
表 2-75 RK3576 PWM 功能情况	131
表 2-76 RK3576 PWM 接口分布	132
表 3-1 RK3576 8GT/s 及以上差分信号	151
表 3-2 差分过孔的参考尺寸	153
表 3-3 耦合电容焊盘挖空尺寸参考值	153
表 3-4 ESD 器件焊盘挖空参考尺寸	154
表 3-5 连接器焊盘挖空尺寸参考值	155
表 3-6 连接器推荐布线方式	155
表 3-7 CPU_BIG_DVDD 电源 PDN 目标阻抗建议值	163
表 3-8 CPU_LIT_DVDD 电源 PDN 目标阻抗建议值	166
表 3-9 LOGIC_DVDD 电源 PDN 目标阻抗建议值	168
表 3-10 NPU_DVDD 电源 PDN 目标阻抗建议值	171
表 3-11 GPU_DVDD 电源 PDN 目标阻抗建议值	174
表 3-12 DDRPHY_DVDD 电源 PDN 目标阻抗建议值	176
表 3-13 DDRPHY_VDDQ 电源 PDN 目标阻抗建议值	179
表 3-14 LPDDR4X 颗粒 VDD2_DDR_S3 电源 PDN 目标阻抗建议值	193
表 3-15 LPDDR4X 颗粒 VDDQ_DRAM_S0 电源 PDN 目标阻抗建议值	194
表 3-16 LPDDR5 颗粒 VDD2L_0V9_DDR_S3 电源 PDN 目标阻抗建议值	194
表 3-17 LPDDR5 颗粒 VDD2H_DDR_S3 电源 PDN 目标阻抗建议值	194
表 3-18 LPDDR5 走线要求	195
表 3-19 LPDDR4X、LPDDR4 接口走线要求	196
表 3-20 布线要求-DP1.4	196
表 3-21 布线要求-PCIe2.1	197
表 3-22 布线要求-HDMI2.1	197
表 3-23 布线要求-UFS2.0	199
表 3-24 布线要求-SATA3.1	200
表 3-25 布线要求-USB2.0	200

表 3-26 布线要求-USB3.2 Gen1x1	201
表 3-27 布线要求-MIPI-DPHY TX.....	201
表 3-28 布线要求-MIPI-CPHY TX.....	201
表 3-29 布线要求-eDP.....	202
表 3-30 布线要求-eMMC	202
表 3-31 布线要求-SDMMC/SDIO	203
表 3-32 布线要求- FSPI.....	203
表 3-33 布线要求- BT1120.....	203
表 3-34 布线要求- LCDC.....	203
表 3-35 布线要求-RGB	204
表 3-36 布线要求-CIF	204
表 3-37 布线要求-EBC.....	204
表 3-38 布线要求-RGMII.....	204
表 3-39 布线要求-DSMC	205
表 3-40 布线要求-FlexBus	205
表 4-1 RK3576 热阻仿真报告结果.....	210
表 7-1 暴露时间参照表（MSL）	221
表 7-2 RK3576 Re-bake 参考表	222

1 系统概述

1.1 概述

RK3576 是一颗高性能、低功耗的应用处理器芯片，集成了 4 个 Cortex-A72 和 4 个 Cortex-A53 及独立的 NEON 协处理器；适用于 ARM PC、边缘计算、个人移动互联网设备及其它多媒体产品。

RK3576 内置了多种功能强大的嵌入式硬件引擎，为高端应用提供了优异的性能，支持 4K@120fps 的 H.265、VP9、AVS2 和 AV1 解码器，支持 4k@60fps 的 H.264 解码器；还支持 4K@60fps 的 H.264 和 H.265 编码器，高质量的 JPEG 编码器/解码器，专门的图像预处理器和后处理器。

内置 3D GPU，能够完全兼容 OpenGL ES1.1/2.0/3.2、OpenCL 2.0 和 Vulkan 1.1。带有 MMU 的特殊 2D 硬件引擎将最大限度地提高显示性能，并提供流畅的操作体验。

引入了新一代完全基于硬件的最大 16M 像素 ISP（图像信号处理器），实现了多种算法加速器，如 HDR、3A、CAC、3DNR、2DNR、锐化、去雾、增强、鱼眼校正、伽马校正等。

内嵌的 NPU 支持 INT4/INT8/INT16/FP16/BF16/TF32 混合运算。此外，凭借其强大的兼容性，可以轻松转换基于 TensorFlow/MXNet/PyTorch/Caffe 等一系列框架的网络模型。

RK3576 具有高性能的外部存储器接口（LPDDR4/LPDDR4X/LPDDR5），能够支持苛刻的存储器带宽（能够支持存储器高带宽要求的系统），还提供了一套完整的外设接口，以灵活支持各类应用。

1.2 芯片框图

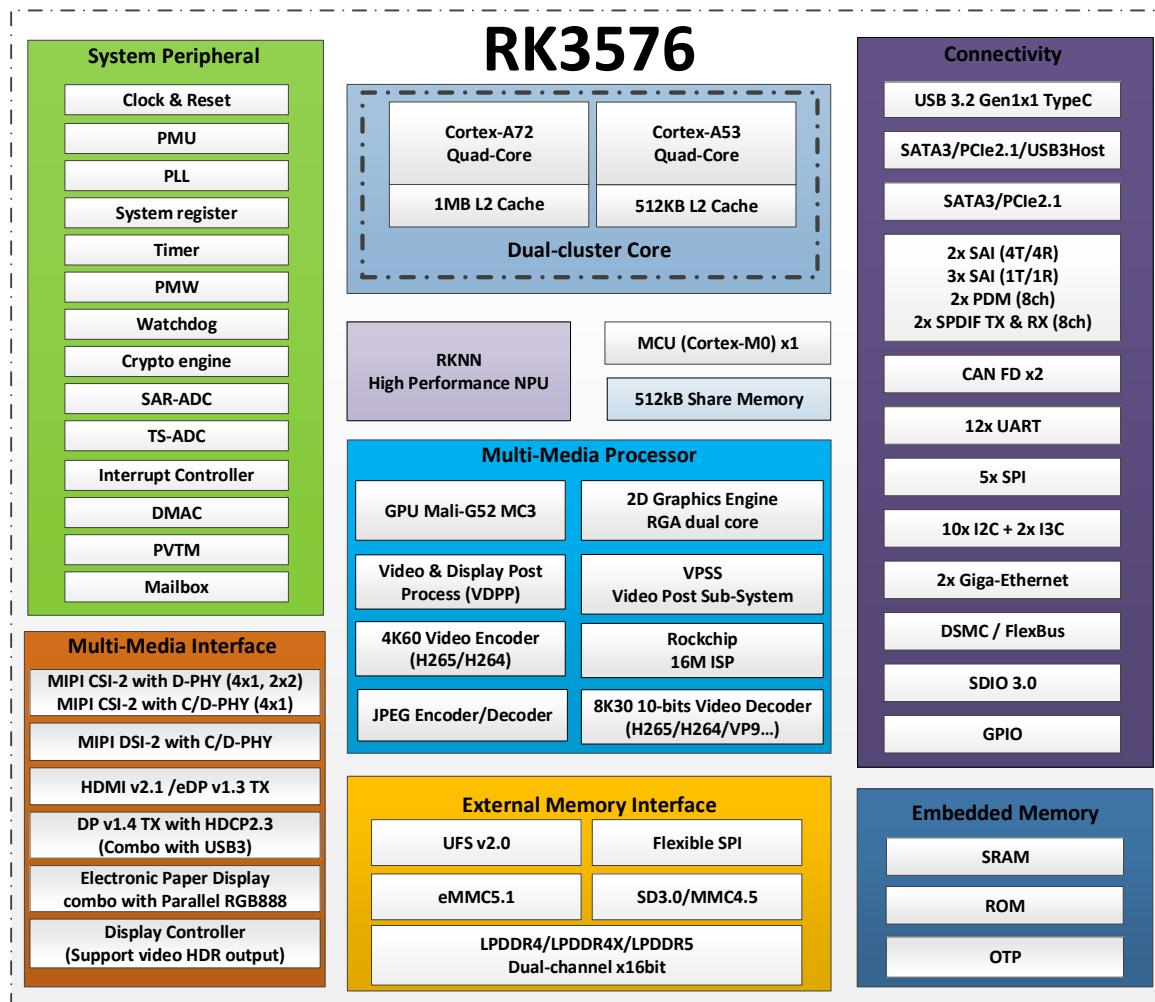


图 1-1 RK3576 框图

1.3 应用框图

1.3.1 RK3576 EVB 应用框图

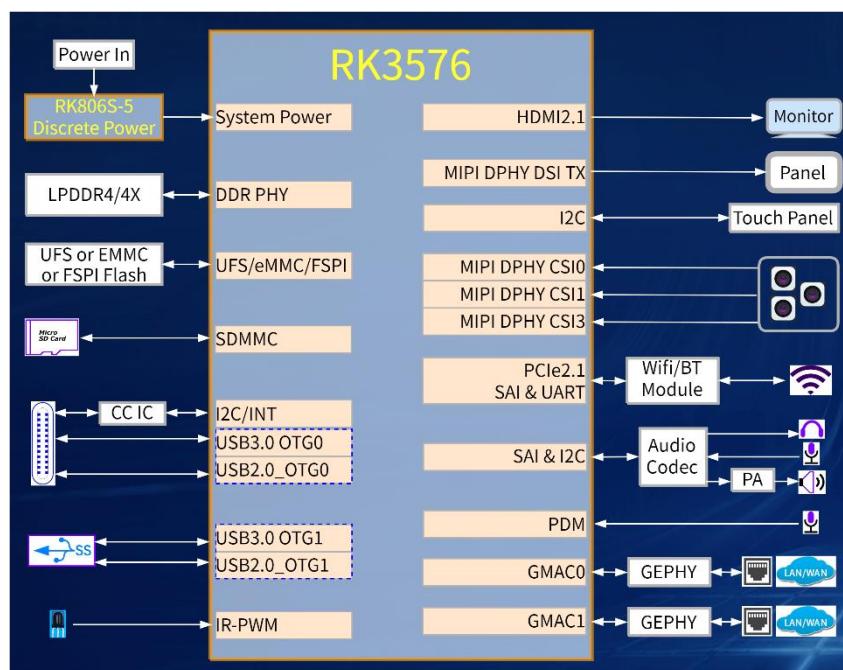


图 1-2 RK3576 EVB 应用框图

1.3.2 RK3576 智能 NVR 应用框图

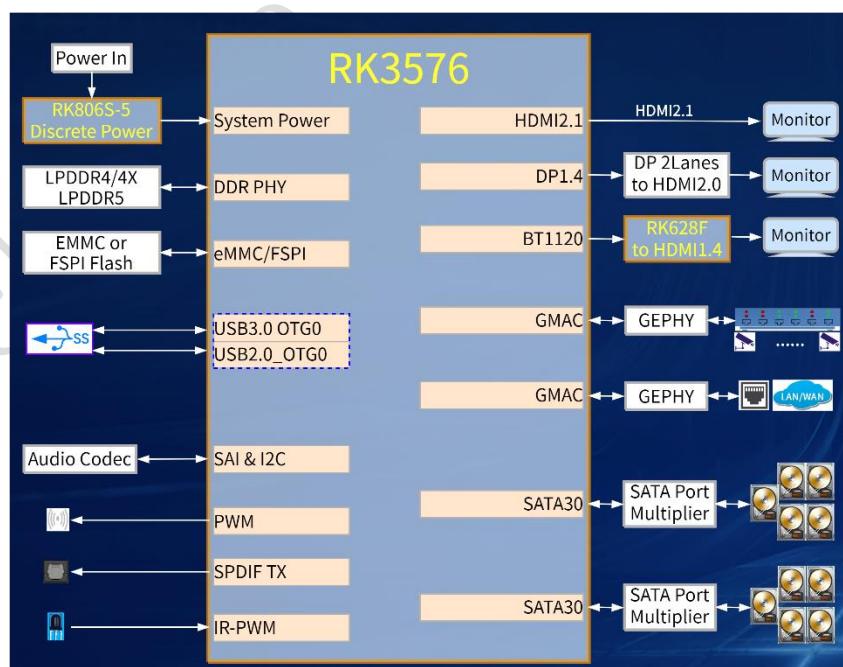


图 1-3 RK3576 智能 NVR 应用框图

以上是 RK3576 芯片方案的举例应用框图，更详细的请参考 RK 发布的参考设计原理图。

2 原理图设计建议

2.1 最小系统设计

2.1.1 时钟电路

RK3576 芯片内部的振荡器电路与外置的 24MHz 晶体一起构成系统时钟，如图 2-1 所示。XOUT_24M 网络务必串接 22ohm 电阻，用于限流，防止过驱。XOUT_24M 和 XIN_24M 网络之间的 510Kohm 电阻不可随意修改。

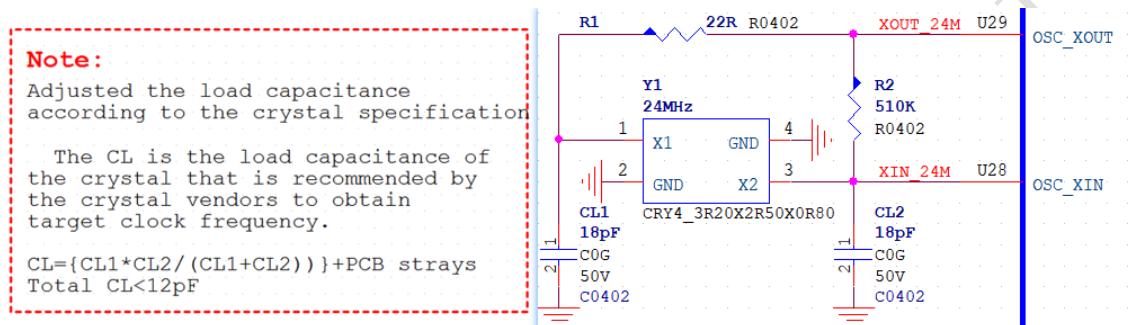


图 2-1 RK3576 晶体连接方式及器件参数



注意

Note1：选用晶体的 CL 值不超过 12pF。

Note2：晶体外部电容 CL1 和 CL2 请根据实际使用的晶体的 CL 值要求来选择，并控制常温下的频率容限在 20ppm 以内；我司选用晶体的外部电容 CL1 和 CL2 为 18pF，并不为通用值，电容材质建议采用 COG 或 NPO；建议采用贴片 4Pin 晶体，其中 2 个 GND 管脚与 PCB 板的地充分连接，加强时钟抗 ESD 干扰能力。

RK3576 支持有源晶振方案输入，应用电路如下图所示。

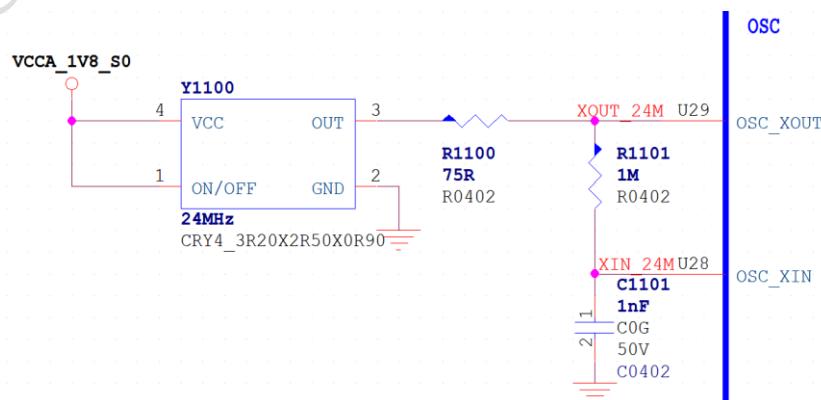


图 2-2 RK3576 有源晶振连接方式及器件参数

针对有时钟同源需求的场景，有源晶振可以采用双路时钟发生器来代替，时钟发生器的一路时钟输入到 RK3576，一路时钟输入到其他芯片。



注意

Note1: R1100 会影响占空比，不同的有源晶振此参数可不一样，调整方法如下：(a) 软件设置 24M CLK 从 REF_CLK0_OUT(Pin V29)脚 BAPASS 输出，用示波器测试此脚输出的 24M CLK 的占空比是否为 50%；(b) 若 Pin V29 脚输出的 24M CLK 占空比不是 50%，可通过调整 R1100 参数，使占空比尽可能达到 50% 左右；(c) 若选用的有源 24M 晶振输出的 CLK 电压较低（没达到 1.8V，比如 0.8V），可能无法通过调整 R1100 的参数使其占空比达到 50%。

Note2: 有源晶振时钟要求：电平 1.35V-1.8V, 占空比 50%, 频偏 20ppm。

RK3576 芯片在待机时，可以选择将工作时钟源切换到 PMU_PVTM 模块提供的时钟或外部输入的 32.768KHz 时钟，关掉 OSC 振荡电路，可得到更优的芯片待机功耗，此时仅支持 PMUIO0 和 PMUIO1 电源域里的 IO 中断唤醒，如果需求的唤醒源和 24MHz 时钟有关，则 24MHz 时钟不能关掉。

PVTM(Process-Voltage-Temperature Monitor)模块集成的时钟振荡环可产生时钟，这个时钟频率由时钟振荡环电路的延迟单元决定，产生的时钟可作为芯片待机的时钟源；使用外部输入的 32.768KHz 时钟当 RK3576 芯片休眠时钟时，可得到最优的芯片待机功耗，此时 PVTM 模块也可以关掉。

外部输入的 32.768KHz 时钟可以从外置 RTC 时钟源获取，RK3576 32.768KHz 时钟输入脚如下图所示：

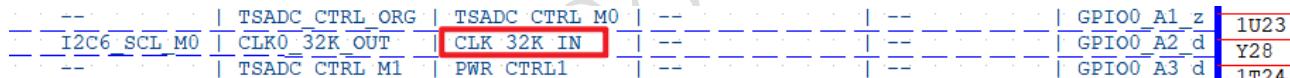


图 2-3 RK3576 32.768KHz 待机时钟输入管脚

外置 32.768kHz RTC 时钟参数如下表所示：

表 2-1 RK3576 32.768KHz 时钟要求

参数	规范			描述
	最小	最大	单位	
频率	32.768000		kHz	
频率偏差	+/-30		ppm	
时钟幅度	0.7*VDD	VDD	V	VDD: PMUIO0 电源电压
占空比	45	55	%	



注意

Note1: 使用该功能时，该管脚 IOMUX 必须设置成 CLK32K_IN 功能，输入幅度必须满足 PMUIO0 Domian 供电要求。

Note2: 针对开漏输出的芯片，如 RTC 芯片，需要注意关闭 CLK_32K_IN 所在的 GPIO 的内部下拉。

RK3576 可向外设提供工作时钟：

- REF_CLK0_OUT/REF_CLK1_OUT/REF_CLK2_OUT：预留时钟输出引脚，根据实际需求选用，支持如下频点：12MHz, 24MHz, 25MHz, 26MHz, 27MHz, 37.125MHz, 74.25MHz, 10MHz, 20MHz, 40MHz, 50MHz, 58.5MHz, 100MHz；
- CLK0_32K_OUT/CLK1_32K_OUT：32.768KHz 时钟输出，可提供给 Wi-Fi, BT, PCIe 等设备当工作时钟或休眠时钟（如待机模式下需要关闭系统 24MHz 振荡器，那么无法输出）；
- ETH0_CLK_25M_OUT/ETH1_CLK_25M_OUT：25MHz 时钟输出，可提供给 Ethernet PHY 等设备当工作时钟；
- CAM_CLK0_OUT/CAM_CLK1_OUT/CAM_CLK2_OUT：默认 24MHz 时钟输出，可提供给 Camera 等设备当工作时钟；也可根据 PLL 分频得到 27MHz, 37.125MHz, 74.25MHz 频点，每路时钟支持各自输出不同的频率；
- VI_CIF_CLKOUT：默认 24MHz 时钟输出，可提供给 Camera 等设备当工作时钟；也可根据 PLL 分频得到 27MHz, 37.125MHz, 74.25MHz 频点。



注意

Note1：以上时钟所处的 IO Domain 与外设的 IO 电平必须匹配，如果不匹配，必须增加电平转换电路。

Note2：请根据外设设备时钟需求评估是否可以满足。

2.1.2 复位/看门狗/TSADC 电路

RK3576 芯片的硬件复位通过 Pin W28(NPOR)管脚输入，必须由外部控制，低电平有效，为保证芯片稳定和正常工作，所需的最短复位时间为 100 个 24MHz 主时钟周期，即至少 4us 以上。

Pin W28(NPOR)管脚需要增加 100nF 电容，用来消除复位信号上的抖动，增强抗干扰能力，防止误触发导致的系统异常复位。

RESET_L 网络的上拉电源必须和 NPOR 管脚所在的 IO 电源域 (PMUIO0_VCC1V8) 保持一致。

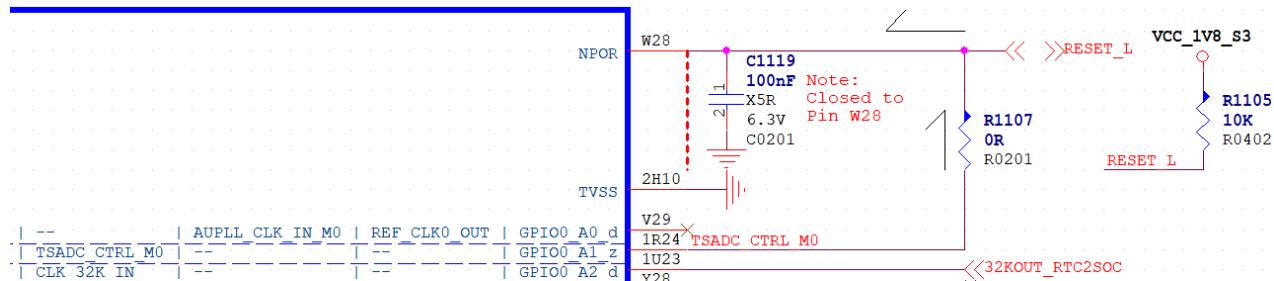


图 2-4 RK3576 复位输入

RK3576 芯片内部集成了 Watchdog Timer，当产生复位信号时，可以通过 TSADC_CTRL_M0 管脚输出低电平，对 RK3576 进行硬件复位。

RK3576 芯片内部集成了 1 个 6 channels 的 TSADC(Temperature-Sensor ADC)模块，当芯片内部温度超过阈值时，可以通过内部 TSADC_SHUT 信号给 CRU 模块，让 RK3576 芯片复位，同时可以通过 TSADC_CTRL_M0 管脚输出低电平，对 RK3576 进行硬件复位。如上图 2-3 TSADC_CTRL_M0 网络连接

到 RESET_L 网络上。

RK3576 复位信号路径图如下：

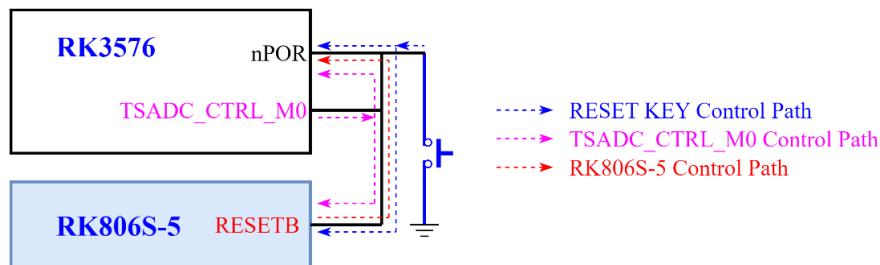


图 2-5 RK3576 复位信号路径图

RK806S-5 的 RESETB 管脚在第一次上电时，等各路电源上电完成后，RESETB 管脚会持续输出低电平，等到所设置的延迟时间结束后，会释放输出低电平，由于 RESET_L 外部有上拉电阻，RESET_L 网络会跳变成高电平，即完成上电复位过程；当 RK806S-5 在工作或 sleep 模式时，如果 RESETB 管脚被拉低，那么 RK806S-5 也会重启，重启上电顺序和第一次上电相同。



注意

如果有采用外部看门狗电路，且看门狗的输出与 TSADC_CTRL_M0 管脚相连时，要求选用开漏输出的看门狗芯片。

2.1.3 PMU 单元电路

为满足低功耗需求，RK3576 设计了一个电源管理单元(PMU)，用于控制管理芯片内部电源。

该模块可以支持芯片内部寄存器或 PMUIO 电源域的 IO 控制外围电源电路，实现对其他功能模块供电和断电，也可支持 IO 中断唤醒，从而实现芯片的待机和唤醒功能。

2.1.4 系统启动引导顺序

RK3576 芯片支持多种启动引导方式，在芯片复位结束后，芯片内部集成的引导代码可以在如下接口设备进行引导，具体引导顺序可根据实际应用需求进行选择（见下文中“引导顺序选择”描述）。

- Serial Flash(FSPI0、FSPI1_M0、FSPI1_M1)
- eMMC
- UFS
- SDMMC0 Card

如果在上述设备中没有引导代码，可以通过 USB2.0 OTG0 接口 USB2_OTG0_DP/DM 信号将系统代码下载到这些设备中，同时也支持从 USB 3.2 Gen1x1 OTG0 接口的 USB3_OTG0_SSRX1P/N 与 USB3_OTG0_SSTX1P/N 信号烧录固件。请注意，如果需要支持 USB3.0 升级固件且需要支持 2Lane DP 时，必须采用 USB3.2 Gen1x1 OTG0+DP 2Lane(Swap ON)的方案。

引导顺序选择：

RK3576 的 Boot 启动顺序可以通过 SARADC_IN0_BOOT Pin(Pin A25)进行设置，从不同接口对应的外设启动，如下表所示硬件通过配置不同的上下拉电阻值，设计 Config1-Config11 共 11 种模式的外设引导顺序，需要根据实际应用需求进行对应配置。

举例：如果默认选择 EMMC 启动，则可选择 Config10 或 Config11 模式；如果默认选择 UFS 启动，则可选择 Config7 或 Config8 模式。

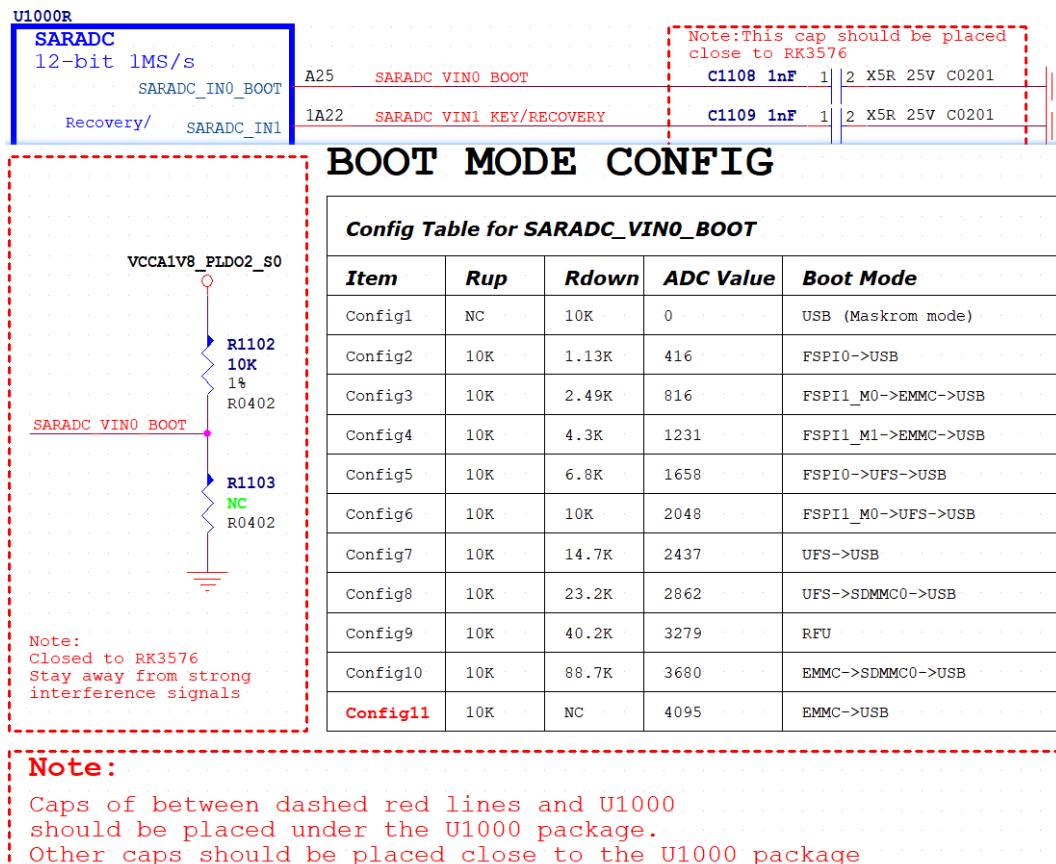


图 2-6 RK3576 引导顺序选择

按照以上 Config1 设置，SARADC_IN0_BOOT 对地短路，可使设备进入 Maskrom 状态。RK 早期的芯片没有 SARADC_IN0 的 BOOT 功能，需要通过短路 EMMC_CLK/DATA 进入 Maskrom，RK3576 支持 SARADC_IN0 的 BOOT 功能，无需通过短路 EMMC_CLK/DATA 进入 Maskrom。

SARADC_IN1 用于对地短路进入 Recovery 状态；其它 SARADC 口可根据应用需求配置。



注意

Note1: SARADC_IN0_BOOT 为 BOOT 配置专用引脚，不可作为其他功能使用

Note2: RK3576 不支持从 PCIe BOOT，应用中若有从 PCIe 接口的 SSD 硬盘启动的需求，需要在 FSPI 接口接 SPI FLASH，启动时通过 SPI FLASH 的代码先引导 PCIe 的驱动，再加载 SSD 里面的系统，从而完成启动

2.1.5 系统初始化配置信号

RK3576 中有一个重要信号会影响系统的启动配置，需要在上电前配置完毕并保持状态稳定：

- SDMMC0_DETIN 管脚(Pin 1U21): 决定 VCCIO1 电源域 IO 是 SDMMC0 还是 JTAG 功能，在系统复位结束后，芯片会根据这个管脚的输入电平配置相应模块的默认开机功能。Pin 1U21 管脚需要增加 1nF 电容，用来消除信号上的抖动，增强抗干扰能力。

RK3576 的 JTAG 功能与 SDMMC0 功能复用在一起，通过 SDMMC0_DETIN 管脚来切换 IOMUX 的功能，故该管脚也需要在上电前完成配置，否则 JTAG 功能无输出会影响到引导阶段的调试，而 SDMMC0 无输出会影响到 SDMMC0 boot 功能。

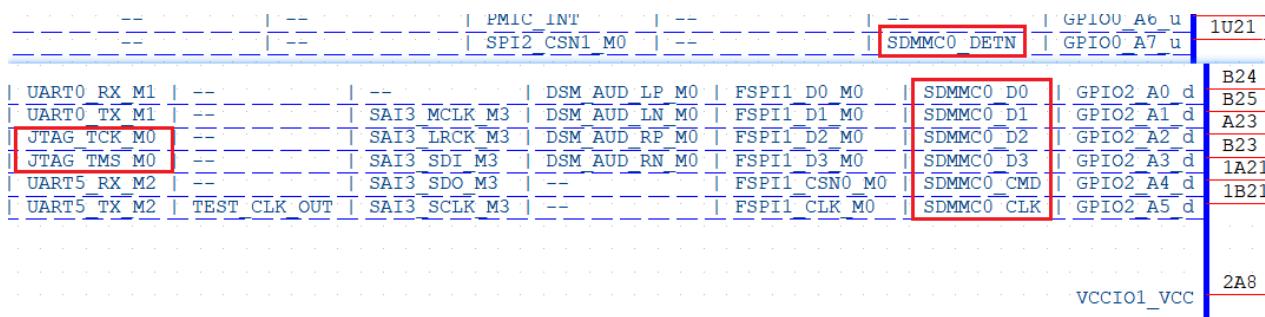


图 2-7 RK3576 SDMMC0_DETIN 管脚以及 SDMMC0/JTAG 复用管脚

- 该管脚检测为高电平，则对应 IO 切换到 JTAG 功能；
- 当检测到为低电平（大部分 SD 卡插入会拉低该管脚，如果不是需要特殊处理），对应 IO 切换为 SDMMC0 功能；
- 系统起来后，可切换成由寄存器来控制 IOMUX，那么该管脚可以释放出来；
- 为方便查询，这个管脚的配置状态与功能对应如下表所示：

表 2-2 RK3576 系统初始化配置信号描述

信号名	芯片内部上下拉 配置情况	描述
SDMMC0_DETIN	上拉	SDMMC0/JATG 管脚复用选择控制信号： 0：识别为 SD 卡插入，SDMMC0/JATG 管脚复用为 SDMMC0 功能； 1：未识别为 SD 卡插入，SDMMC0/JATG 管脚复用为 JTAG 功能（Default）

2.1.6 JTAG 和 UART Debug 电路

2.1.6.1 RK3576 JTAG 电路

RK3576 芯片的 JTAG 接口符合 IEEE1149.1 标准，PC 可通过 SWD 模式（两线模式）连接 DSTREAM 仿真器，调试芯片内部的 ARM Core。

JTAG 接口说明如下表所示：

表 2-3 RK3576 JTAG Debug 接口信号

信号名	描述
JTAG_TCK_M0/M1	SWD 模式时钟输入
JTAG_TMS_M0/M1	SWD 模式数据输入输出

RK3576 的 JTAG 有 2 个复用，其中 JTAG_TCK_M0/ JTAG_TMS_M0 位于 VCCIO1 域，和 SDMMC0 复用 IOMUX；JTAG_TCK_M1/ JTAG_TMS_M1 位于 PMUIO1 域，和 UART Debug——UART0 M0 复用，IOMUX 复用情况如下图所示。

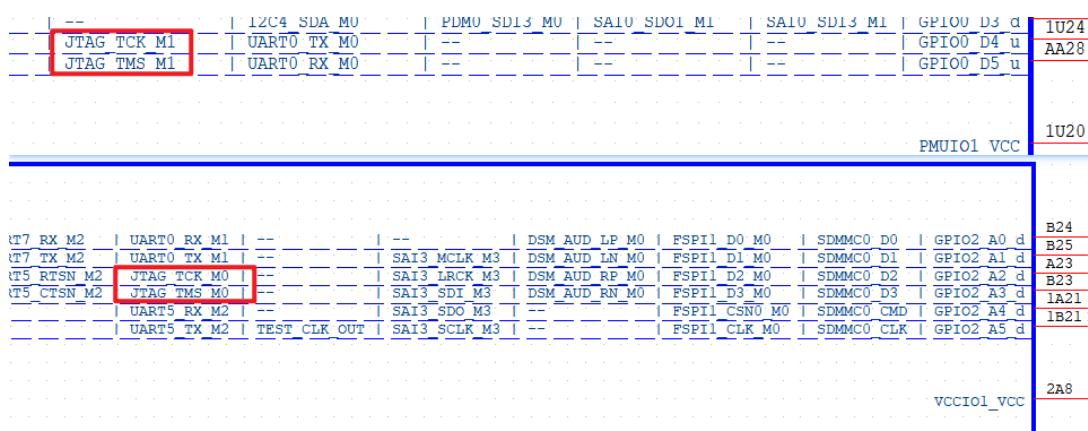


图 2-8 RK3576 JTAG 信号

JTAG 的应用注意事项：

- (1) JTAG_TCK_M0/JTAG_TMS_M0：如果使用 JTAG_M0 作为 JTAG Debug 功能，此时需要注意，在引导阶段要通过连接仿真器时，需要保证 SDMMC0_DETIN 管脚处于高电平，否则 JTAG_M0 无法进入 JTAG 调试模式，该管理的配置见上节描述。系统起来后，会切换成由寄存器控制 IOMUX；
- (2) JTAG_TCK_M1/JTAG_TMS_M1：JTAG_M1 和 UART0_M0 复用，在实际项目中，建议 Pin 1U24(JTAG_TCK_M1/UART0_TX_M0)和 Pin AA28(JTAG_TMS_M1/UART0_RX_M0)预留 2.54 排针或测试点，用于 JTAG Debug 或者 UART Debug，JTAG 的电路如下图所示，串接的 100 ohm 电阻不得删减，并增加 TVS 管，加强抗静电浪涌能力，防止开发过程损坏芯片管脚。

注意：IO 电平必须匹配

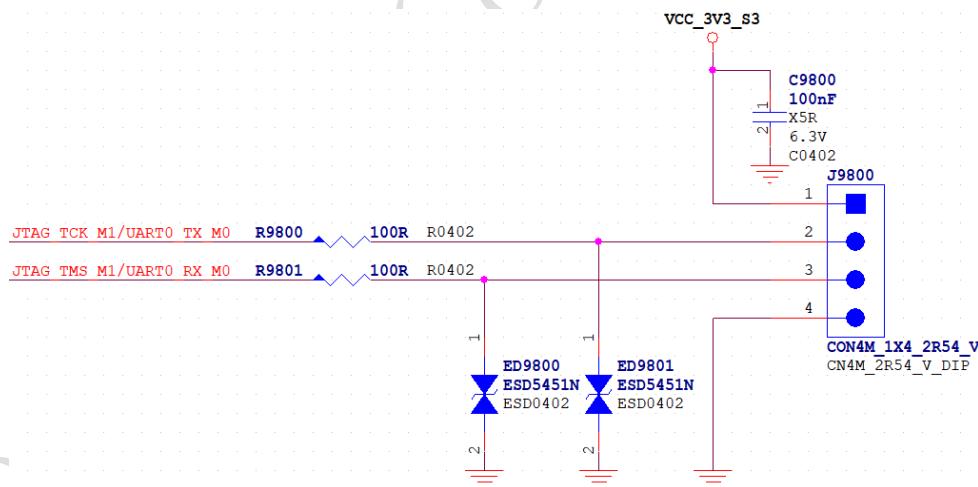


图 2-9 RK3576 JTAG 连接示意图

2.1.6.2 RK3576 UART Debug 电路

RK3576 UART Debug 默认选择 UART0_RX_M0/UART0_TX_M0， 默认波特率为 1500000bps。

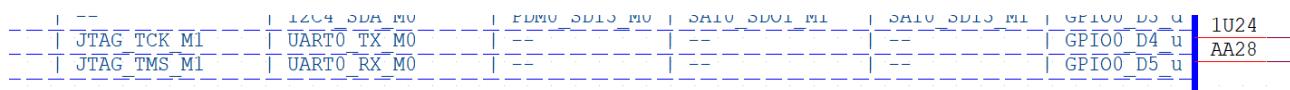


图 2-10 RK3576 UART0 M0 管脚

UART0_RX_M0/UART0_TX_M0 串接的 100 ohm 电阻不得删减，并增加 TVS 管，加强抗静电浪涌能力，防止开发过程损坏芯片管脚，能预留 2.54 插针建议尽量预留，如果无条件，建议使用 0.7mm 以上测试点，方便焊接。

注意：IO 电平必须匹配

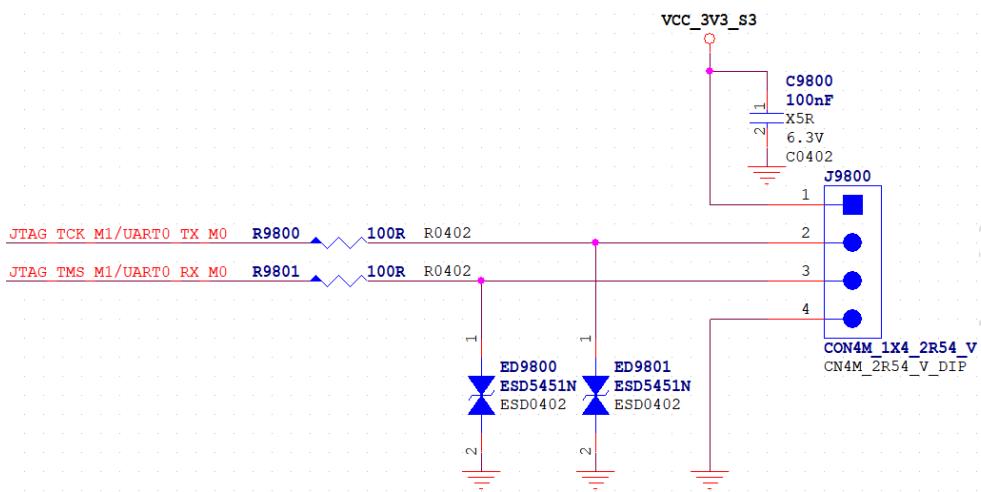


图 2-11 RK3576 Debug UART0 连接示意图

2.1.7 DDR 电路

2.1.7.1 DDR 控制器介绍

RK3576 DDR 控制器接口支持 JEDEC SDRAM 标准接口，控制器有如下特点：

- 兼容 LPDDR4/LPDDR4X/LPDDR5 标准；
- 支持 32bits 数据总线宽度，由 2 个 16bits 的 DDR 通道组成，每个通道容量最大寻址地址 8GB；2 个通道容量可支持总容量达到 16GB；
- 支持 Power Down、Self Refresh 等模式；
- 具有动态 PVT 补偿的可编程输出和 ODT 阻抗调整。

2.1.7.2 电路设计建议

RK3576 DDR PHY 和各 DRAM 颗粒原理图需要和参考设计图一致，包含电源去耦电容。

RK3576 可支持 LPDDR4/LPDDR4X/LPDDR5，这些 DRAM 具有不同 I/O 信号，根据 DRAM 类型选择对应的信号，RK3576 DDR PHY I/O Map 表如下：

表 2-4 RK3576 DDR PHY I/O Map 表

Pin Number	LPDDR4	LPDDR4X	LPDDR5
W1	LP4_DQ0_A	LP4X_DQ0_A	LP5_DQ0_A
1T1	LP4_DQ1_A	LP4X_DQ1_A	LP5_DQ1_A
1P1	LP4_DQ2_A	LP4X_DQ2_A	LP5_DQ2_A
U1	LP4_DQ3_A	LP4X_DQ3_A	LP5_DQ3_A
1V3	LP4_DQ4_A	LP4X_DQ4_A	LP5_DQ4_A
1W4	LP4_DQ5_A	LP4X_DQ5_A	LP5_DQ5_A
AC1	LP4_DQ6_A	LP4X_DQ6_A	LP5_DQ6_A
AB1	LP4_DQ7_A	LP4X_DQ7_A	LP5_DQ7_A
1V1	LP4_DMI0_A	LP4X_DMI0_A	LP5_DMI0_A
1U1	LP4_DQS0P_A	LP4X_DQS0P_A	LP5_RDQS0P_A
Y1	LP4_DQS0N_A	LP4X_DQS0N_A	LP5_RDQS0N_A
1V5	--	--	LP5_WCK0P_A
1V4	--	--	LP5_WCK0N_A
AF1	LP4_DQ8_A	LP4X_DQ8_A	LP5_DQ8_A
1AB1	LP4_DQ9_A	LP4X_DQ9_A	LP5_DQ9_A
1AD1	LP4_DQ10_A	LP4X_DQ10_A	LP5_DQ10_A
AH1	LP4_DQ11_A	LP4X_DQ11_A	LP5_DQ11_A
1Y1	LP4_DQ12_A	LP4X_DQ12_A	LP5_DQ12_A
1W2	LP4_DQ13_A	LP4X_DQ13_A	LP5_DQ13_A
1AA3	LP4_DQ14_A	LP4X_DQ14_A	LP5_DQ14_A
1AA1	LP4_DQ15_A	LP4X_DQ15_A	LP5_DQ15_A
AE1	LP4_DMI1_A	LP4X_DMI1_A	LP5_DMI1_A
1AB4	LP4_DQS1P_A	LP4X_DQS1P_A	LP5_RDQS1P_A
1AB3	LP4_DQS1N_A	LP4X_DQS1N_A	LP5_RDQS1N_A
1AA6	--	--	LP5_WCK1P_A
1AA5	--	--	LP5_WCK1N_A
T1	LP4_A0_A	LP4X_A0_A	LP5_A0_A
1N1	LP4_A1_A	LP4X_A1_A	LP5_A1_A
1R3	LP4_A2_A	LP4X_A2_A	LP5_A2_A
1T2	LP4_A3_A	LP4X_A3_A	LP5_A3_A
1M5	LP4_A4_A	LP4X_A4_A	LP5_A4_A
1P5	LP4_A5_A	LP4X_A5_A	LP5_A5_A
1R5	--	--	LP5_A6_A
1L1	LP4_CLKP_A	LP4X_CLKP_A	LP5_CLKP_A
P1	LP4_CLKN_A	LP4X_CLKN_A	LP5_CLKN_A
1R4	LP4_CSN0_A	LP4X_CSN0_A	--
1T4	LP4_CSN1_A	LP4X_CSN1_A	--

Pin Number	LPDDR4	LPDDR4X	LPDDR5
1N3	LP4_CKE0_A	LP4X_CKE0_A	LP5_CSN0_A
1N5	LP4_CKE1_A	LP4X_CKE1_A	LP5_CSN1_A
1D2	LP4_DQ0_B	LP4X_DQ0_B	LP5_DQ0_B
1F2	LP4_DQ1_B	LP4X_DQ1_B	LP5_DQ1_B
1G1	LP4_DQ2_B	LP4X_DQ2_B	LP5_DQ2_B
K1	LP4_DQ3_B	LP4X_DQ3_B	LP5_DQ3_B
1C3	LP4_DQ4_B	LP4X_DQ4_B	LP5_DQ4_B
1B3	LP4_DQ5_B	LP4X_DQ5_B	LP5_DQ5_B
A5	LP4_DQ6_B	LP4X_DQ6_B	LP5_DQ6_B
G1	LP4_DQ7_B	LP4X_DQ7_B	LP5_DQ7_B
B4	LP4_DMI0_B	LP4X_DMI0_B	LP5_DMI0_B
H1	LP4_DQS0P_B	LP4X_DQS0P_B	LP5_RDQS0P_B
1F1	LP4_DQS0N_B	LP4X_DQS0N_B	LP5_RDQS0N_B
1G5	--	--	LP5_WCK0P_B
1G4	--	--	LP5_WCK0N_B
1A1	LP4_DQ8_B	LP4X_DQ8_B	LP5_DQ8_B
B1	LP4_DQ9_B	LP4X_DQ9_B	LP5_DQ9_B
B2	LP4_DQ10_B	LP4X_DQ10_B	LP5_DQ10_B
A2	LP4_DQ11_B	LP4X_DQ11_B	LP5_DQ11_B
1E1	LP4_DQ12_B	LP4X_DQ12_B	LP5_DQ12_B
1C1	LP4_DQ13_B	LP4X_DQ13_B	LP5_DQ13_B
E1	LP4_DQ14_B	LP4X_DQ14_B	LP5_DQ14_B
D1	LP4_DQ15_B	LP4X_DQ15_B	LP5_DQ15_B
1B1	LP4_DMI1_B	LP4X_DMI1_B	LP5_DMI1_B
A3	LP4_DQS1P_B	LP4X_DQS1P_B	LP5_RDQS1P_B
B3	LP4_DQS1N_B	LP4X_DQS1N_B	LP5_RDQS1N_B
1D4	--	--	LP5_WCK1P_B
1E4	--	--	LP5_WCK1N_B
L1	LP4_A0_B	LP4X_A0_B	LP5_A0_B
IJ1	LP4_A1_B	LP4X_A1_B	LP5_A1_B
IJ3	LP4_A2_B	LP4X_A2_B	LP5_A2_B
1G2	LP4_A3_B	LP4X_A3_B	LP5_A3_B
1F4	LP4_A4_B	LP4X_A4_B	LP5_A4_B
1K5	LP4_A5_B	LP4X_A5_B	LP5_A5_B
1H5	--	--	LP5_A6_B
1K1	LP4_CLKP_B	LP4X_CLKP_B	LP5_CLKP_B
N1	LP4_CLKN_B	LP4X_CLKN_B	LP5_CLKN_B
IJ5	LP4_CSN0_B	LP4X_CSN0_B	--
1K4	LP4_CSN1_B	LP4X_CSN1_B	--

Pin Number	LPDDR4	LPDDR4X	LPDDR5
1K2	LP4_CKE0_B	LP4X_CKE0_B	LP5_CSN0_B
1M3	LP4_CKE1_B	LP4X_CKE1_B	LP5_CSN1_B
1U5	LP4_RESET	LP4X_RESET	LP5_RESET

LPDDR4/LPDDR4X/LPDDR5 时：

- DQ, CA 顺序全部不支持对调，必须按参考图上分配。

DDR PHY ZQ 必须接 240ohm 1% 到 DDRPHY_VDDQ_S0 电源上。

内置 Retention 功能，DDR 进入自刷新期间，DDR 控制器端 DDRPHY_CKE_VDDQ 的电源脚需要保持供电，其它电源可关闭；DDR 颗粒的 VDDQ 电源在 tCKELCK 关闭 5ns 后也可以关闭，其它电源不能关。

LPDDR5 引入了 WCK 时钟；LPDDR5 有两个工作时钟：

- 一个是 LP5_CLKP/N (CK_t/CK_c)，用于控制命令、地址的操作；
- 一个是 LP5_WCKP/N (WCK_t/WCK_c)，WCK 可以是 CK 频率的 2 倍或 4 倍运行；
- 当 Write 时，WCK 是时钟也是 Write data strobe；
- 当 Read 时，WCK 是 DQ 和 RDQS 的时钟，RDQS 是 Read data strobe 信号。

2.1.7.3 DDR 颗粒外围电路设计

- LPDDR4X/LPDDR5 的颗粒 ZQ 必须接 240ohm 1% 到 DDRPHY_VDDQ_S0 电源上。
- LPDDR4 的颗粒 ZQ 必须接 240ohm 1% 到 VDD2_DDR_S3 电源上。
- LPDDR4/4X 的颗粒 ODT_CA 必须接到 VDD2_DDR_S3 电源上。

2.1.7.4 DDR 拓扑结构与匹配方式设计

LPDDR4/LPDDR4X/LPDDR5 单颗 32bit, DQ、CA 采用点对点拓扑结构

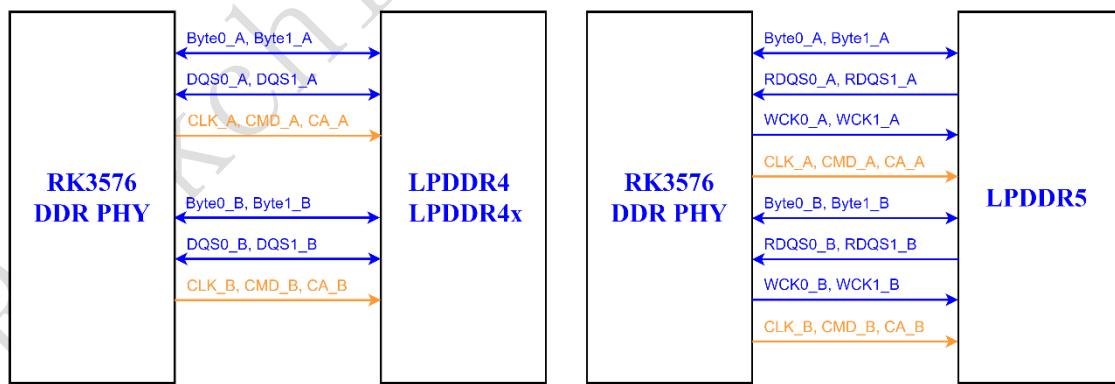


图 2-12 LPDDR4/LPDDR4X/LPDDR5 点对点拓扑结构

匹配方式：LPDDR4/LPDDR4X/LPDDR5 颗粒 DQ、CLK、CMD、CA 都支持 ODT，全部点对点连接即可。

2.1.7.5 DDR 电源设计和上电时序要求

RK3576 DDR PHY 供电电源汇总如下:

DDR PHY Power		LPDDR4/4X	LPDDR5
DDR PLL Power	DDRPHY_PLL_DVDD	0.75V-0.85V	0.75V-0.85V
	DDRPHY_PLL_AVDD1V8	1.8V	1.8V
DIGITAL CORE Power	DDRPHY_DVDD	0.75V-0.85V	0.75V-0.85V
DDR IO Power	DDRPHY_VDDQ	0.61V	0.51V
CK Power	DDRPHY_CK_VDDQ	0.61V	0.51V
LP4/4X_CKE&LP5_CS&Reset Power	DDRPHY_CKE_VDDQ	1.1V	1.05V

Note: 表格中电压值均为 Typ 值

LPDDR4/4X/LPDDR5 颗粒供电电源汇总如下:

DDR 颗粒 Power		LPDDR4	LPDDR4X	LPDDR5
Core Power1	VDD1	1.8V	1.8V	1.8V
Core Power2&CA Power	VDD2/VDD2H	VDD2=1.1V	VDD2=1.1V	VDD2H=1.05V
	VDD2L	/	/	0.9V
I/O Buffer Power	VDDQ	1.1V	0.61V	0.51V

Note: 表格中电压值均为 Typ 值

PMIC 电源方案供电电路注意点:

- 务必注意，根据实际使用 DRAM 颗粒，同步修改 PMIC RK806S-5 FB6(Pin31)的分压电阻阻值，使得 VDDQ_DDR_S0 输出电压与颗粒相匹配。

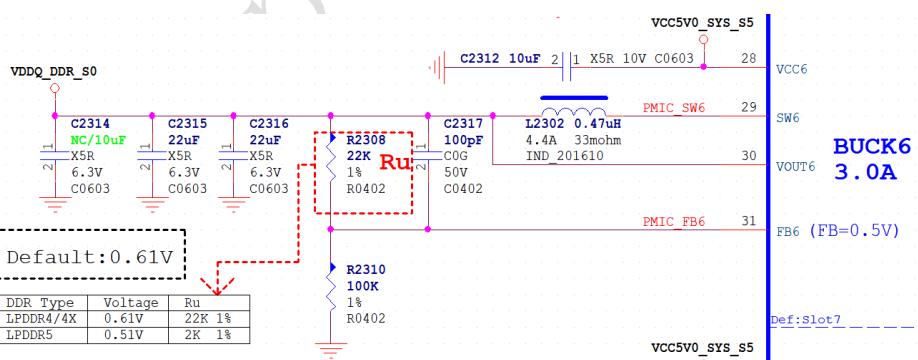


图 2-13 RK806S-5 BUCK6 FB6 参数调整

- 务必注意，根据实际使用 DRAM 颗粒，同步修改 PMIC RK806S-5 FB9(Pin66)的分压电阻阻值，使得 VDD2_DDR_S3 输出电压与颗粒相匹配。

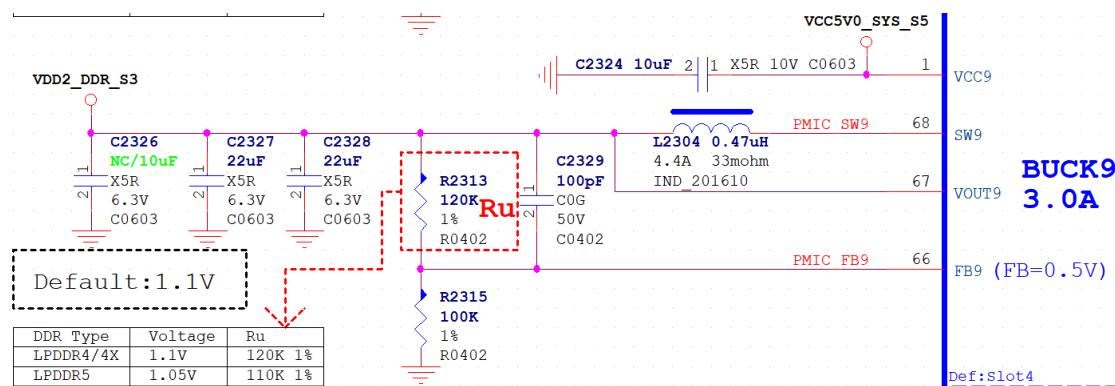


图 2-14 RK806S-5 BUCK9 FB9 参数调整

RK3576 参考模板《RK3576_Template_LP4XD200P132SD6_24X34_2133MHz》里提供了 LPDDR4 和 LPDDR4X 兼容设计，需要注意，必须根据实际物料选择相应的电路。

- 贴 LPDDR4 颗粒时，如果对待机功耗不敏感，贴 R3805(Q3800/Q3801/R3810/R3811/C3845 和 R3807 不贴)；如果对待机功耗很敏感，需要采用 Q3800/Q3801/R3810/R3811/C3845 电路(R3805 和 R3807 不贴)。Q3800/Q3801/R3810/R3811/C3845 的电路是为了实现待机时 VDDQ_DRAM_S0 可以断电。
- 贴 LPDDR4X 颗粒时，只需要贴下图电阻 R3807，绿色方框的器件(R3805/Q3800/Q3801/R3810/R3811/ C3845)不贴。

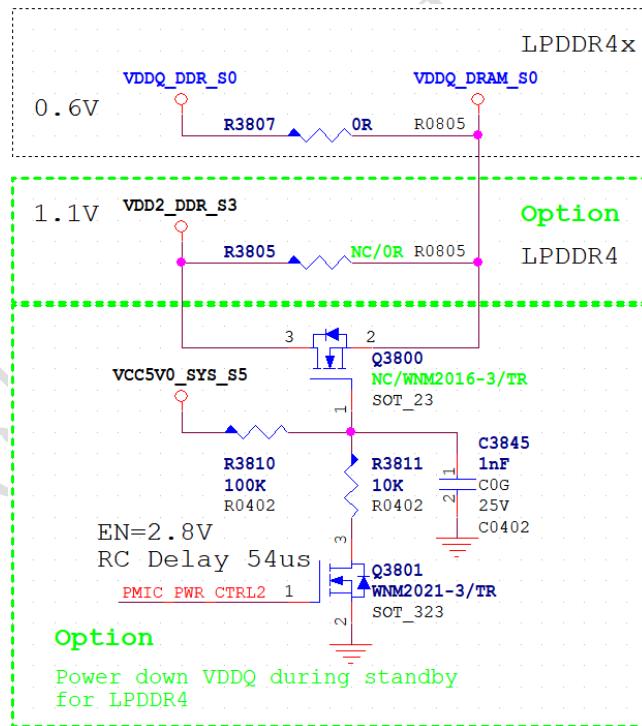


图 2-15 LPDDR4/LPDDR4X 兼容设计电源选择

各类型的 DRAM 上电时序要求，请参考各 JEDEC 标准。

- LPDDR4/4X SDRAM 的上电时序如下图所示：

- While applying power (after Ta), RESET_n is recommended to be LOW ($\leq 0.2 \times V_{DD2}$) and all other inputs must be between VILmin and VIHmax. The device outputs remain at High-Z while RESET_n is held LOW. Power supply voltage ramp requirements are provided in Table 5. V_{DD1} must ramp at the same time or earlier than V_{DD2} . V_{DD2} must ramp at the same time or earlier than V_{DDQ} .

Table 5 — Voltage Ramp Conditions

After	Applicable Conditions
Ta is reached	V_{DD1} must be greater than V_{DD2}
	V_{DD2} must be greater than $V_{DDQ} - 200$ mV

NOTE 1 Ta is the point when any power supply first reaches 300 mV.

NOTE 2 Voltage ramp conditions in Table 5 apply between Ta and power-off (controlled or uncontrolled).

NOTE 3 Tb is the point at which all supply and reference voltages are within their defined ranges.

NOTE 4 Power ramp duration tINIT0 (Tb-Ta) must not exceed 20ms.

NOTE 5 The voltage difference between any of V_{SS} and V_{SSQ} pins must not exceed 100 mV.

图 2-16 LPDDR4/4X SDRAM 上电时序

- LPDDR5 SDRAM 的上电时序如下图所示：

- While applying power (after Ta), RESET_n is recommended to be LOW ($\leq 0.2 \times VDD2H$) and all other inputs shall be between VILmin and VIHmax. The SDRAM outputs remain at High-Z while RESET_n is held LOW. Power supply voltage ramp requirements are provided in Table 17. $VDD1$ must ramp at the same time or earlier than $VDD2H$. $VDD2H$ must ramp at the same time or earlier than $VDD2L$. $VDD2L$ must ramp at the same time or earlier than $VDDQ$.

Table 17 — Voltage Ramp Conditions

After	Applicable Conditions
Ta is reached	$VDD1$ must be greater than $VDD2H$
	$VDD2H$ must be equal to or greater than $VDD2L$
	$VDD2L$ must be greater than $VDDQ-200mV$

NOTE 1 Ta is the point when any power supply first reaches 300mV.

NOTE 2 Voltage ramp conditions in Table 17 apply between Ta and power-off (controlled or uncontrolled).

NOTE 3 Tb is the point at which all supply voltages are within their defined ranges.

NOTE 4 Power ramp duration tINIT0 (Tb-Ta) must not exceed 20ms.

图 2-17 LPDDR5 SDRAM 上电时序

2.1.7.6 DDR 支持的型号列表

RK3576 DDR 颗粒支持列表请参考瑞芯微电子《Rockchip_Support_List_DDR》文档，该文档可在瑞芯微电子的 redmine 平台下载：

<https://redmine.rock-chips.com/projects/fae/documents>

2.1.8 eMMC 电路

2.1.8.1 eMMC 控制器介绍

RK3576 eMMC 控制器有如下特点：

- 兼容 5.1、5.0、4.51、4.41 规范；
- 支持 1bit、4bit、8bit 三种数据总线宽度；
- 支持 HS400 ES、HS400、HS200、DDR50 等模式；
- 支持 CMD Queue。

2.1.8.2 eMMC 电路设计建议

RK3576 eMMC 接口和 FSP10 接口复用，在 eMMC 接口设计时，eMMC 信号接法请按参考原理图，包含各路电源去耦电容。

使用 eMMC 时，引导代码放置在 eMMC 里。

注意：如果上板的颗粒支持 HS400 ES 模式，那么会默认运行在 HS400 ES 模式。

2.1.8.3 eMMC 拓扑结构与匹配方式设计

eMMC 连接示意图：

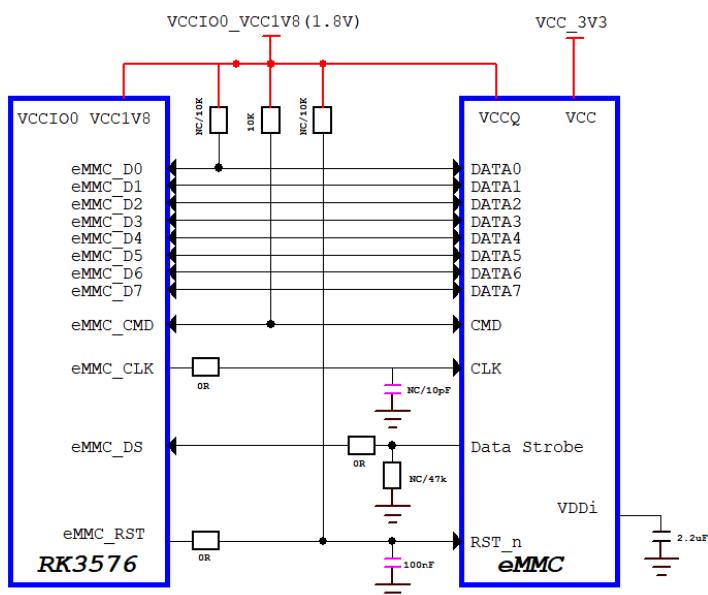


图 2-18 eMMC 连接示意图

eMMC 接口上下拉和匹配设计推荐如下表所示。

表 2-5 RK3576 eMMC 接口设计

信号	芯片内部上下拉 配置情况	连接方式	描述（芯片端）
eMMC_D[7: 0]	上拉	直连，D0 外部预留上拉电阻，阻值推荐 10K ohm，其它 Data 使用 RK3576 芯片内部的上拉电阻	eMMC 数据发送/接收
eMMC_CLK	/	在 RK3576 端串联 0ohm 电阻，在颗粒端预留一个对地的 10pF 电容	eMMC 时钟发送
eMMC_CMD	上拉	直连，外部必须接上拉电阻，阻值推荐 10K ohm	eMMC 命令发送/接收
eMMC_STRB	下拉	在 eMMC 端串联 0ohm 电阻，并需要预留 47K ohm 下拉电阻	eMMC 数据和命令接收参考 Strobe
eMMC_RST	上拉	在 RK3576 端串联 0ohm 电阻，外部预留上拉电阻，在颗粒端接一个对地的 100nF 电容	eMMC 复位信号



注意

Note1: GPIO 充足时, 建议 eMMC_RST 接到颗粒的 RST_n 引脚, 同时在颗粒端接一个对地的 100nF 电容;

Note2: 针对 GPIO 不够用, eMMC_RST 可以不接到颗粒的 RST_n 引脚, 但是颗粒的 RST_n 引脚需要接上拉电阻, 此时颗粒端对地 100nF 电容可以不贴。

2.1.8.4 eMMC 上电时序要求

RK3576 芯片 eMMC 接口属于 VCCIO0_1V8 电源域, 只有一组供电, 并无时序要求。

eMMC 颗粒有两组电源, 上电时序请参考 JEDEC 标准:

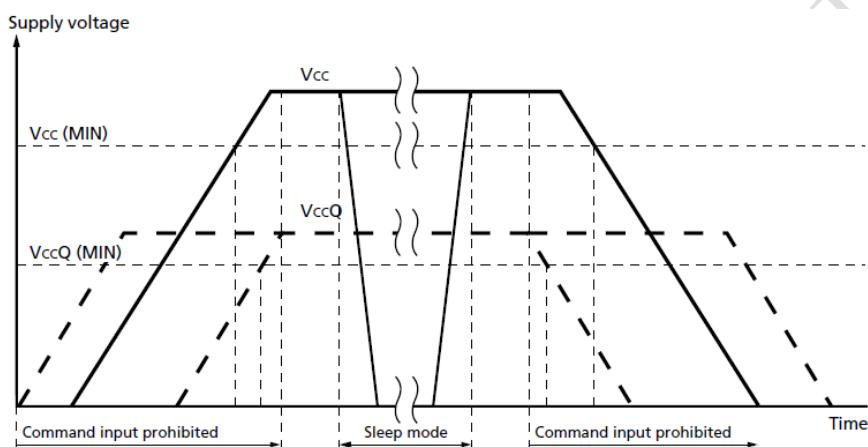


图 2-19 eMMC 颗粒上下电时序

2.1.8.5 eMMC 支持的型号列表

RK3576 eMMC 颗粒支持列表请参考瑞芯微电子《RKeMMC SupportList》文档, 可在瑞芯微电子的 redmine 平台上下载:

<https://redmine.rock-chips.com/projects/fae/documents>

2.1.9 UFS 电路

2.1.9.1 UFS 控制器介绍

RK3576 UFS 控制器有如下特点:

- 支持 UFS2.0 协议;
- 支持 2Lane 数据传输, 最高速率可达 5.8Gbps/Lane。

2.1.9.2 UFS 电路设计建议

RK3576 UFS, 在 UFS 接口设计时, UFS 信号接法请按参考原理图。

使用 UFS 时, 引导代码放置在 UFS 里。

电路设计中，需要注意以下三点：

- UFS 的复位信号 UFS_RSTN 和时钟 UFS_REFCLK 是 1.2V 信号，VCCIO7_VCC 需采用 1.2V 供电。

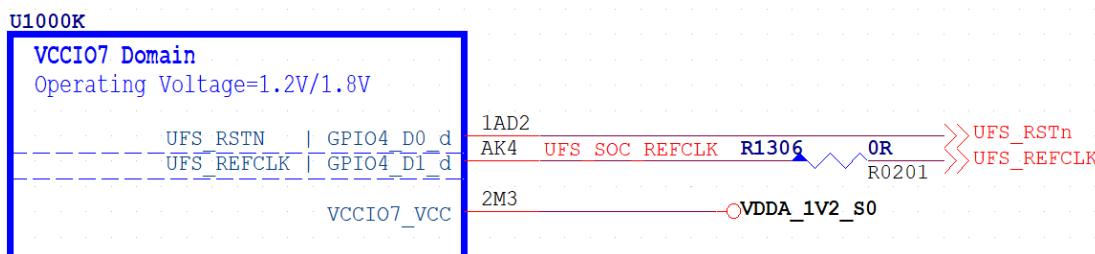


图 2-20 UFS 控制信号电源域

- UFS 支持 UFS2.0/UFS2.1/UFS2.2/UFS3.0/UFS3.1 的颗粒，不同协议颗粒供电不同，需根据颗粒规格书来进行供电设计。RK3576 不支持 UFS4.0 及以上的 UFS 颗粒。

表 2-6 RK3576 UFS 供电设计

Supported Particles	VCCQ	VCCQ2	VCC
UFS2.0	1.2V	1.8V	3.3V
UFS2.1	Not Connect	1.8V	3.3V
UFS2.2	Not Connect	1.8V	3.3V
UFS3.0	1.2V	Not Connect	2.5V/3.3V
UFS3.1	1.2V	Not Connect	2.5V/3.3V
Do not support UFS4.0 Device!			

- UFS 颗粒端：如下三路电源去耦电容，不同协议颗粒容值不相同，需根据颗粒规格书来进行容值选择。

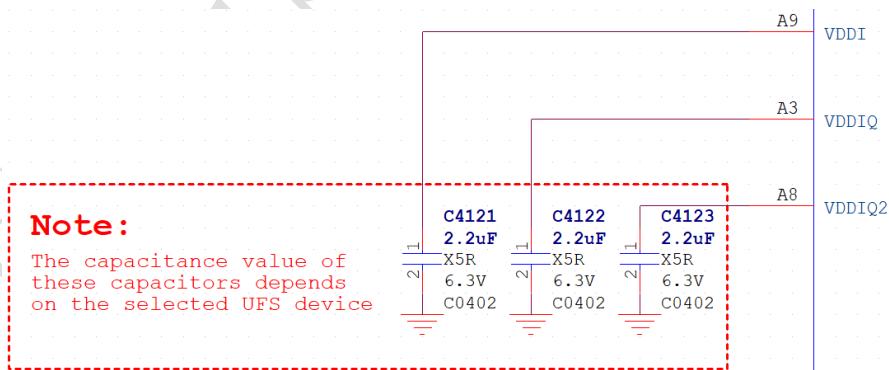


图 2-21 UFS 不同协议颗粒去耦电容

2.1.9.3 UFS 拓扑结构与匹配方式设计

UFS 连接示意图：

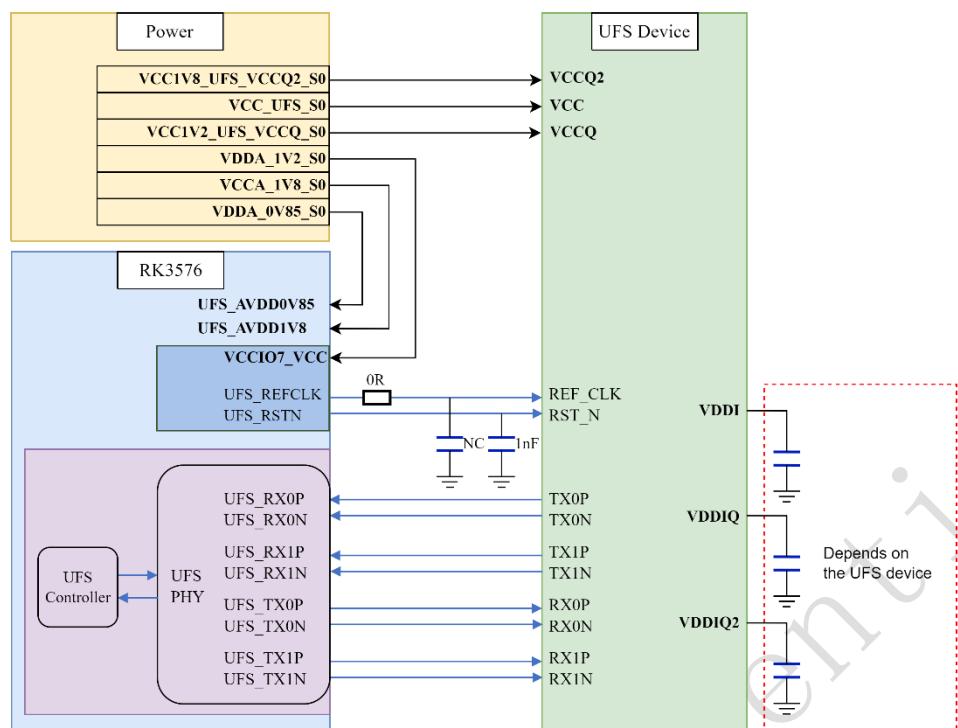


图 2-22 UFS 连接示意图

UFS 接口上下拉和匹配设计推荐如下表所示。

表 2-7 RK3576 UFS 接口设计

信号	连接方式	描述（芯片端）
UFS_TX_D0P/N	直连	UFS 数据发送
UFS_RX_D0P/N	直连	UFS 数据接收
UFS_REFCLK	在 RK3576 端串联 0ohm 电阻，在 UFS 颗粒端预留对地电容位置	UFS 参考时钟
UFS_RSTN	直连，在 UFS 颗粒端预留对地 1nF 电容位置	UFS 复位信号

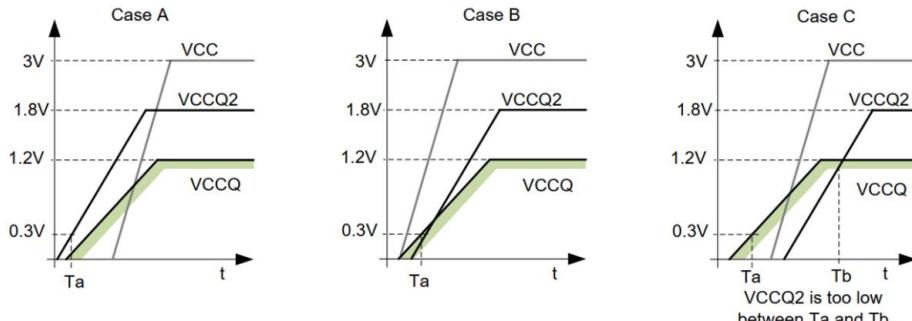
2.1.9.4 UFS 上下电时序要求

RK3576 芯片 UFS 接口有两组电源，UFS_AVDD0V85 和 UFS_AVDD1V8，要求 UFS_AVDD0V85 在 UFS_AVDD1V8 之前上电。

UFS 的控制信号电源域 VCCIO7_VCC 需要比 UFS 颗粒的供电先上电。

UFS 颗粒有三组电源，上电时序请参考 JEDEC 标准：

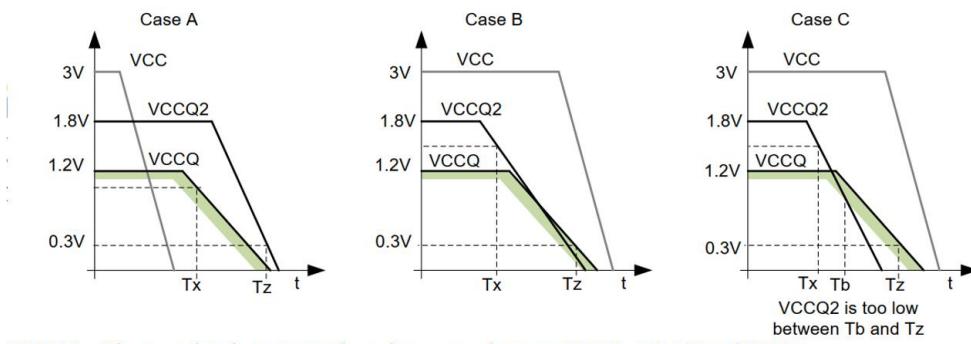
Figure 7.6 shows three power up ramp examples: case A and case B meet the requirement, while case C violates it in the time interval from Ta to Tb (VCCQ2 is lower VCCQ - 200 mV).



NOTE 1 The green band represents the voltage range between VCCQ-200 mV and VCC.

Figure 7.6 — Power up ramps

Figure 7.7 shows three power down ramp examples: case A and case B meet the requirement, while case C violates it in the time interval from Tb to Tz (VCCQ2 is lower VCCQ - 200 mV).



NOTE 1 The green band represents the voltage range between VCCQ-200 mV and VCC.

Figure 7.7 — Power off ramps

图 2-23 UFS 颗粒上下电时序

参考图推荐的典型 UFS 上电时序如下：

相对时序	电源管脚
(1)	UFS_AVDD0V85 of RK3576
(2)	UFS_AVDD1V8 of RK3576
(3)	VCCIO7_VCC of RK3576
(4)	VCCQ2 of UFS
(5)	VCCQ of UFS
Must after (3)	VCC of UFS

2.1.9.5 UFS 支持的型号列表

RK3576 UFS 颗粒支持列表请参考瑞芯微电子《RK_UFS SupportList》文档，可在瑞芯微电子的 redmine 平台上下载：

<https://redmine.rock-chips.com/projects/fae/documents>

2.1.10 FSPI Flash 电路

2.1.10.1 FSPI Flash（支持 Boot）接口介绍

FSPI 是一种灵活的串行接口控制器，RK3576 芯片中有 2 个 FSPI 控制器，可用来连接 FSPI 设备。

RK3576 FSPI 控制器有如下特点：

- 支持串行 NOR Flash, 串行 Nand Flash;
- 支持 SDR 模式;
- 支持 1 线, 2 线以及 4 线模式。



注意

RK3576 FSPI 接口用于接 Boot 的 SPI Flash, 不建议用于接其它功能的 SPI FLASH !

2.1.10.2 FSPI Flash 电路设计建议

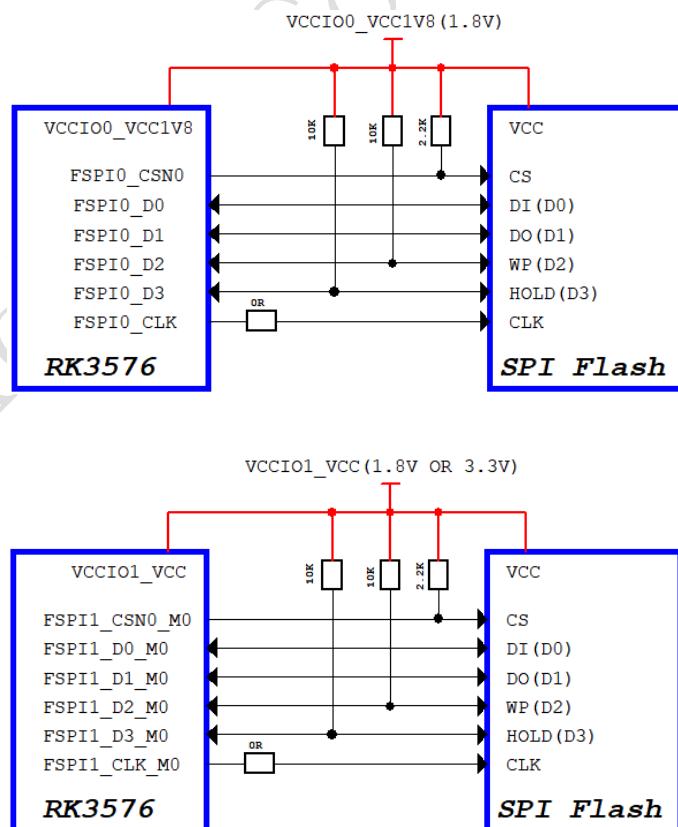
RK3576 FSPI0 和 eMMC 接口复用，在 VCCIO0 电源域中（仅支持 1.8V），FSPI1 接口有两个复用接口（后缀为_M0、后缀为_M1，只能同时使用一个），两个复用接口分别分布在 VCCIO1 和 VCCIO3（均支持 1.8V/3.3V）。

在 FSPI Flash 接口设计时，FSPI Flash 信号接法请按参考原理图。

使用 FSPI Flash 时，引导代码放置在 FSPI Flash 里，务必注意 RK3576 对应电源域的 IO 驱动电压模式配置和实际供电电压是否匹配。

2.1.10.3 FSPI Flash 拓扑结构与匹配方式设计

FSPI Flash 连接示意图：



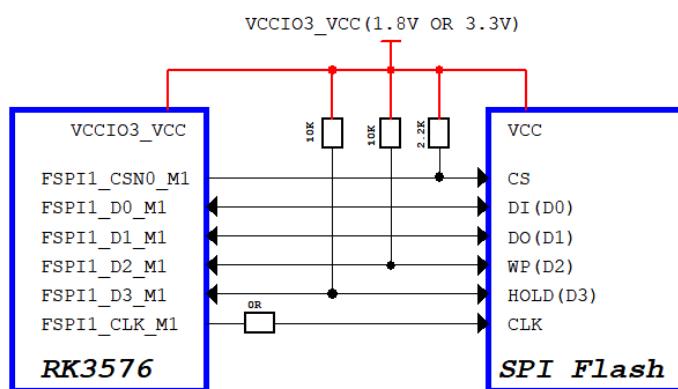


图 2-24 FSPI Flash 连接示意图

FSPI 接口上下拉和匹配设计推荐如下表所示：

表 2-8 RK3576 FSPI 接口设计

信号	芯片内部上下拉 配置情况	连接方式	描述（芯片端）
FSPI0_D[3: 0]	上拉	直连；1线模式时，D2, D3 外部需要接上拉电阻，阻值推荐 10K ohm	FSPI 数据发送/接收
FSPI0_CLK	/	在 RK3576 端串联 0ohm 电阻	FSPI 时钟发送
FSPI0_CSNO	上拉	直连，使用 RK3576 芯片内部的上拉电阻上拉	FSPI 片选信号
FSPI0_CSN1 or FSPI0_RSTN (同一个 GPIO)	上拉	FSPI_CSN1：直连，使用 RK3576 芯片内部的上拉电阻上拉	FSPI_CSN1：FSPI 片选信号
		FSPI_RSTN：直连，使用 RK3576 芯片内部的上拉电阻上拉；根据颗粒需求连接	FSPI_RSTN：FSPI 复位信号

表 2-9 RK3576 FSPI1_M0 接口设计

信号	芯片内部上下拉 配置情况	连接方式	描述（芯片端）
FSPI1_D[3: 0]_M0	上拉	直连；1线模式时，D2, D3 外部需要接上拉电阻，阻值推荐 10K ohm	FSPI 数据发送/接收
FSPI1_CLK_M0	/	在 RK3576 端串联 0ohm 电阻	FSPI 时钟发送
FSPI1_CSNO_M0	上拉	直连，外部必须接上拉电阻，阻值推荐 2.2K ohm	FSPI 片选信号

表 2-10 RK3576 FSPI1_M1 接口设计

信号	芯片内部上下拉 配置情况	连接方式	描述（芯片端）
FSPI1_D[3: 0]_M1	上拉	直连；1线模式时，D2, D3 外部需要接上拉电阻，阻值推荐 10K ohm	FSPI 数据发送/接收
FSPI1_CLK_M1	/	在 RK3576 端串联 0ohm 电阻	FSPI 时钟发送

信号	芯片内部上下拉配置情况	连接方式	描述（芯片端）
FSPI1_CSNO_M1	上拉	直连，使用 RK3576 芯片内部的上拉电阻上拉	FSPI 片选信号
FSPI1_CSNI_M1 or FSPI1_RSTN_M1 (同一个 GPIO)	上拉	FSPI_CSNI：直连，使用 RK3576 芯片内部的上拉电阻上拉	FSPI_CSNI：FSPI 片选信号
		FSPI_RSTN：直连，使用 RK3576 芯片内部的上拉电阻上拉；根据颗粒需求连接	FSPI_RSTN：FSPI 复位信号

FSPI 注意事项：

- 由于 FSPI1_M0 的 CSN 上电默认是低电平，在接 FSPI 时，CSN 脚必须通过上拉 2.2K/4.7K 电阻接到高电平，保证上电瞬间 CSN 是高电平；
- FSPI 的 RSTN 功能为采用指定的 GPIO 进行控制，在 BOOT 时，相应的 GPIO 会动作；进入系统后，通过控制 GPIO 来进行控制颗粒的复位；
- 使用 FSPI0 的探测 BOOT 挡位时，**FSPI0_RSTN** 所在的 **GPIO1_B0** 会由下拉变为上拉，如果这个过程会影响外设状态，那么需要注意不要使用这个 IO 来控制敏感的外设；
- 使用 FSPI1_M1 的探测 BOOT 挡位时，**FSPI1_RSTN_M1** 所在的 **GPIO1_C2** 会由下拉变为上拉，如果这个过程会影响外设状态，那么需要注意不要使用这个 IO 来控制敏感的外设。

2.1.10.4 FSPI 上电时序要求

RK3576 芯片 FSPI Flash 接口只有一组供电，并无时序要求。

SPI Flash 只有一路电源，电源必须和所选的 FSPI 接口对应的电源域电源同一个。

注意：要求 CS 必须随电源上电拉高

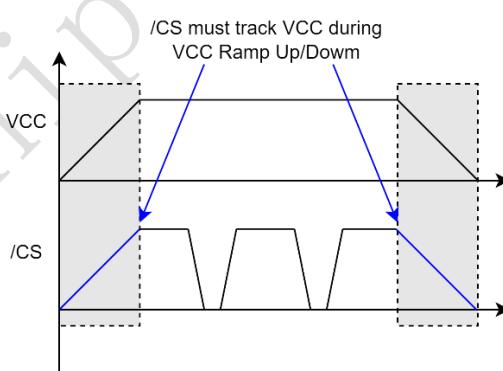


图 2-25 FSPI CS 与电源 VCC 上下电关系意图

2.1.10.5 SPI Flash 支持的型号列表

RK3576 SPI Flash 颗粒支持列表请参考瑞芯微电子《RK_SpiNor_and_SLC_Nand_SupportList》文档，可在瑞芯微电子的 redmine 平台上下载：

<https://redmine.rock-chips.com/projects/fae/documents>

2.1.11 GPIO 电路

2.1.11.1 GPIO 类型

RK3576 的 GPIO 有如下四个类型：

- (1) 1.8V only 类型，采用 1.8V 的工作电压；
- (2) 1.8V/1.2V 类型。VCCIO7 采用该类型 GPIO，需要根据场景选择供应电压，当有使用 UFS 功能时，VCCIO7 的 2 个 GPIO 需要工作在 UFS 的控制信号模式，此时采用 1.2V 供电；当未使用 UFS 功能时，采用 1.8V 的工作电压，此时 VCCIO7 的 GPIO 可以作为普通的 GPIO 使用；
- (3) 1.8V/3.3V 类型，当配置成 3.3V 类型 IO 时，采用 3.3V 供电；当配置成 1.8V 类型 GPIO 时，采用 1.8V 供电；
- (4) eMMC IO 类型，采用 1.8V 的工作电压。

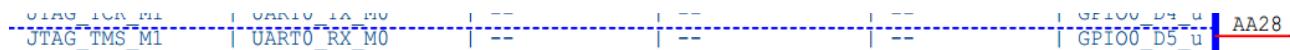
以上四个类型的 GPIO 都支持 Retention IO (Core Power Off and IO Power On)，不支持 fail-Safe(Core Power Off and IO Power off)。注意：GPIO 分配时，某些功能引脚需要在待机时保持其在待机前的状态，软件需要打开 Retention 功能，打开 Retention 功能时，RK3576 的 LOGIC_DVDD 可不供电，但 GPIO 的所在 domain 电源必须供电。

这些 GPIO 支持 CMOS input 和 Schmitt trigger input；GPIO 的上拉 (PU)、下拉 (PD)、PU/PD Disable 可通过寄存器设置，可根据产品的应用需求，enable or disable 上下拉。

这些 GPIO 支持 interruptable 功能。

2.1.11.2 GPIO Pin 名说明

比如下图 JTAG_TMS_M1 和 UART0_RX_M0 这些功能复用在 GPIO0_D5 上面，分配时只能选择其中一个功能使用。



- 除了引导相关的 GPIO，剩下 GPIO 复位默认为输入；
- GPIOx_xx_u 其中_u 表示这个 GPIO 复位默认状态为内部上拉；
- GPIOx_xx_d 其中_d 表示这个 GPIO 复位默认状态为内部下拉；
- GPIOx_xx_z 其中_z 表示这个 GPIO 复位默认状态为高阻；
- 各功能 name 后缀有加_M0 或 M1 或_M2 或_M3 代表同一个功能复用到不同 GPIO 上，同时只能选择其中一个，比如选择 UART2 功能时，必须选择 UART2_TX_M0 和 UART2_RX_M0 组合，不支持 UART2_TX_M0 和 UART2_RX_M1 组合，对所有功能有不同 IOMUX 的都是这样的约束。而且，当 UART2 选择了 M0 时，复用在其他 GPIO 口的 M1、M2、M3 就不能当作 UART 使用。

2.1.11.3 GPIO 驱动能力

RK3576 中，GPIO 提供多档驱动强度可调，分别为：大部分 GPIO 是 Level 0-5 以及部分 GPIO 是 Level 0-3 的调节档位，具体请参考《RK3576_PinOut》文档。另外根据 GPIO 的类型不同，初始默认驱动强度也不同，请参考芯片 TRM 进行配置修改，也可以参考《RK3576_PinOut》文档中表 5 中的“Support Drive Strength”和“Default IO Drive Strength”列。

GPIO 的驱动强度档位如下表：

表 2-11 RK3576 GPIO Output Driver Strength 表格

GPIO Type	Output Driver Strength Level	Output Driver Strength Value
eMMC IO	Level 0	3mA,100ohm
	Level 1	4.5mA,66ohm
	Level 2	6mA,50ohm
	Level 3	7.2mA,40ohm
	Level 4	9mA,33ohm
	Level 5	12mA,25ohm
1.8V/3.3V	Level 0	3mA,100ohm
	Level 1	4.5mA,66ohm
	Level 2	6mA,50ohm
	Level 3	7.5mA,40ohm
	Level 4	9mA,33ohm
	Level 5	12mA,25ohm
1.8V/1.2V	Level 0	2.5mA,100ohm
	Level 1	5mA,50ohm
	Level 2	7.5mA,33ohm
	Level 3	10mA,25ohm
1.8V only	Level 0	2.5mA,100ohm
	Level 1	5mA,50ohm
	Level 2	7.5mA,33ohm
	Level 3	10mA,25ohm

2.1.11.4 GPIO 电源

GPIO 电源域的电源脚描述如下：

表 2-12 RK3576 GPIO 电源脚描述

电源域	GPIO 类型	管脚名	描述
PMUIO0	1.8V	PMUIO0_VCC1V8	1.8V Only IO supply for this GPIO domain (group).
PMUIO1	1.8V/3.3V	PMUIO1_VCC	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCIO0	1.8V	VCCIO0_VCC1V8	1.8V Only IO supply for this GPIO domain (group).
VCCIO1	1.8V/3.3V	VCCIO1_VCC	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCIO2	1.8V/3.3V	VCCIO2_VCC	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCIO3	1.8V/3.3V	VCCIO3_VCC	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCIO4	1.8V/3.3V	VCCIO4_VCC	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCIO5	1.8V/3.3V	VCCIO5_VCC	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCIO6	1.8V/3.3V	VCCIO6_VCC	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCIO7	1.2V/1.8V	VCCIO7_VCC	1.2V or 1.8V IO supply for this GPIO domain (group).

其中 PMUIO0、VCCIO0 为固定电平电源域，不可进行配置。

PMUIO1、VCCIO1~VCCIO6 电源域 RK3576 芯片可以自动识别硬件配置的电压，不需要软件根据硬件供电电压进行配置。

如：PMUIO1 配置成 1.8V，PMUIO1_VCC=1.8V;若配置成 3.3V，PMUIO1_VCC=3.3V (VCCIO1~VCCIO6 接法与 PMUIO1 一样)。

注意事项：

- SoC 的 GPIO 电源域供电需要比外设先上电；
- 当外设的 GPIO 供电电源与 RK3576 的 GPIO 供电电源是同个电源时，GPIO 的外部上拉电源使用主控这边的供电来上拉；
- 当外设的 GPIO 供电电源与 RK3576 的 GPIO 供电电源不是同个电源时，则外设的 GPIO 需要比 RK3576 的 GPIO 晚上电，此时 GPIO 的外部上拉电源需要使用外设的供电来上拉；
- 针对 RK3576 采用子母板的方式时，建议核心板可以向底板提供 3.3V、1.8V 电源，即底板的外设使用核心板提供的电源，如果做不到这个，那么必须注意，底板的外设不能先上电，GPIO 的外部上拉电阻的电源也采用底板的电源，避免采用核心板的电源通过上拉电阻漏电到外设；
- 注意电源域的 GPIO 电平要与对接外设芯片/器件的 IO 电平保持一致；
- 各电源域的供电管脚需就近放置至少 1 个 100nF 或 1uF 去耦电容，详细设计见参考原理图，不得随意删除；
- 若一个电源域里的所有 GPIO 都不使用，那么这个电源域的供电电源可以不供电，该脚悬空即可。

2.2 电源设计

2.2.1 RK3576 电源介绍

2.2.1.1 RK3576 芯片电源需求

表 2-13 RK3576 芯片电源需求表

模块	电源管脚	描述
PLL	PLL_DVDD0V75、PLL_AVDD1V8	系统 PLL 电源
DDR PLL	DDRPHY_PLL_DVDD、DDRPHY_PLL_AVDD1V8	DDR PLL 电源
DDR_VDD	DDRPHY_DVDD	DDR 的数字 CORE 电源
DDR_VDDQ_CK	DDRPHY_CK_VDDQ	LPDDR4/4X 和 LPDDR5 的 CK 电源
DDR_VDDQ_CKE	DDRPHY_CKE_VDDQ	LPDDR4/4X_CKE & LPDDR5_CS & RESET 的电源
DDR VDDQ	DDRPHY_VDDQ	DDR IO 电源（除了 CK\CKE\RESET 电源外）
CPU_BIG	CPU_BIG_DVDD	CPU_BIG(4*A72)电源
CPU_LIT	CPU_LIT_DVDD	CPU_LIT(A53)电源
GPU	GPU_DVDD	GPU 电源
NPU	NPU_DVDD	NPU 电源
LOGIC	LOGIC_DVDD	SoC 逻辑电源
LOGIC MEM	LOGIC_MEM_DVDD	SoC 逻辑的 Memory 电源
PMU_0V75	PMU_LOGIC_DVDD0V75	PMU 逻辑电源
OSC	OSC_AVDD1V8	系统晶振电路电源
UFS OSC	OSC_UFS_AVDD	UFS 晶振电路电源
MPHY(UFS2.0)	UFS_AVDD0V85、UFS_AVDD1V8	UFS2.0 PHY 的电源
GPIO	PMUIO0_VCC1V8、PMUIO1_VCC、VCCIO0_VCC1V8、VCCIO1_VCC、VCCIO2_VCC、VCCIO3_VCC、VCCIO4_VCC、VCCIO5_VCC、VCCIO6_VCC、VCCIO7_VCC	各个 GPIO 的电源
SARADC/TSADC/OTP	SARADC_AVDD1V8	SARADC/TSADC/OTP 电源
OTP	OTP_DVDD0V75	OTP 电源
USB2.0 PHY	USB2_OTG_DVDD0V75、USB2_OTG_AVDD1V8、USB2_OTG_AVDD3V3	USB2.0 OT0 和 USB2.0 OT1 PHY 电源
USB3.0/DP1.4 Combo PHY	USB3_OTG0_DP_TX_AVDD0V85、USB3_OTG0_DP_TX_DVDD0V85、USB3_OTG0_DP_TX_AVDD1V8	USB3.2_Gen1x1 OTG0/DP 1.4 Combo PHY 的电源
PCIE2.1/SATA3.1/USB3.0 Combo PHY	PCIE0_SATA0_AVDD0V85、PCIE0_SATA0_AVDD1V8、	PCIE2.1/SATA3.1/USB3.2_Gen1x1 OTG1 Combo

模块	电源管脚	描述
	PCIE1_SATA1_USB3_OTG1_AVDD0V85、 PCIE1_SATA1_USB3_OTG1_AVDD1V8	PHY 相关电源
MIPI D/CPHY DS1 TX/CSI RX Combo	MIPI_DCPHY_AVDD、 MIPI_DCPHY_AVDD1V2、 MIPI_DCPHY_AVDD1V8	MIPI D/C Combo PHY 的相关电源
MIPI DPHY CSI PHY	MIPI_DPHY_CSI1/2_RX_AVDD0V75、 MIPI_DPHY_CSI1/2_RX_AVDD1V8、 MIPI_DPHY_CSI3/4_RX_AVDD0V75、 MIPI_DPHY_CSI3/4_RX_AVDD1V8	MIPI DPHY CSI1/2 电源和 MIPI DPHY CSI3/4 电源
HDMI/eDP TX Combo PHY	HDMI_TX_EDP_TX_AVDDD0V75、 HDMI_TX_EDP_TX_AVDDC0V75、 HDMI_TX_EDP_TX_AVDDIO1V8、 HDMI_TX_EDP_TX_AVDDCMN1V8	HDMI2.1/eDP1.3 Combo PHY 电源

2.2.1.2 RK3576 芯片上电时序要求

理论上遵循同一模块低压先上、高压后上、相同电压一起上电原则，不同模拟 PHY 模块间无时序要求，待最后一个电压上电稳定后，RESET_L 至少保证 1mS 才能释放（如果 RESET_L 还有给其它外设复位，还需满足外设要求，一般做法是 5ms-200ms 内释放）。

参考图推荐的典型上电顺序如下：

(1) 数字模块、PLL、OTP、SARADC/TSADC 供电电源：

相对时序	电源管脚
(1)	PMU_LOGIC_DVDD0V75 / LOGIC_MEM_DVDD / LOGIC_DVDD / PLL_DVDD0V75 / OTP_DVDD0V75 / CPU_LIT_DVDD / CPU_BIG_DVDD / NPU_DVDD
(2)	PLL_AVDD1V8
(3)	SARADC_AVDD1V8
N/A	GPU_DVDD 没有时序要求

(2) MPHY(UFS2.0)：

相对时序	电源管脚
(1)	UFS_AVDD0V85
(2)	UFS_AVDD1V8

(3) USB PHY：

USB2.0 OTG PHY：

相对时序	电源管脚
(1)	USB2_OTG_DVDD0V75
(2)	USB2_OTG_AVDD1V8
(3)	USB2_OTG_AVDD3V3

USB3 OTG0/DP1.4 PHY

相对时序	电源管脚
(1)	USB3_OTG0_DP_TX_AVDD0V85 / USB3_OTG0_DP_TX_DVDD0V85
(2)	USB3_OTG0_DP_TX_AVDD1V8

(4) MIPI DCPHY:

相对时序	电源管脚
(1)	MIPI_DCPHY_AVDD
(2)	MIPI_DCPHY_AVDD1V8
(3)	MIPI_DCPHY_AVDD1V2

(5) MIPI DPHY:

相对时序	电源管脚
(1)	MIPI_DPHY_CSI1/2_RX_AVDD0V75 / MIPI_DPHY_CSI3/4_RX_AVDD0V75
(2)	MIPI_DPHY_CSI1/2_RX_AVDD1V8 / MIPI_DPHY_CSI3/4_RX_AVDD1V8

(6) HDMI/eDP TX Combo PHY:

相对时序	电源管脚
(1)	HDMI_TX_EDP_TX_AVDDD0V75 / HDMI_TX_EDP_TX_AVDDC0V75
(2)	HDMI_TX_EDP_TX_AVDDIO1V8 / HDMI_TX_EDP_TX_AVDDCMN1V8

(7) PCIE20/SATA30 Combo PHY:

相对时序	电源管脚
(1)	PCIE0_SATA0_AVDD0V85 / PCIE1_SATA1_USB3_OTG1_AVDD0V85
(2)	PCIE0_SATA0_AVDD1V8 / PCIE1_SATA1_USB3_OTG1_AVDD1V8

(8) DDR PHY:

相对时序	电源管脚
(1)	DDRPHY_DVDD
(2)	DDRPHY_CKE_VDDQ
(3)	DDRPHY_VDDQ / DDRPHY_CK_VDDQ

按照参考原理图分配的电源网络名，总体推荐上电时序如下：

相对时序	电源管脚
(1)	VDD_0V75_S3 / VDD_LOGIC_S0 / LOGIC_DVDD_MEM_S0 / CPU_LIT_DVDD_S0 / VDD_CPU_BIG_S0 / NPU_DVDD_S0 / VDDA_0V75_S0 / VDDA_DDR_PLL_S0 / DDRPHY_DVDD_S0 / VDDA_0V85_S0 / VDDA0V75_HDMI_S0 / GPU_DVDD_S0
(2)	VCC_1V8_S3 / VCCA_1V8_S0
(3)	VCC_1V8_S0
(4)	VDD2_DDR_S3 / VDDA_1V2_S0
(5)	VCC_3V3_S3 / VCCIO_SD_S0 / VCCA_3V3_S0 / VCCA1V8_PLDO2_S0
(6)	VDD2L_0V9_DDR_S3 / VCC_3V3_S0
(7)	DDRPHY_VDDQ_S0
(8)	RESET_L

2.2.1.3 RK3576 芯片下电时序要求

下电过程，RESET_L 须先拉低动作，然后各路电源随着下电。

下电顺序建议如下：

- 下电过程中，GPIO 相关的 3.3V 供电电压与 PMUIO0_VCC1V8 的 1.8V 供电电压压差不大于 2V；
- 下电过程中，USB2_OTG_AVDD3V3 供电电压与 USB2_OTG_AVDD1V8 供电电压压差不大于

2V。

2.2.2 电源设计建议

2.2.2.1 上电和待机电路方案

RK3576 第一次上电各模块供电情况如下表：

表 2-14 RK3576 第一次上电各模块供电要求表

模块	电源管脚	第一次上电供电要求
PLL	PLL_DVDD0V75、PLL_AVDD1V8	必须供电
DDR PLL	DDRPHY_PLL_DVDD、DDRPHY_PLL_AVDD1V8	必须供电
DDR_VDD	DDRPHY_DVDD	必须供电
DDR_VDDQ_CK	DDRPHY_CK_VDDQ	必须供电
DDR_VDDQ_CKE	DDRPHY_CKE_VDDQ	必须供电
DDR_VDDQ	DDRPHY_VDDQ	必须供电
CPU_BIG	CPU_BIG_DVDD	必须供电
CPU_LIT	CPU_LIT_DVDD	必须供电
GPU	GPU_DVDD	可以不供电
NPU	NPU_DVDD	必须供电
LOGIC	LOGIC_DVDD	必须供电
LOGIC MEM	LOGIC_MEM_DVDD	必须供电
PMU_0V75	PMU_LOGIC_DVDD0V75	必须供电
OSC	OSC_AVDD1V8	必须供电
UFS OSC	OSC_UFS_AVDD	UFS 启动时必须供电
MPHY(UFS2.0)	UFS_AVDD0V85、UFS_AVDD1V8	UFS 启动时必须供电
GPIO	PMUIO0_VCC1V8、PMUIO1_VCC	必须供电
GPIO	VCCIO0_VCC1V8	EMMC/FSPI0 启动时必须供电
GPIO	VCCIO1_VCC	SDMMC0/FSPI1_M0 启动时必须供电
GPIO	VCCIO3_VCC	FSPI1_M1 启动时必须供电
GPIO	VCCIO7_VCC	UFS 启动时必须供电
GPIO	VCCIO2_VCC、VCCIO4_VCC、VCCIO5_VCC、VCCIO6_VCC	可以不供电
SARADC/TSADC/OTP	SARADC_AVDD1V8	必须供电
OTP	OTP_DVDD0V75	必须供电
USB2.0 PHY	USB2_OTG_DVDD0V75、USB2_OTG_AVDD1V8、USB2_OTG_AVDD3V3	必须供电
USB3.0/DP PHY	USB3_OTG0_DP_TX_AVDD0V85、USB3_OTG0_DP_TX_DVDD0V85、	可以不供电

模块	电源管脚	第一次上电供电要求
	USB3_OTG0_DP_TX_AVDD1V8	
PCIE2.1/SATA3.1/USB3.0 Combo PHY	PCIE0_SATA0_AVDD0V85、PCIE0_SATA0_AVDD1V8、 PCIE1_SATA1_USB3_OTG1_AVDD0V85、 PCIE1_SATA1_USB3_OTG1_AVDD1V8	可以不供电
MIPI D/C Combo PHY	MIPI_DCPHY_AVDD、 MIPI_DCPHY_AVDD1V2、 MIPI_DCPHY_AVDD1V8	可以不供电
MIPI CSI PHY	MIPI_DPHY_CSI1/2_RX_AVDD0V75、 MIPI_DPHY_CSI1/2_RX_AVDD1V8、 MIPI_DPHY_CSI3/4_RX_AVDD0V75、 MIPI_DPHY_CSI3/4_RX_AVDD1V8	可以不供电
HDMI/eDP TX PHY	HDMI_TX_EDP_TX_AVDDD0V75、 HDMI_TX_EDP_TX_AVDDC0V75、 HDMI_TX_EDP_TX_AVDDIO1V8、 HDMI_TX_EDP_TX_AVDCMN1V8	可以不供电

RK3576 芯片可支持低功耗待机方案，进入待机模式时，供电和断电情况如下表：

表 2-15 RK3576 待机电源供电要求表

模块	电源管脚	待机模式供电要求
PLL	PLL_DVDD0V75、PLL_AVDD1V8	可以不供电
DDR PLL	DDRPHY_PLL_DVDD、DDRPHY_PLL_AVDD1V8	可以不供电
DDR_VDD	DDRPHY_DVDD	可以不供电
DDR_VDDQ_CK	DDRPHY_CK_VDDQ	可以不供电
DDR_VDDQ_CKE	DDRPHY_CKE_VDDQ	必须供电
DDR_VDDQ	DDRPHY_VDDQ	可以不供电
CPU_BIG	CPU_BIG_DVDD	可以不供电
CPU_LIT	CPU_LIT_DVDD	可以不供电
GPU	GPU_DVDD	可以不供电
NPU	NPU_DVDD	可以不供电
LOGIC	LOGIC_DVDD	可以不供电
LOGIC_MEM	LOGIC_MEM_DVDD	可以不供电
PMU_0V75	PMU_LOGIC_DVDD0V75	必须供电
OSC	OSC_AVDD1V8	可以不供电
UFS OSC	OSC_UFS_AVDD	可以不供电
MPHY(UFS2.0)	UFS_AVDD0V85、UFS_AVDD1V8	可以不供电
GPIO	PMUIO0_VCC1V8、PMUIO1_VCC	必须供电
GPIO	VCCIO0_VCC1V8	可以不供电
GPIO	VCCIO1_VCC	可以不供电
GPIO	VCCIO3_VCC	可以不供电
GPIO	VCCIO7_VCC	可以不供电

模块	电源管脚	待机模式供电要求
GPIO	VCCIO2_VCC、VCCIO4_VCC、VCCIO5_VCC、VCCIO6_VCC	可以不供电
SARADC/TSADC/OTP	SARADC_AVDD1V8	可以不供电
OTP	OTP_DVDD0V75	可以不供电
USB2.0 PHY	USB2_OTG_DVDD0V75、USB2_OTG_AVDD1V8、USB2_OTG_AVDD3V3	可以不供电
USB3.0/DP PHY	USB3_OTG0_DP_TX_AVDD0V85、USB3_OTG0_DP_TX_DVDD0V85、USB3_OTG0_DP_TX_AVDD1V8	可以不供电
PCIE2.1/SATA3.1/USB3.0 Combo PHY	PCIE0_SATA0_AVDD0V85、 PCIE0_SATA0_AVDD1V8、 PCIE1_SATA1_USB3_OTG1_AVDD0V85、 PCIE1_SATA1_USB3_OTG1_AVDD1V8	可以不供电
MIPI D/C Combo PHY	MIPI_DCPHY_AVDD、MIPI_DCPHY_AVDD1V2、 MIPI_DCPHY_AVDD1V8	可以不供电
MIPI CSI PHY	MIPI_DPHY_CSI1/2_RX_AVDD0V75、 MIPI_DPHY_CSI1/2_RX_AVDD1V8、 MIPI_DPHY_CSI3/4_RX_AVDD0V75、 MIPI_DPHY_CSI3/4_RX_AVDD1V8	可以不供电
HDMI/eDP TX PHY	HDMI_TX_EDP_TX_AVDD0V75、 HDMI_TX_EDP_TX_AVDDC0V75、 HDMI_TX_EDP_TX_AVDDIO1V8、 HDMI_TX_EDP_TX_AVDCMN1V8	可以不供电

这个待机方案，只能支持 PMUIO0、PMUIO1 的 IO 中断唤醒。

在待机状态下至少应保留如下几组电源不关断（如下为电源管脚名）：

- DDRPHY_CKE_VDDQ：为 DDR 自刷新提供电源；
- PMU_LOGIC_DVDD0V75：为 PMUIO0 & PMUIO1 电源域的逻辑提供电源；
- PMUIO0_VCC1V8：为 PMU0 工作提供电源；为 PMUIO0 电源域维持输出状态及中断响应提供 IO 电源；
- PMUIO1_VCC：为 PMUIO1 电源域维持输出状态及中断响应提供 IO 电源。

待机下，要支持 USB HID 设备唤醒，则 OSC、USB2.0 PHY 需要供电：

表 2-16 RK3576 支持 USB 唤醒的待机电源供电要求表

模块	电源管脚	待机下供电要求
DDR_VDDQ_CKE	DDRPHY_CKE_VDDQ	必须供电
PMU_0V75	PMU_LOGIC_DVDD0V75	必须供电
OSC	OSC_AVDD1V8	必须供电
GPIO	PMUIO0_VCC1V8、PMUIO1_VCC	必须供电
USB2.0 PHY	USB2_OTG_DVDD0V75、USB2_OTG_AVDD1V8、	必须供电

模块	电源管脚	待机下供电要求
	USB2_OTG_AVDD3V3	

待机下，要支持 VCCIO0、VCCIO1、VCCIO2、VCCIO3、VCCIO4、VCCIO5、VCCIO6、VCCIO7 里的 IO 中断唤醒，那么需要 VCCIO0_VCC1V8、VCCIO1_VCC、VCCIO2_VCC、VCCIO3_VCC、VCCIO4_VCC、VCCIO5_VCC、VCCIO6_VCC、VCCIO7_VCC 电源、LOGIC_DVDD 以及 LOGIC_MEM_DVDD 电源不能断电，必须保留供电。

待机下，如果 GPIO 有连接常供电的外设，则 GPIO 对应的电源域需要保持供电，且根据需要，如果 GPIO 需要在待机时保持其在待机前的状态(如输出高、内部输入上拉等状态)，则需要打开 GPIO 域的 retention 功能，具体功能见 GPIO 小节。

以二级待机下，支持 Wi-Fi 唤醒为例，由于 LOGIC_DVDD 会断电，VCCIO0~7 域的 IO 都无法支持中断，因此 Wi-Fi 的唤醒相关引脚放置在 PMUIO0 域中，其余控制相关 GPIO 分配到 VCCIO3 电源域。

正常工作时，RK3576 端，PMUIO0_VCC1V8、PMU_LOGIC_DVDD0V75、VCCIO3_VCC、OSC_AVDD1V8 以及 LOGIC_DVDD/LOGIC_MEM_DVDD 均有供电，正常工作状态示意图如下：

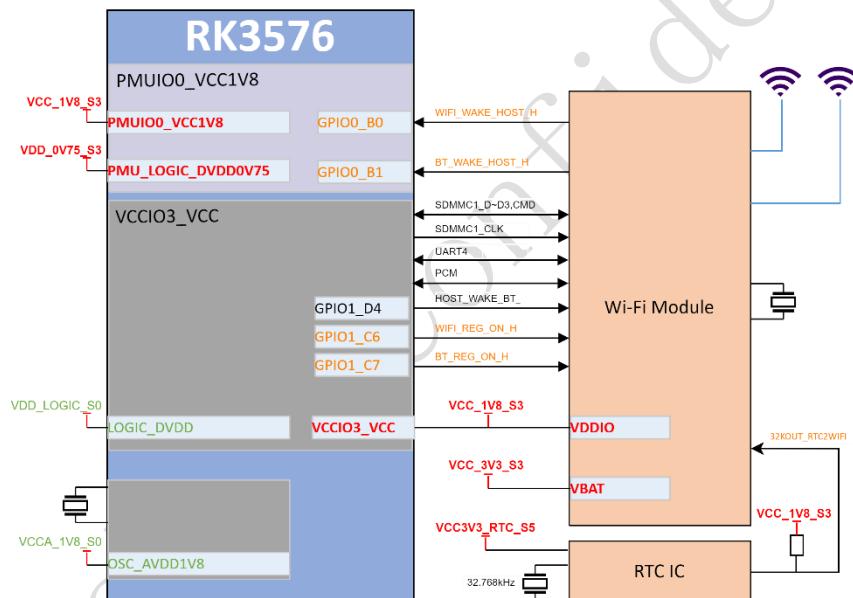


图 2-26 Wi-Fi 正常工作状态示意图

系统进入休眠状态后，针对还需要 Wi-Fi 工作的场景，Wi-Fi 模组需要保持常供电，Wi-Fi 电源的控制信号 WIFI_REG_ON_H 和 BT_REG_ON_H 需要保持为高电平的状态，因此 RK3576 在进入休眠状态之前，需要将 WIFI_REG_ON_H 和 BT_REG_ON_H 配置为高电平，然后在软件中打开 GPIO 的 retention 功能，接着断开 OSC_AVDD1V8 以及 LOGIC_DVDD/LOGIC_MEM_DVDD 的供电，PMUIO0_VCC1V8、PMU_LOGIC_DVDD0V75、VCCIO3_VCC 需要保持供电，此时 Wi-Fi 的控制信号 WIFI_REG_ON_H 和 BT_REG_ON_H 将保持为高电平的状态。进入休眠状态后 Wi-Fi 的工作示意图如下，红色的电源为待机下保持供电的电源，橙色的信号为在待机下 Wi-Fi 工作所需要的信号。

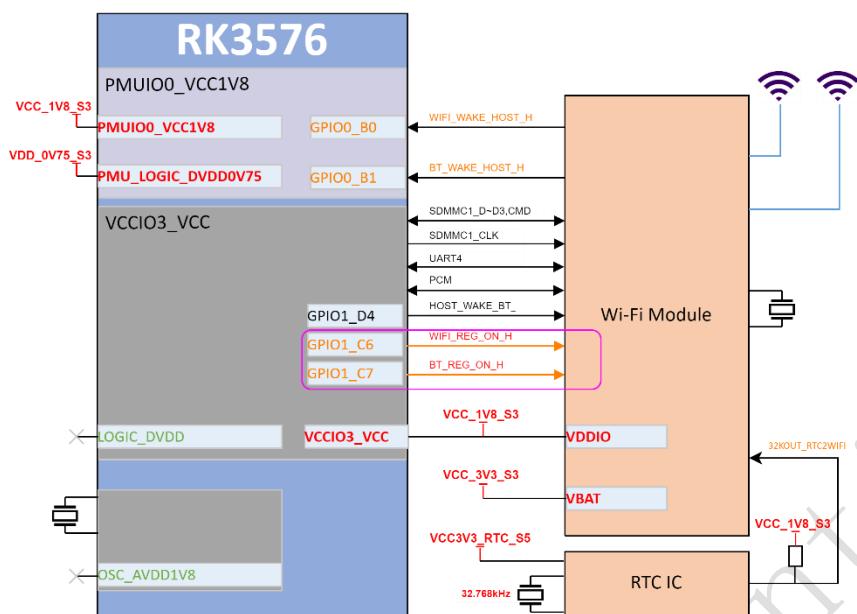


图 2-27 Wi-Fi 休眠工作状态示意图

待机下，要支持 Wi-Fi 唤醒，如下电源需要供电：

表 2-17 RK3576 支持 Wi-Fi 唤醒的待机电源供电要求表

模块	电源管脚	备注
RK3576 DDR_VDDQ_CKE	DDRPHY_CKE_VDDQ	必须供电
RK3576 PMU_0V75	PMU_LOGIC_DVDD0V75	必须供电
RK3576 GPIO	PMUIO0_VCC1V8、PMUIO1_VCC、VCCIO3_VCC	必须供电
Wi-Fi Module	VDDIO、VBAT	必须供电
RTC IC	VCC_RTC	必须供电

2.2.2.2 PLL 电源

RK3576 芯片 PLL 分布两部分，分配如下：

表 2-18 RK3576 内部 PLL 介绍

模块	电源	待机状态
PMU 单元内	PLL_DVDD0V75、PLL_AVDD1V8	可关断电源
DDR PLL	DDRPHY_PLL_DVDD、DDRPHY_PLL_AVDD1V8	可关断电源

- PLL_DVDD0V75：峰值电流 20mA
- PLL_AVDD1V8：峰值电流 40mA
- DDRPHY_PLL_DVDD：峰值电流 20mA
- DDRPHY_PLL_AVDD1V8：峰值电流 30mA

电源上建议使用 LDO 供电：

- 0.75V/0.85V AC requirement: <20mV;
- 1.8V AC requirement: <50mV

稳定的 PLL 电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考

原理图，请勿随意调整。

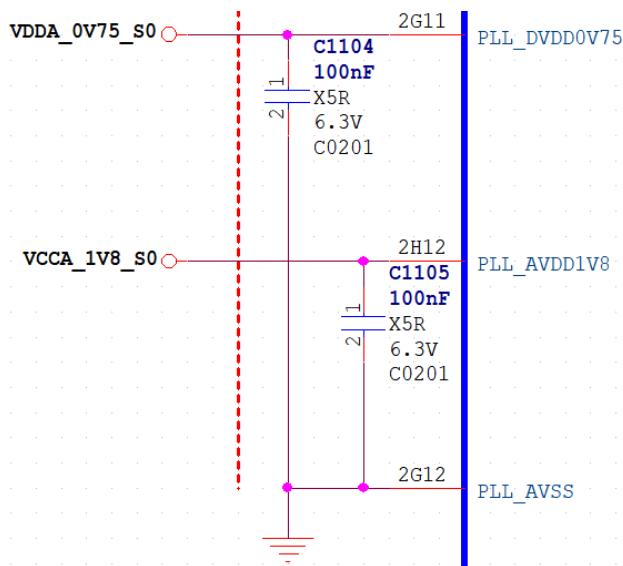


图 2-28 RK3576 芯片 SYS PLL 电源管脚

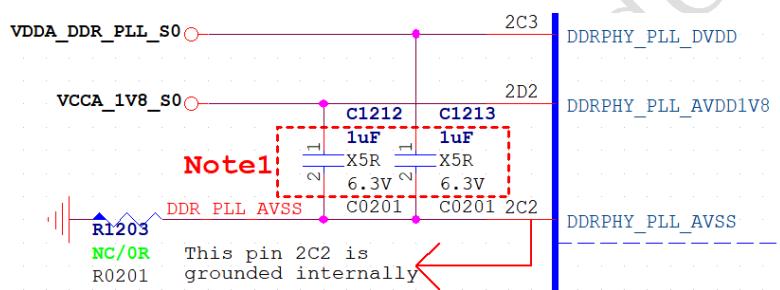


图 2-29 RK3576 芯片 DDR PLL 电源管脚

2.2.2.3 OSC 电源

RK3576 芯片的电源 OSC_1V8 为晶振电路提供电源。

- OSC_AVDD1V8: 峰值电流 10mA

电源上建议使用 LDO 供电:

- 1.8V AC requirement: <40mV

稳定的 OSC 电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

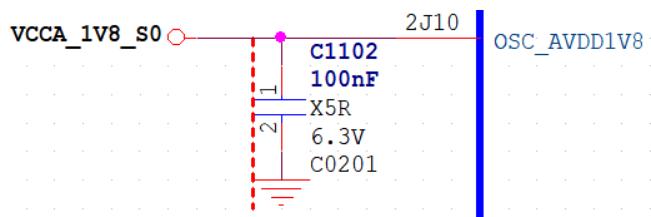


图 2-30 RK3576 芯片晶振电路的电源管脚

2.2.2.4 PMU LOGIC 电源

RK3576 的 PMU_LOGIC_DVDD0V75 电源给内部 PMU 单元的 LOGIC 供电，峰值电流为 30mA，请参考原理图，请勿随意调整。

勿删减 RK3576 芯片参考设计原理图中的去耦电容。

可使用 DC/DC 或 LDO 供电。

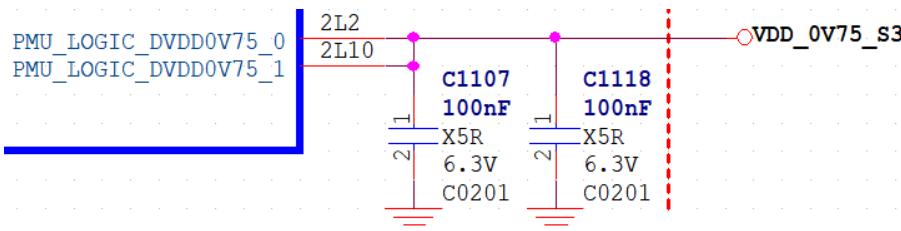


图 2-31 RK3576 芯片 PMU_LOGIC_DVDD0V75 电源管脚

2.2.2.5 CPU_BIG_DVDD 电源

RK3576 的 CPU_BIG_DVDD 电源是给 4 个 A72 core 供电，采用 RK806S-5 的 BUCK1 或者 DC/DC 电源供电，可支持动态调频调压功能，上电默认电压 0.85V。峰值电流可达 4A 以上，请勿删减 RK3576 芯片参考设计原理图中的去耦电容。

Layout 时将下图左边红色方框中的电容放置在 RK3576 芯片背面，CPU_BIG_DVDD 电源总电容容量需大于 130uF，以保证电源纹波在+/-5% 以内，避免大负载情况下引起电源纹波偏大。

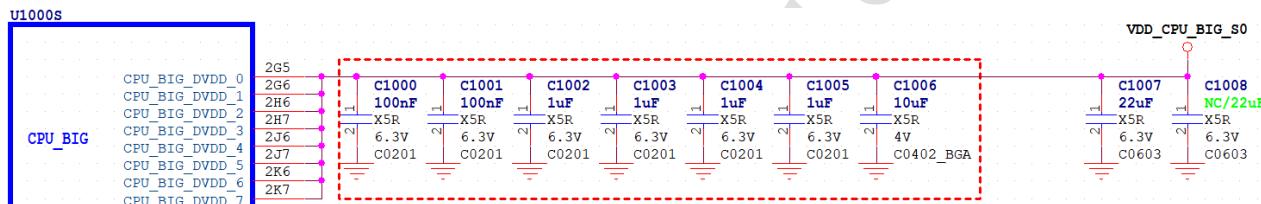


图 2-32 RK3576 芯片 CPU_BIG_DVDD 电源管脚

2.2.2.6 CPU_LIT_DVDD 电源

RK3576 的 CPU_LIT_DVDD 电源给内部的 4 个 A53 core 供电，采用 RK806S-5 的 BUCK3 电源供电，支持动态调频调压功能。峰值电流可达 2.0A 以上，请勿删减 RK3576 芯片参考设计原理图中的去耦电容。

Layout 时将下图左边红色方框中的电容放在 RK3576 的芯片下方，CPU_LIT_DVDD 电源总电容容量需大于 88uF，以保证电源纹波在+/-5% 以内，避免大负载情况下引起电源纹波偏大。

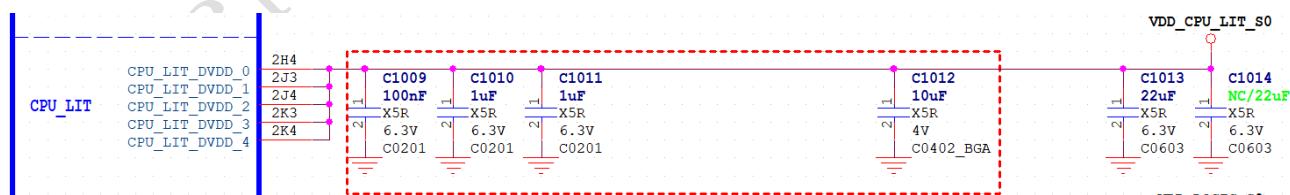


图 2-33 RK3576 芯片 CPU_LIT_DVDD 电源电容

2.2.2.7 GPU_DVDD 电源

RK3576 的 GPU_DVDD 电源给内部的 GPU 单元供电，采用 RK806S-5 的 BUCK5 供电，支持动态调频调压功能，峰值电流可达 3.0A，请勿删减 RK3576 芯片参考设计原理图中的去耦电容。

Layout 时需要注意，下图左边红色方框中的电容放在 RK3576 的芯片下方。

靠近 DCDC BUCK 端的输出不留主电容，需要将主电容移到靠近 RK3576 的位置，主电容容值大于 66uF，如下图右边红色方框的电容，以保证电源纹波在 +/-5% 以内，避免大负载情况下引起电源纹波偏大。主电容与 RK3576 的距离、铜皮宽度以及过孔数量约束见后面 PCB 的章节。

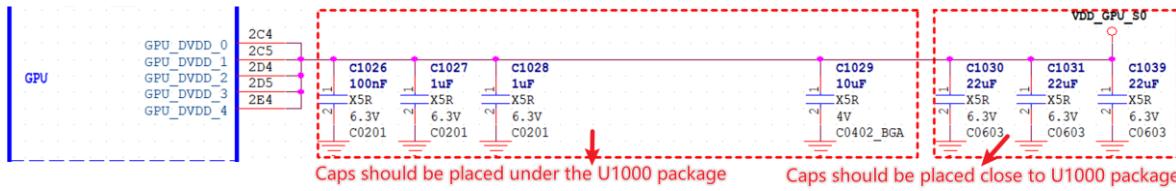


图 2-34 RK3576 芯片 GPU_DVDD 电源管脚

2.2.2.8 NPU 电源

RK3576 的 NPU_DVDD 电源给内部的 NPU 单元供电，采用 RK806S-5 的 BUCK2 供电，支持动态调频调压功能。峰值电流可达 4A 以上，请勿删减 RK3576 芯片参考设计原理图中的去耦电容。

Layout 时需要注意，下图左边红色方框中的电容放在 RK3576 的芯片下方。

靠近 DCDC BUCK 端的输出不留主电容，需要将主电容移到靠近 RK3576 的位置，主电容容值大于 90uF，如下图右边红色方框的电容，以保证电源纹波在 +/-5% 以内，避免大负载情况下引起电源纹波偏大。主电容与 RK3576 的距离、铜皮宽度以及过孔数量约束见后面 PCB 的章节。

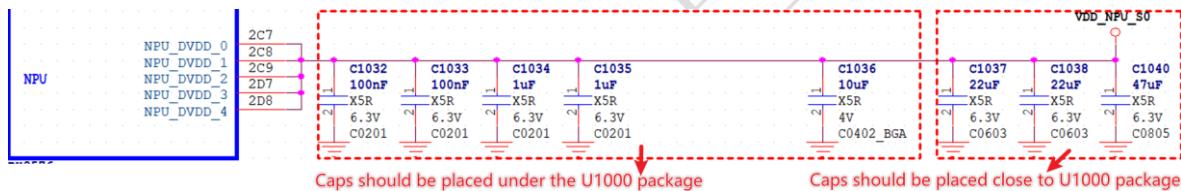


图 2-35 RK3576 芯片 NPU_DVDD 电源管脚

2.2.2.9 LOGIC_DVDD 电源

RK3576 的 LOGIC_DVDD 电源给内部的逻辑单元供电，采用 RK806S-5 的 BUCK7 供电，可支持动态调频调压功能，默认固定电压供电。峰值电流可达 2.0A 以上，请勿删减 RK3576 芯片参考设计原理图中的去耦电容。

Layout 时下图左边红色方框中的电容放在 RK3576 的芯片下方，LOGIC_DVDD 电源总电容容量需大于 88uF，避免大负载情况下引起电源纹波偏大。

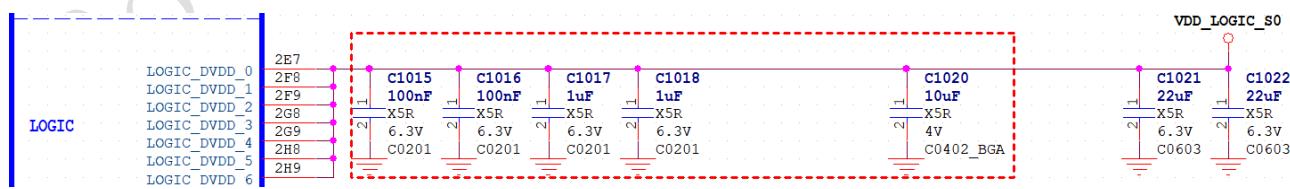


图 2-36 RK3576 芯片 LOGIC_DVDD 电源管脚

LOGIC_MEM_DVDD 电源为 LOGIC_DVDD 的 Memory 电源，默认 LOGIC_MEM_DVDD 和 LOGIC_DVDD 合并供电，对于类似带电池平板方案，然后对成本不是很敏感的，可以考虑 LOGIC_MEM_DVDD 单独加一路 BUCK 供电，即 LOGIC_DVDD 和 LOGIC_MEM_DVDD 供电电压单独进行 DVFS，以降低工作功耗，电流 TBD，建议使用 BUCK 供电。

对 DC/DC BUCK 的主要要求如下：

- 输出电流大于等于 2.0A；
- 输出电压精度要求在±1.5%；
- BUCK 瞬态响应要求：Iload=BUCK Max 电流*10%~BUCK Max 电流*80% 跳变，斜率 1A/us，纹波要求±5%以内；

如下图左边红色方框中的电容放在 RK3576 的芯片下方要放在 RK3576 的管脚下方。



图 2-37 RK3576 芯片 LOGIC_MEM_DVDD 电源管脚

2.2.2.10 DDR 电源

RK3576 芯片的 DDR PHY 接口支持 LPDDR4/LPDDR4X/LPDDR5 电平标准，共有 6 个电源，DDRPHY_PLL_DVDD、DDRPHY_PLL_AVDD1V8、DDRPHY_DVDD、DDRPHY_CK_VDDQ、DDRPHY_CKE_VDDQ 以及 DDRPHY_VDDQ，供电介绍请参见 2.1.7.5 DDR 电源设计和上电时序要求。产品设计时请根据颗粒使用情况，确认符合设计要求。

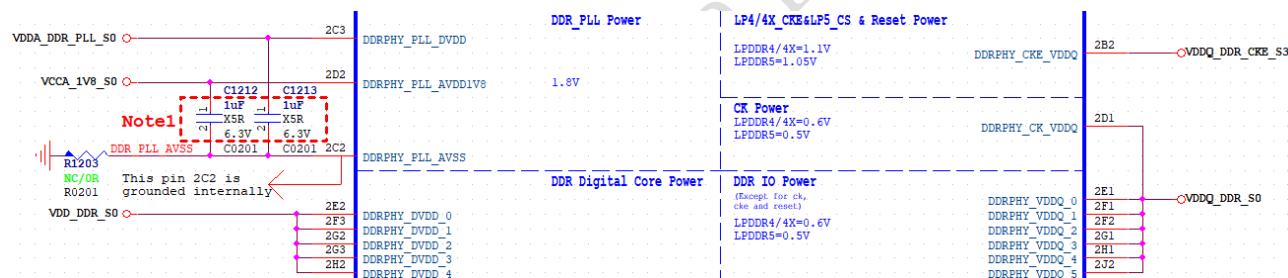


图 2-38 RK3576 DDR 电源管脚

DDR PLL 的电源设计建议详见 2.2.2.2 小结。这里需要注意，Pin 2C2 在芯片内部有接地，Pin 2C2 需要预留对地 NC 电阻。

DDRPHY_DVDD 采用 RK806S-5 的 BUCK10 供电，支持动态调频调压功能，峰值电流可达 2A 以上。

DDRPHY_CK_VDDQ 和 DDRPHY_VDDQ 采用 RK806S-5 的 BUCK6 供电，固定电压供电，在接 LPDDR4 和 LPDDR5 颗粒时，这两路供电和颗粒的 VDDQ 电源合并供电，峰值电流与颗粒相关以上。

DDRPHY_CKE_VDDQ 在接 LPDDR4/4X 颗粒时，可以和颗粒的 VDD2 电源合并供电，在接 LPDDR5 时，可以和颗粒的 VDD2H 电源合并供电。

Layout 时将下图红色方框中的滤波电容放置在 RK3576 芯片背面，以保证电源纹波在 80mV 以内，避免大负载情况下引起电源纹波偏大。

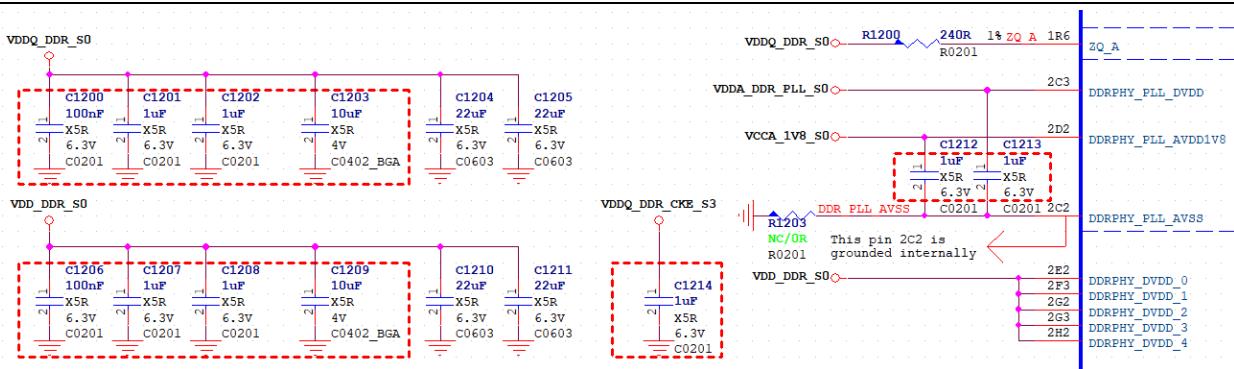


图 2-39 RK3576 芯片 DDR 电源滤波电容

2.2.2.11 UFS (MPHY) 电源

RK3576 有 1 个 UFS 接口，具体接法请见 **2.1.9 UFS 电路** 单元介绍。

UFS_AVDD0V85 和 UFS_AVDD1V8 电源是给 UFS 的 MPHY 供电，请勿删减 RK3576 芯片参考设计原理图中的去耦电容。电源设计时，需要预留 0603 的 OR 电阻。

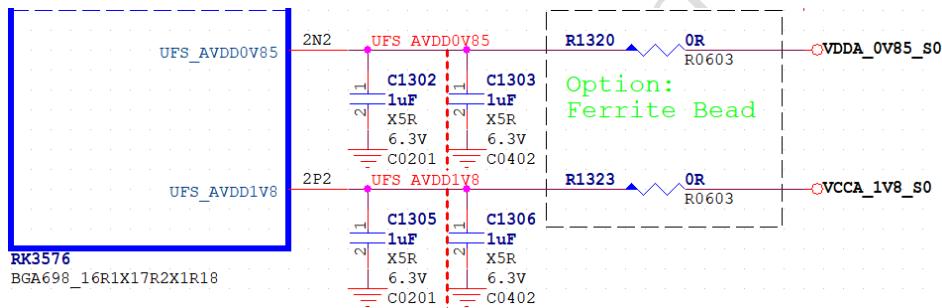


图 2-40 RK3576 USB2.0 PHY 电源管脚

- UFS_AVDD0V85: 峰值电流 120mA
- UFS_AVDD1V8: 峰值电流 40mA

电源上建议使用 LDO 供电：

- 0.85V AC requirement: <20mV
- 1.8V AC requirement: <40mV

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

2.2.2.12 USB2.0 PHY 电源

RK3576 有 2 个 USB2.0 接口，具体接法请见 **2.3.4 USB2/USB3 电路** 单元介绍。

USB2_OTG_DVDD0V75、USB2_OTG_AVDD1V8、USB2_OTG_AVDD3V3 电源是给 USB2_OTG0 和 USB2_OTG1 PHY 供电，请勿删减 RK3576 芯片参考设计原理图中的去耦电容。

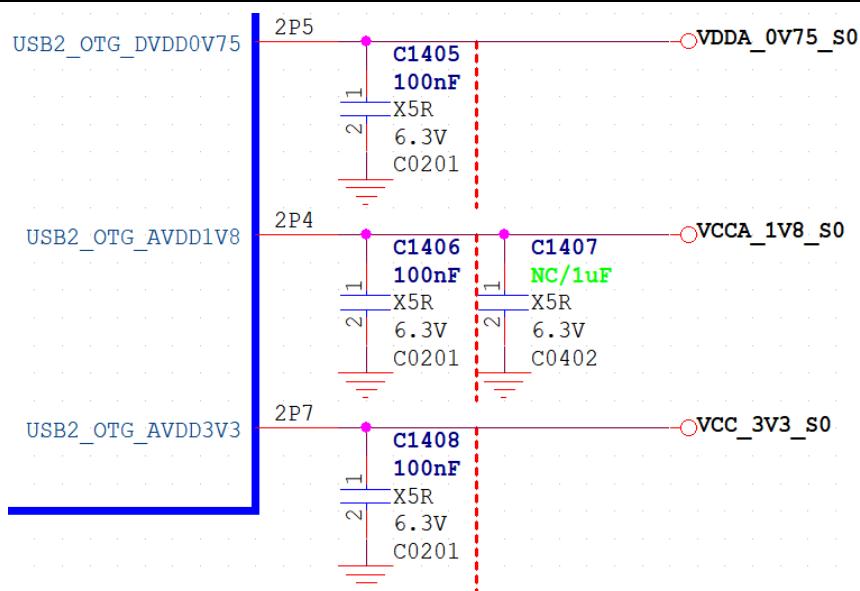


图 2-41 RK3576 USB2.0 PHY 电源管脚

- USB2_OTG_DVDD0V75: 峰值电流 15mA
- USB2_OTG_AVDD1V8: 峰值电流 35mA
- USB2_OTG_AVDD3V3: 峰值电流 25mA

电源上建议使用 LDO 供电:

- 0.75V AC requirement: <25mV
- 1.8V AC requirement: <50mV
- 3.3V AC requirement: <200mV

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

由于 RK3576 芯片固件必须从 USB2_OTG0_DP/M 接口下载，因此烧写固件时，USB2_OTG_DVDD0V75、USB2_OTG_AVDD1V8、USB2_OTG_AVDD3V3 必须供电。

2.2.2.13 USB3.0/DP1.4 Combo 电源

RK3576 有 1 个 USB3.0/DP1.4 的 Combo PHY 接口，供电电源分别为 USB3_OTG0_DP_TX_AVDD0V85、USB3_OTG0_DP_TX_DVDD0V85、USB3_OTG0_DP_TX_AVDD1V8，请勿删减 RK3576 芯片参考设计原理图中的去耦电容。

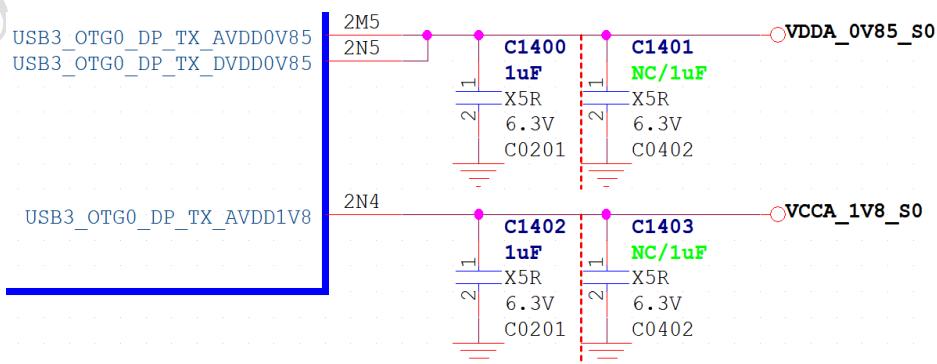


图 2-42 RK3576 USB30/DP1.4 Combo0 电源管脚

- USB3_OTG0_DP_TX_AVDD0V85 & USB3_OTG0_DP_TX_DVDD0V85: 峰值电流 220mA
- USB3_OTG0_DP_TX_AVDD1V8: 峰值电流 40mA

电源上建议使用 LDO 供电:

- 0.85V AC requirement: <20mV
- 1.8V AC requirement: <40mV

稳定的电源有助于提高芯片工作稳定性, 且去耦电容应靠近管脚摆放, 具体电容数量和容量参考原理图, 请勿随意调整。

RK3576 支持从 USB 3.2 Gen1x1 OTG0 接口的 USB3_OTG0_SSRX1P/N 与 USB3_OTG0_SSTX1P/N 信号下载固件。需要支持 USB3.0 升级固件时, USB3_OTG0_DP_TX_AVDD0V85、USB3_OTG0_DP_TX_DVDD0V85、USB3_OTG0_DP_TX_AVDD1V8 必须供电。

2.2.2.14 PCIe/SATA/USB3 Combo PHY 电源

RK3576 有 1 个 PCIe2.1/SATA3.1 Combo PHY 接口和 1 个 PCIe2.1/SATA3.1/USB3.0 Combo PHY 接口。

供电电源共有 4 路, 分别为 PCIE0_SATA0_AVDD0V85、PCIE0_SATA0_AVDD1V8、PCIE1_SATA1_USB3_OTG1_AVDD0V85、PCIE1_SATA1_USB3_OTG1_AVDD1V8, 请勿删减 RK3576 芯片参考设计原理图中的去耦电容。如下图红色虚线左侧电容布局需要靠近芯片管脚。

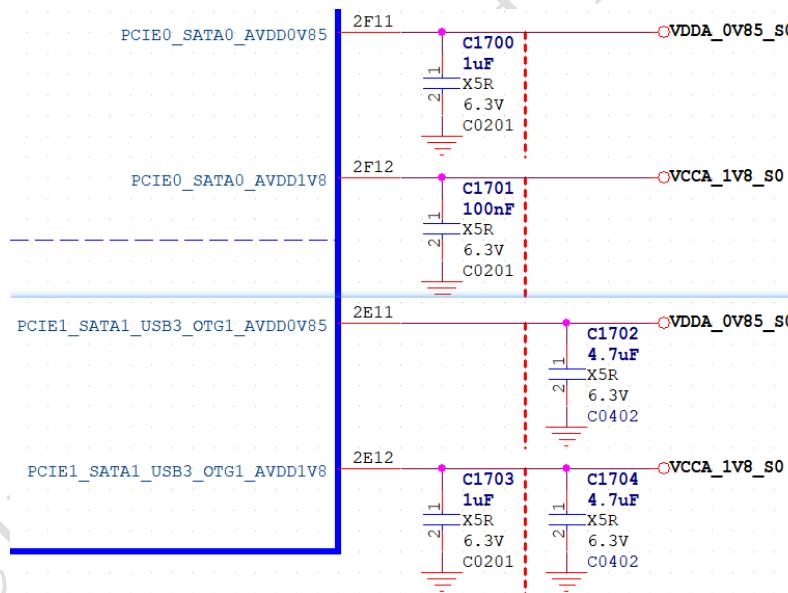


图 2-43 RK3576 PCIe2.1 Combo PHY 电源管脚

- PCIE0_SATA0_AVDD0V85、PCIE1_SATA1_USB3_OTG1_AVDD0V85: 峰值电流 100mA
- PCIE0_SATA0_AVDD1V8、PCIE1_SATA1_USB3_OTG1_AVDD1V8: **峰值电流 100mA**

电源上建议使用 LDO 供电:

- 0.85V AC requirement: <20mV
- 1.8V AC requirement: <50mV

稳定的电源有助于提高芯片工作稳定性, 且去耦电容应靠近管脚摆放, 具体电容数量和容量参考原理图, 请勿随意调整。

PCIe2.1/SATA3.1 Combo PHY 和 PCIe2.1/SATA3.1/USB3.0 Combo PHY 的电源是独立的, 未使用到的 PHY 的供电管脚 (0V85 和 1V8) 可以不供电, 供电管脚需要接地。

2.2.2.15 MIPI DPHY CSI RX PHY 电源

RK3576 有 2 个 MIPI DPHY CSI RX 接口，4 路供电电源为 MIPI_DPHY_CSI1/2_RX_AVDD0V75、MIPI_DPHY_CSI1/2_RX_AVDD1V8、MIPI_DPHY_CSI3/4_RX_AVDD0V75、MIPI_DPHY_CSI3/4_RX_AVDD1V8。请勿删减 RK3576 芯片参考设计原理图中的去耦电容。下图红色虚线左边的电容需要放在 RK3576 的芯片下方，右边的电容尽可能靠近芯片放置。

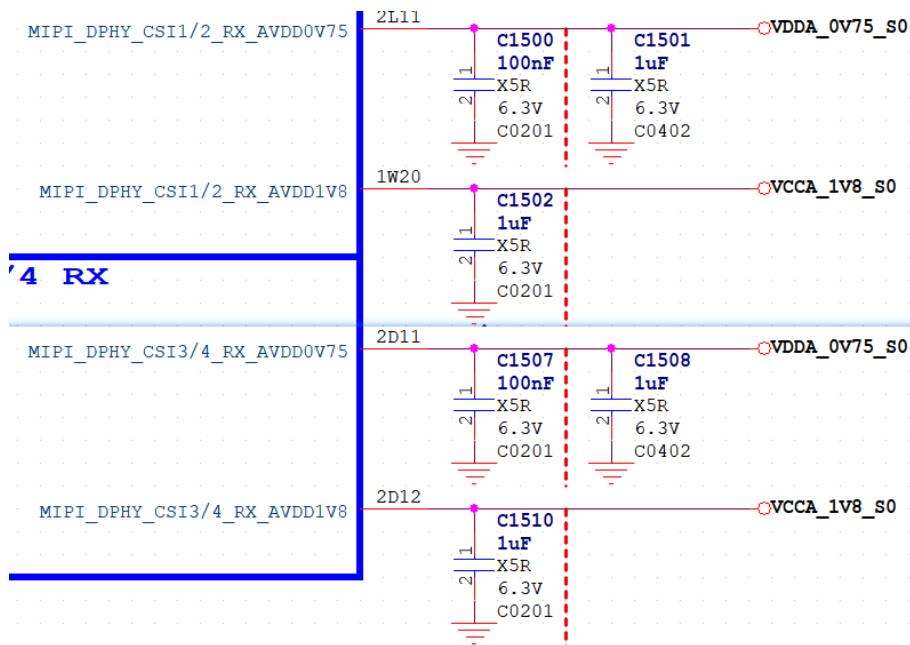


图 2-44 RK3576 MIPI DPHY CSI1/2/3/4 RX PHY 电源管脚

- MIPI_DPHY_CSI1/2_RX_AVDD0V75、MIPI_DPHY_CSI3/4_RX_AVDD0V75：峰值电流 12mA
 - MIPI_DPHY_CSI1/2_RX_AVDD1V8、MIPI_DPHY_CSI3/4_RX_AVDD1V8：峰值电流 3mA
- 电源上建议使用 LDO 供电：
- 0.75V AC requirement: <25mV
 - 1.8V AC requirement: <50mV

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

2 个 MIPI DPHY CSI RX PHY 中，如果功能不使用，则不使用功能的 PHY 的电源可以不供电，接地或者悬空都可以。

2.2.2.16 MIPI DC PHY CSI RX 电源

RK3576 有 1 个 MIPI DC PHY CSI RX 接口。

MIPI_DCPHY_AVDD、MIPI_DCPHY_AVDD1V2、MIPI_DCPHY_AVDD1V8 电源是给 MIPI DC PHY 供电，请勿删减 RK3576 芯片参考设计原理图中的去耦电容。下图红色虚线左边的电容需要放在 RK3576 的芯片下方，右边的电容尽可能靠近芯片放置。

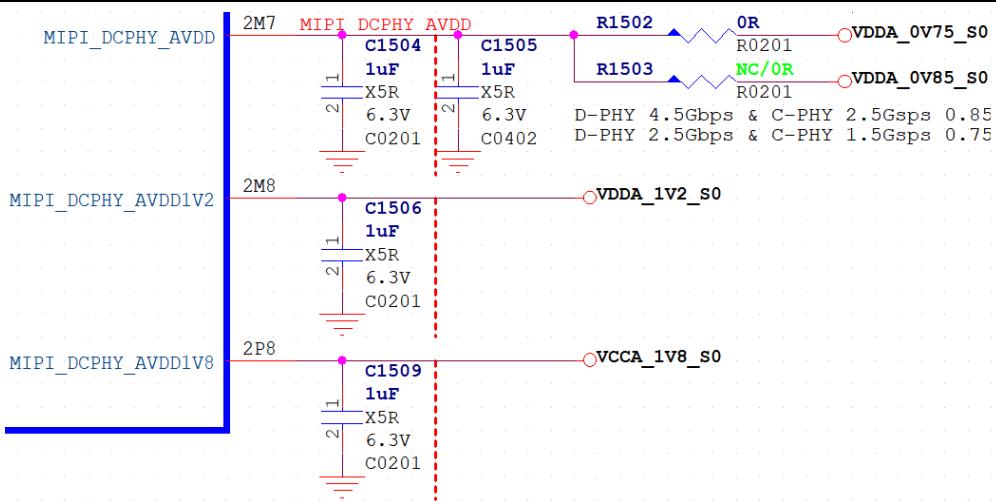


图 2-45 RK3576 MIPI D/C Combo PHY0 电源管脚

- MIPI_DCPHY_AVDD : 峰值电流 65mA
- MIPI_DCPHY_AVDD1V2: 峰值电流 2mA
- MIPI_DCPHY_AVDD1V8: 峰值电流 20mA

电源上建议使用 LDO 供电:

- 0.75/0.85V AC requirement: <20mV
- 1.2V AC requirement: <20mV
- 1.8V AC requirement: <50mV

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

MIPI D/C PHY 功能如果不使用，那么 MIPI_DCPHY_AVDD , MIPI_DCPHY_AVDD1V2 , MIPI_DCPHY_AVDD1V8 可以不供电，供电管脚需要保持悬空。

2.2.2.17 HDMI2.1/eDP1.3 Combo 电源

RK3576 有 1 个 HDMI2.1/eDP 的 Combo PHY 接口。

HDMI_TX_EDP_TX_AVDDDD0V75、HDMI_TX_EDP_TX_AVDDC0V75、HDMI_TX_EDP_TX_AVDDIO1V8、HDMI_TX_EDP_TX_AVDDCMN1V8 电源是给 HDMI2.1/eDP 的 Combo PHY 供电，请勿删减 RK3576 芯片参考设计原理图中的去耦电容。

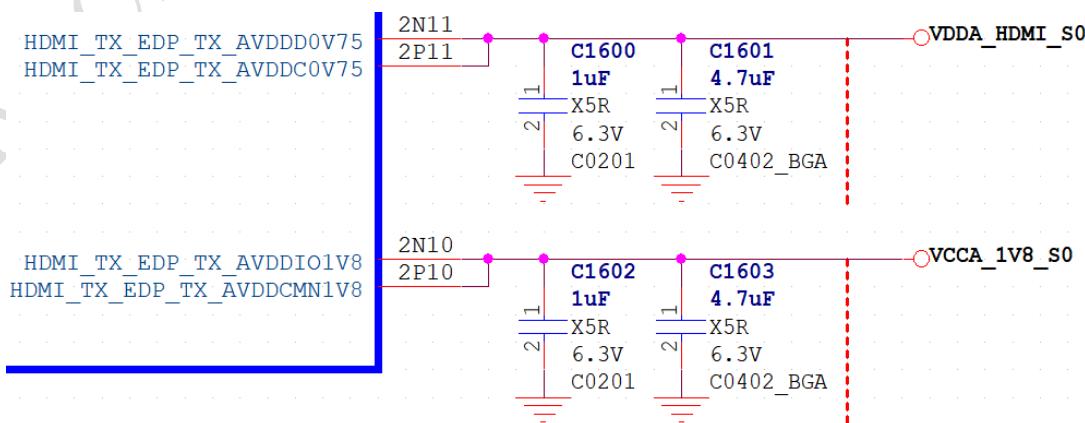


图 2-46 RK3576 HDMI2.1/EDP Combo PHY 电源管脚

- HDMI_TX_EDP_TX_AVDDD0V75: 峰值电流 280mA
- HDMI_TX_EDP_TX_AVDDC0V75: 峰值电流 1mA
- HDMI_TX_EDP_TX_AVDDIO1V8: 峰值电流 160mA
- HDMI_TX_EDP_TX_AVDDCMN1V8: 峰值电流 160mA

电源上建议使用 LDO 供电:

- 0.75V AC requirement: <20mV
- 1.8V AC requirement: <30mV

稳定的电源有助于提高芯片工作稳定性, 且去耦电容应靠近管脚摆放, 具体电容数量和容量参考原理图, 请勿随意调整。

HDMI2.1/eDP1.3 TX 功能如果都不使用, 那么 HDMI_TX_EDP_TX_AVDDD0V75、HDMI_TX_EDP_TX_AVDDC0V75、HDMI_TX_EDP_TX_AVDDIO1V8、HDMI_TX_EDP_TX_AVDDCMN1V8 可以不供电, 接地或者悬空都可以。

2.2.2.18 SARADC/OTP 电源

RK3576 有 1 个 SARADC, 有 8 路输入; RK3576 有 1 个 OTP。

SARADC_AVDD1V8 是给 SARADC、TSADC 以及 OTP 供电, 请勿删减 RK3576 芯片参考设计原理图中的去耦电容。

- SARADC_AVDD1V8: 峰值电流: 30mA

电源上建议使用 LDO 供电:

- 1.8V AC requirement: <50mV

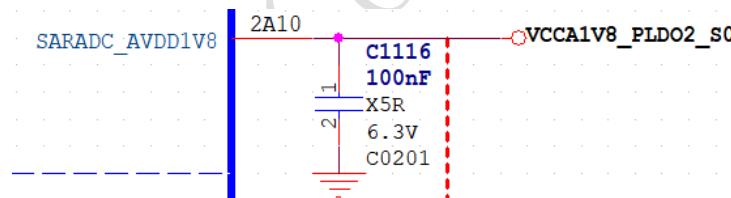


图 2-47 RK3576 SARADC 电源管脚

OTP_DVDD0V75 是给 OTP 供电, 请勿删减 RK3576 芯片参考设计原理图中的电容。

- OTP_DVDD0V75: 峰值电流为 1mA

电源上可以使用 LDO 或 DC/DC 为 OTP 供电。

稳定的电源有助于提高芯片工作稳定性, 且去耦电容应靠近管脚摆放, 具体电容数量和容量参考原理图, 请勿随意调整。

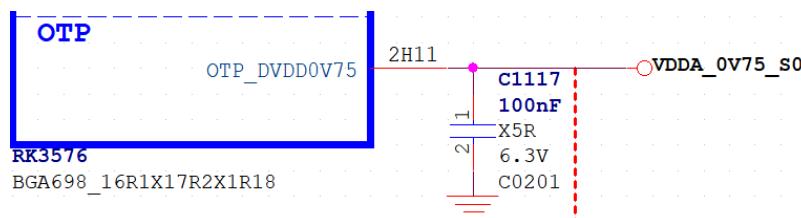


图 2-48 RK3576 SARADC 电源管脚

2.2.3 RK806S-5 方案介绍

2.2.3.1 RK806S-5 典型应用图

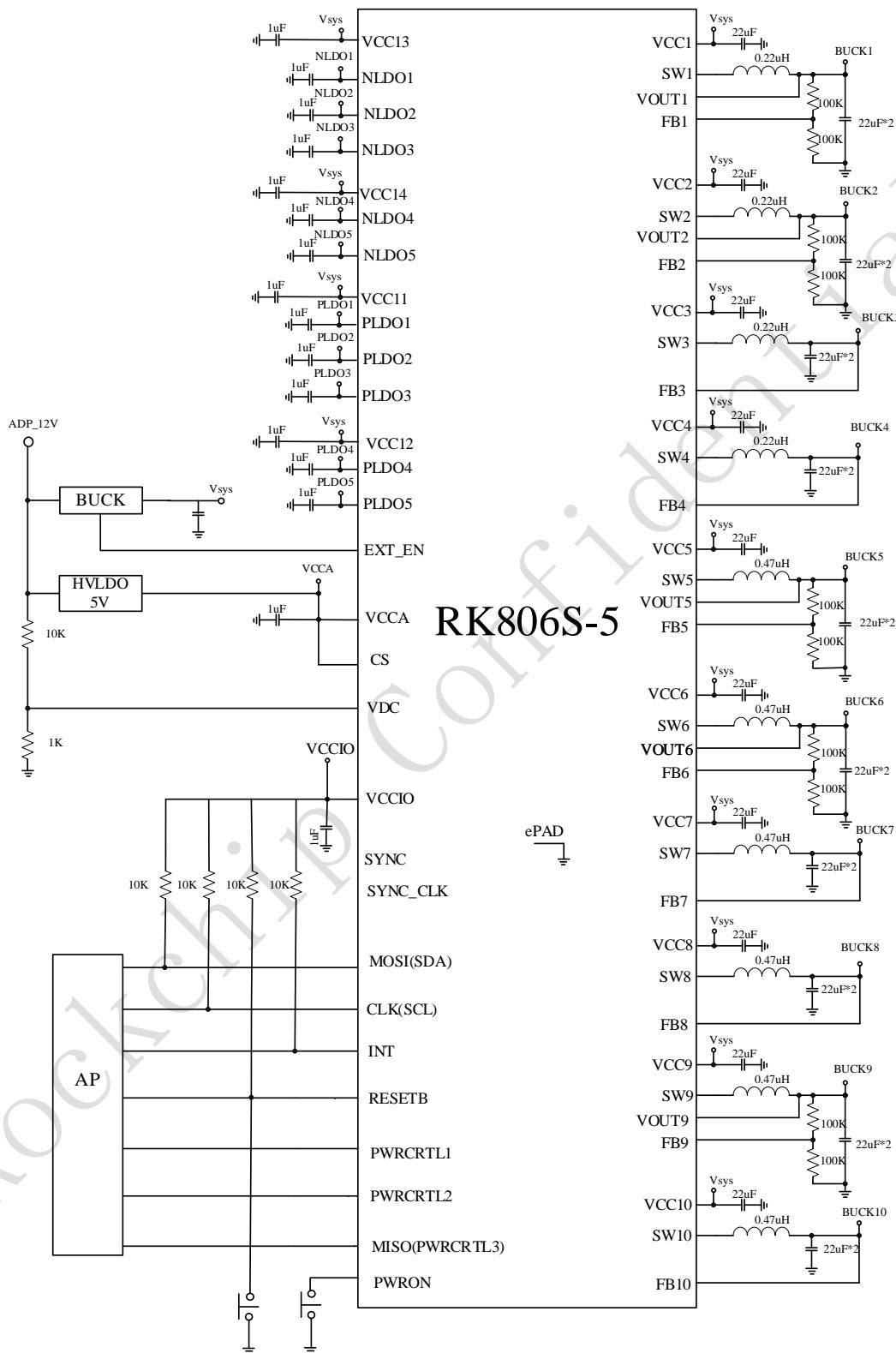


图 2-49 RK806S-5 典型应用图

2.2.3.2 RK806S-5 特征

- 输入范围: 2.7V-5.5V;
- 极低待机电流: 10uA;
- 支持 I2C 或 SPI 两种通信协议;
- 纹波控制架构提供优异的瞬态响应;
- 可通过 I2C 或 SPI 编程的输出电平;
- 可选择的电源启动时序控制;
- 电源通道:
 - BUCK1: 0.5V-3.4V 输出, 6.5A max;
 - BUCK2/3/4: 0.5V-3.4V 输出, 5A max;
 - BUCK5/6/7/8/9/10: 0.5V-3.4V 输出, 3A max;
 - NLDO1/2/5: 0.5V-3.4V 输出, 300mA max;
 - NLDO3/4: 0.5V-3.4V 输出, 500mA max;
 - PLDO1/4: 0.5V-3.4V 输出, 500mA max;
 - PLDO2/3/5/6: 0.5V-3.4V 输出, 300mA max。
- 外部 BUCK 使能控制;
- 封装: 7mm x 7mm QFN68。

2.2.3.3 RK806S-5 注意事项

- 在 RK3576 的应用中, RK806S-5 默认采用 I2C 工作模式, 上电时 CS 脚需要接到 VCCA, 下面给出 I2C 接法的工作模式示意图。

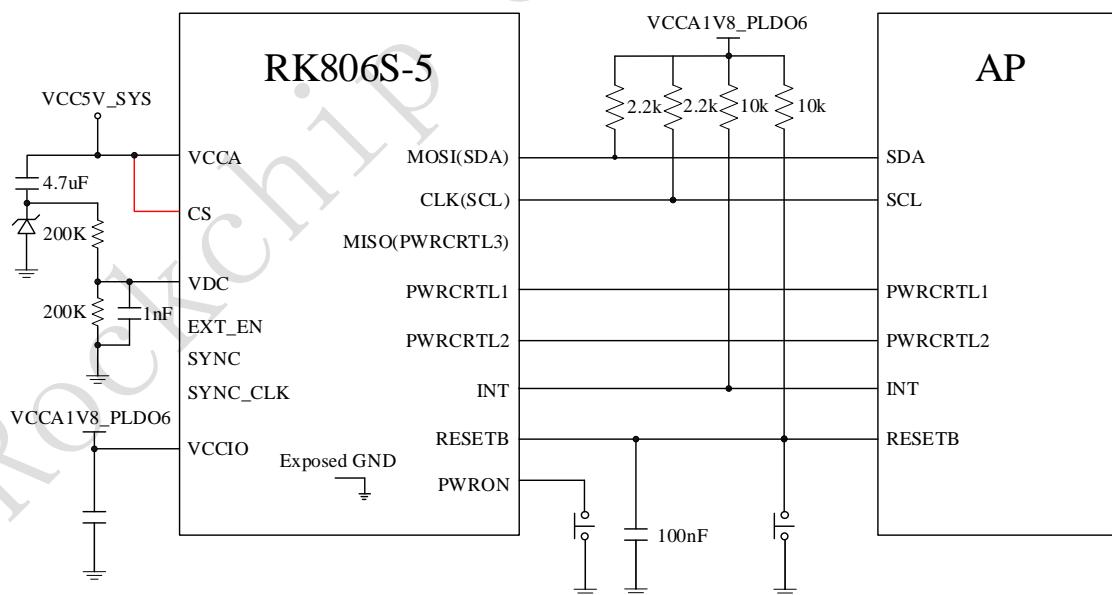


图 2-50 RK806S-5 I2C 模式典型应用图

- RK806S-5 的 VCCA (Pin21) : 是 RK806S-5 芯片内部数字逻辑、部分模拟控制的供电引脚, 该脚设计时要求供电电压必须是 RK806S-5 所有供电脚中的最高电压或是大于 $V_{max}-0.3V$, 所以 VCCA 必须最先上电, 或和其它电源一起上电, 不允许出现 VCCA 没电而其它电源先供电的情况。

- RK806S-5 的 RESETB(Pin40)：是给主控的复位信号输出，同时在复位拉高后还做为外部复位信号输入。因为有输入功能所以应用时需要有 100nF 电容，提高抗干扰能力。但线上总容量不能超过 0.3uF。
- RK806S-5 的 PLDO6 是给 CS|MOSI(SDA)|CLK(SCL)|MISO(SLEEP3)|SLEEP2|SLEEP1 这些 IO 的 VCCIO 供电的，主控与这些 IO 相连的 GPIO 电源域最好也用该电源供电，达到电平匹配及上下电同步等目的。
- RK806S-5 的 Pin32 (VDC)：是用来外接电源自动开机的，VDC 脚的识别高电平为 0.8V，推荐大于 1V 小于等于 VCCA 电压。当供电满足后(VCCA\VCC1\VCC2 大于 3.0V)如果 VDC 检测到高电平，RK806S-5 就会开机，且当 VDC 为高期间 RK806S-5 不能被关机（如果要做插适配器自动开机且能硬件关机的功能，需要给 VDC 脚做 RC 延时如下图）。

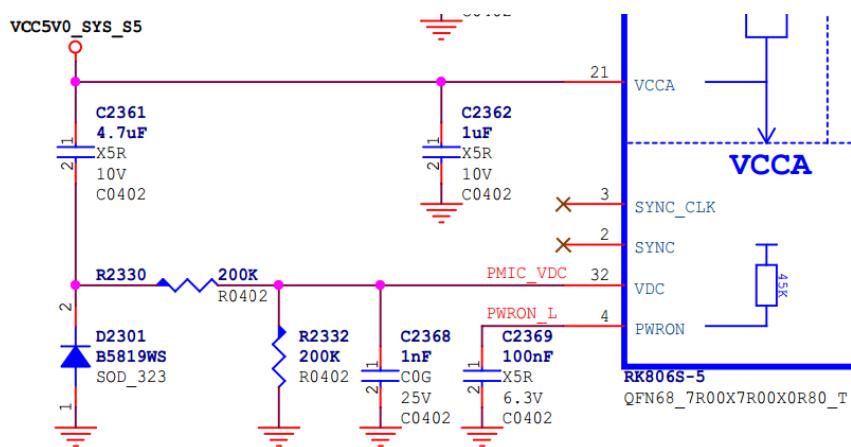


图 2-51 RK806S-5 VDC 管脚

- RK806S-5 的 Pin4 (PWRON)：接开机按键，该脚内部有一个 45Kohm 电阻上拉到 VCCA 上，关机情况下拉低该引脚 20ms 如果电压满足开机条件就会开机（注：RK806S-5 默认 20ms），如果开机状态下拉低 PWRON 会出短按\长按等中断给主控，如果拉低时间超过 6S 会强制关机 (6S\8S\10S\12S 软件可选)。
- RK806S-5 有三个 PWRCTRL 脚，分别是 PIN16\61\62(PWRCTRL3\2\1)，除 PWRCTR3 复用 MISO 外其余功能相同。这些引脚可以控制 RK806S-5 进出 SLEEP 模式，也可以通过配置相应的寄存器用来控制 BUCK 或 LDO 进行快速调压或开关输出。
- RK806S-5 BUCK 的 VOUT 脚：VOUT 既是 COT 架构 BUCK 的纹波检测输入，也是反馈电压输入脚，一般直接连到输出电容的正端（VOUT 线要尽量避免被其它信号干扰）。
- RK806S-5 BUCK 的 FB 脚：BUCK1\2\5\6\9 比其它 BUCK 多一个 FB 脚，带 FB 脚的 BUCK 根据时序可以选择电压反馈脚为 VOUT 脚或者 FB 脚。FB 参考电压为 0.5V，选用 FB 脚时分压电阻选择建议在 10K ohm 到 1M ohm 之间计算公式为 $V_{out} = (R1/R2+1) * 0.5V$ 。

注：FB 默认是否启用是由上电时序 (OTP) 设的，一般只有默认电压需要改变的电源（如 DDRPHY_DVDD）才会用 FB 来调默认电压。

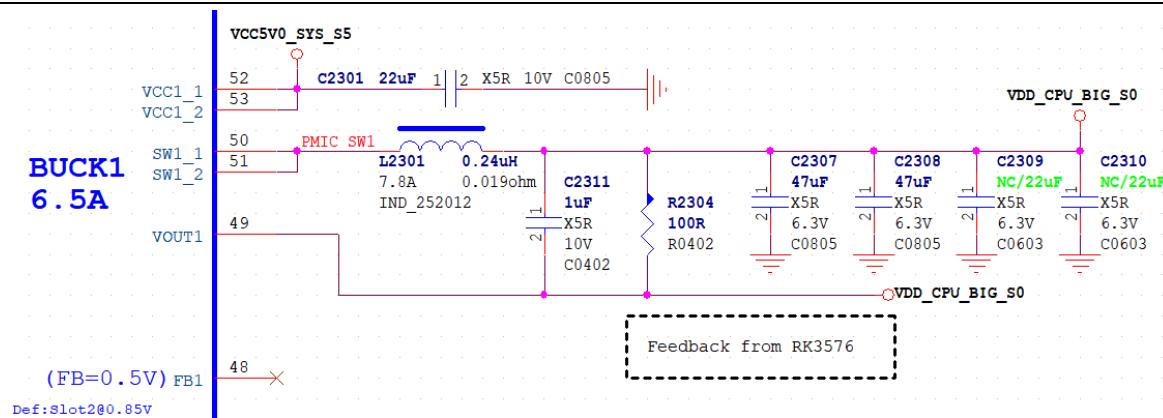


图 2-52 RK806S-5 BUCK1

- RK806S-5 的 BUCK1: 最大输出满载电流为 6.5A, 输入电容 22uF, 输出电容 66uF, 开关频率 2MHz (典型), 电感感量为 0.24uH。输入输出电容耐压建议选择工作电压的两倍, 取电感电流纹波为满载电流的 30% 左右 (饱和电流 7.8A 以上), DCR 小于 15m ohm (为了达到更好的转换效率, 建议选择 DCR 10m ohm 左右)。
- RK806S-5 的 BUCK2\3\4: 最大输出满载电流为 5A, 输入电容 22uF, 输出电容 66uF, 开关频率 2MHz (典型), 电感感量为 0.24uH。输入输出电容耐压建议选择工作电压的两倍, 取电感电流纹波为满载电流的 30% 左右 (饱和电流 6.5A 以上), DCR 小于 20m ohm (为了达到更好的转换效率, 建议选择 DCR 15m ohm 左右)。
- RK806S-5 的 BUCK5\6\7\8\9\10: 最大输出满载电流为 3A, 输入电容 10uF, 输出电容 44uF, 开关频率 2MHz(典型), 电感感量为 0.47uH。输入输出电容耐压建议选择工作电压的两倍, 取电感电流纹波为满载电流的 30% 左右 (饱和电流 4A 以上), DCR 小于 40m ohm (为了达到更好的转换效率, 建议选择 DCR 20m ohm 左右)。
- RK806S-5 的 PLDO: RK806S-5 除 PLDO6 外(VCCIO)还提供了 3 个带载能力为 300mA 和 2 个带载能力为 500mA 的 PLDO(PLDO1\PLDO4)。PLDO 各输出电容保证容量为 2.2uF 以上, 其中 VCC11 是 PLDO1\2\3 的供电输入脚, VCC12 是 PLDO\4\5 的供电输入脚, 要保证 PLDO 能够正常的起来稳压效率, VCC11 和 VCC12 最低输入电压为其下 LDO 中最高输出电压+0.2V, 且最低输入电压不低于 2.0V。
- RK806S-5 的 NLDO: NLDO 就是调整管采用 N 管的 LDO, 其特点是调整管输入电压可以很低(无 PLDO 最低 2.0V 输入电压要求)只需满足大于输出电压 0.2V 即可, 但是最高输出电压要比 VCCA (Pin21) 电压低 1.5V, NLDO 同样有两个供电脚分别是 VCC13 和 VCC14, 也提供了 3 个带载能力为 300mA 和 2 个带载能力为 500mA(NLDO3\NLDO4)。NLDO 各输出电容保证容量为 2.2uF 以上, 其中 VCC13 是 NLDO1\2\3 的供电输入脚, VCC14 是 NLDO\4\5 的供电输入脚。
- RK806S-5 开机关条件:
 - VDC 开机流程:
 - ◆ VCCA 有电;
 - ◆ VDC 脚高于 0.8V, 推荐值为 1.0V 左右;
 - ◆ EXT_EN 输出高电平;
 - ◆ VCCA\VCC1\VCC2 在 EXT_EN 输出高电平的 100mS 内电压超过 VB_LO_SEL 电压 (RK806S-5 值是 3.0V), 否则不开机;
 - ◆ 启动上电流程, 各 DC/DC, LDO 按时序分别上电;
 - ◆ 开机后, VDC 可以拉低或保持高电平, 不影响开机状态。

- Power Key 开机流程:
 - ◆ VCCA 有电;
 - ◆ PWRON 脚电压从高电平（大于 $VCCA \times 0.7$ ）拉到低电平（小于 $VCCA \times 0.3V$ ），时间超过 20ms(20/500ms OTP 设);
 - ◆ EXT_EN 输出高电平;
 - ◆ VCCA\VCC1\VCC2 在 EXT_EN 输出高电平的 100mS 内电压超过 3.0V，否则不开机;
 - ◆ 启动上电流程，各 DC/DC, LDO 按时序分别上电。
 - 关机方式:
 - ◆ VCC9\VCC1\VCC2 电压低于欠压设定值 VB_UV_SEL 设置的电压;
 - ◆ VCC9\VCC1\VCC2 电压低于欠压警报值 VB_LO_SEL 设置的电压，并且 $VB_LO_ACT=0$;
 - ◆ I2C 或 SPI 命令写 $DEV_OFF=1$;
 - ◆ 超温保护关机（140 /160 度）；
 - ◆ PowerKey 长按超过 6 秒强制关机(6s/8s/10s/12s 可配);
 - ◆ 另一颗 PMIC 拉低 SYNC 和 RESET 脚引发协同关机。
 - RK806S-5 具体设计说明，请参考 RK PMIC 相关设计文档《AN_RK806_V1.0》。

2.2.4 RK3576 与 RK806S-5 的 PMIC 电源方案介绍

2.2.4.1 RK3576+RK806S-5 Power Tree (AIOT REF)

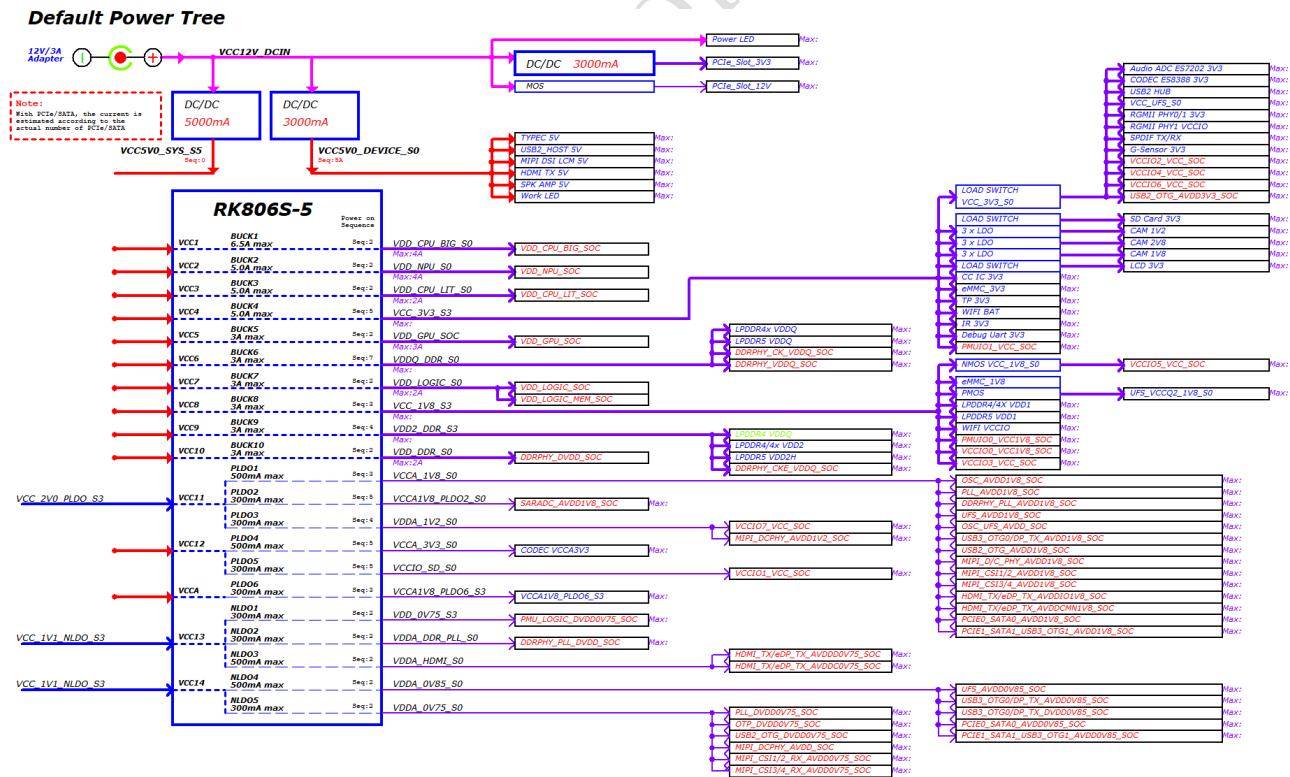


图 2-53 RK3576+RK806S-5 电源架构

2.2.4.2 RK806S-5 上电时序

RK806S-5 里面的上电时序已经固化，不能用 RK806-2 等其它型号代替 RK806S-5。

Power Supply	PMIC Channel	Supply Limit	Power Name	Time Slot	Default Voltage	Default ON/OFF	Work Voltage	Peak Current	Sleep Current
VCC5V0_SYS_S5	RK806_BUCK1	6.5A	VDD_CPU_BIG_S0	Slot:2	0.85V	ON	DVFS	TBD	TBD
VCC5V0_SYS_S5	RK806_BUCK2	5A	VDD_NPU_S0	Slot:2	0.75V	ON	DVFS	TBD	TBD
VCC5V0_SYS_S5	RK806_BUCK3	5A	VDD_CPU_LIT_S0	Slot:2	0.85V	ON	DVFS	TBD	TBD
VCC5V0_SYS_S5	RK806_BUCK4	5A	VCC_3V3_S3	Slot:5	3.3V	ON	3.3V	TBD	TBD
VCC5V0_SYS_S5	RK806_BUCK5	3A	VDD_GPU_S0	Slot:2	ADJ FB=0.5V	ON	DVFS	TBD	TBD
VCC5V0_SYS_S5	RK806_BUCK6	3A	VDDQ_DDR_S0	Slot:7	ADJ FB=0.5V	ON	0.61V-LP4/4x 0.51V-LP5	TBD	TBD
VCC5V0_SYS_S5	RK806_BUCK7	3A	VDD_LOGIC_S0 VDD_LOGIC_MEM_S0	Slot:2	0.75V	ON	0.75V	TBD	TBD
VCC5V0_SYS_S5	RK806_BUCK8	3A	VCC_1V8_S3	Slot:3	1.8V	ON	1.8V	TBD	TBD
VCC5V0_SYS_S5	RK806_BUCK9	3A	VDD2_DDR_S3	Slot:4	ADJ FB=0.5V	ON	1.1V-LP4/4x 1.05V-LP5	TBD	TBD
VCC5V0_SYS_S5	RK806_BUCK10	3A	VDD_DDR_S0	Slot:2	0.85V	ON	0.85V DVFS	TBD	TBD
VCC_2V0_PLDO	RK806_PLDO1	0.5A	VCCA1V8_S0	Slot:3	1.8V	ON	1.8V	TBD	TBD
	RK806_PLDO2	0.3A	VCCA1V8_PLDO2_S0	Slot:5	1.8V	ON	1.8V	TBD	TBD
	RK806_PLDO3	0.3A	VDDA1V2_S0	Slot:4	1.2V	ON	1.2V	TBD	TBD
VCC5V0_SYS_S5	RK806_PLDO4	0.5A	VCCA3V3_S0	Slot:5	3.0V	ON	3.3V	TBD	TBD
	RK806_PLDO5	0.3A	VCCIO_SD_S0	Slot:5	3.3V	ON	3.3V	TBD	TBD
VCC5V0_SYS_S5	RK806_PLDO6	0.3A	VCCA1V8_PLDO6_S3	Slot:3	1.8V	ON	1.8V	TBD	TBD
VCC_1V1_NLDO	RK806_NLDO1	0.3A	VDD_0V75_S3	Slot:2	0.75V	ON	0.75V	TBD	TBD
	RK806_NLDO2	0.3A	VDDA_DDR_PLL_S0	Slot:2	0.85V	ON	0.85V DVFS	TBD	TBD
	RK806_NLDO3	0.5A	VDDA_HDMI_S0	Slot:2	0.75V	ON	0.75V	TBD	TBD
VCC_1V1_NLDO	RK806_NLDO4	0.5A	VDDA0V85_S0	Slot:2	0.85V	ON	0.85V	TBD	TBD
	RK806_NLDO5	0.3A	VDDA0V75_S0	Slot:2	0.75V	ON	0.75V	TBD	TBD
<i>RK806_RESETn</i>									
VCC5V0_SYS_S5	EXT BUCK	2A	VDD2L0V9_DDR_S3	Slot:5A	0.9V	ON	0.9V	TBD	TBD
VCC5V0_SYS_S5	EXT BUCK	2A	VCC_2V0_PLDO_S3	Slot:1	2.1V	ON	2.0V	TBD	TBD
VCC5V0_SYS_S5	EXT BUCK	2A	VCC_1V1_NLDO_S3	Slot:1	1.1V	ON	1.1V	TBD	TBD
VCC12V_DCIN	EXT BUCK	5A	VCC5V0_SYS_S5	Slot:0	5.0V	ON	5.0V	TBD	TBD
VCC12V_DCIN	EXT BUCK	3A	VCC5V0_DEVICE_S0	Slot:5A	5.2V	ON	5.2V	TBD	TBD
VCC_3V3_S3	SWITCH	2A	VCC_3V3_S0	Slot:5A	3.3V	ON	3.3V	TBD	TBD
VCC_1V8_S3	SWITCH	2A	VCC_1V8_S0	Slot:3A	1.8V	ON	1.8V	TBD	TBD

图 2-54 RK3576+RK806S-5 上电时序表

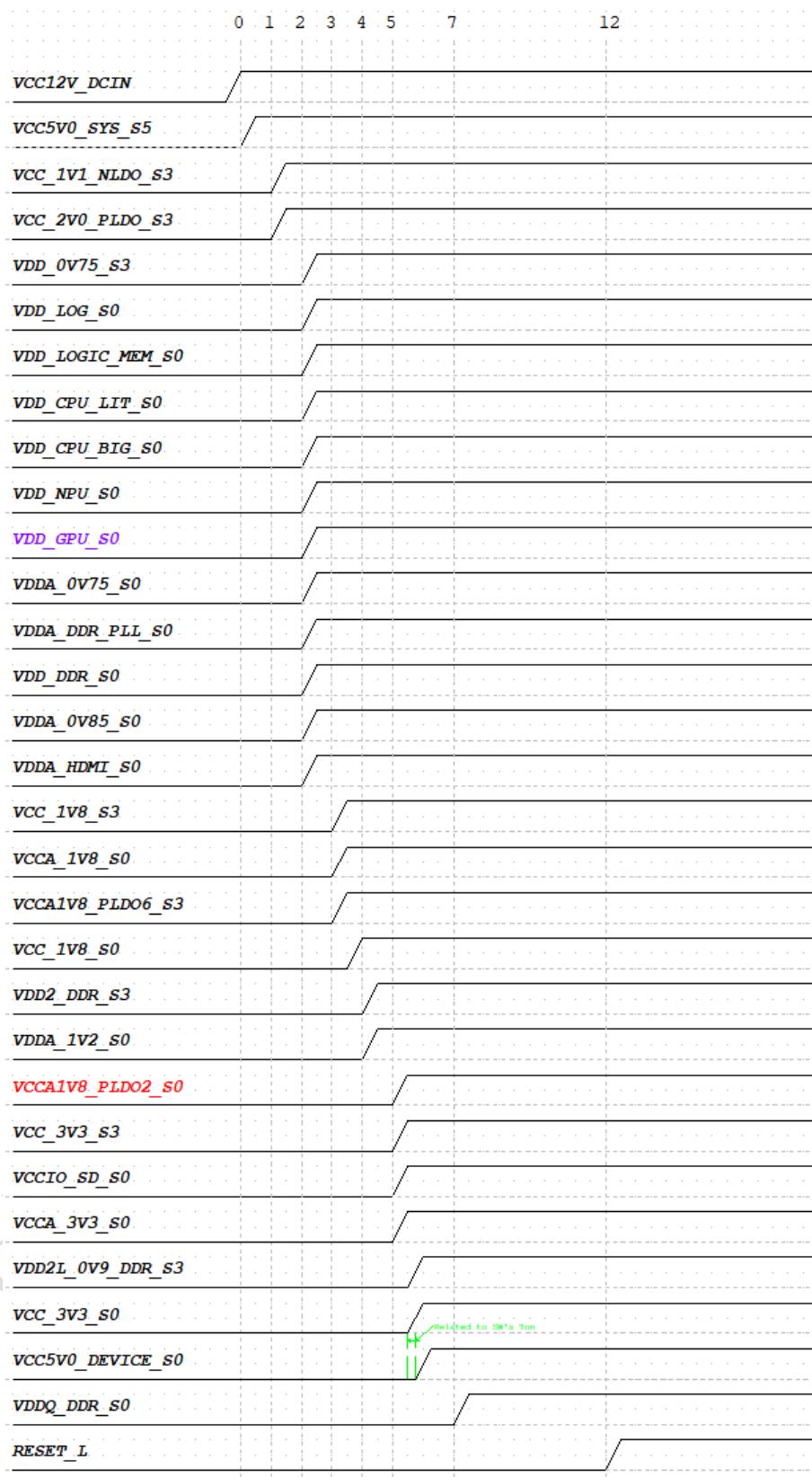


图 2-55 RK3576+RK806S-5 上电时序图

2.2.4.3 核心模块峰值电流表

以下数据为各核心模块工作的峰值电流，供评估电源方案和 PCB Layout 使用，仅供参考。

注意：不能简单的全部加起来算成 SoC 的峰值电流，要评估散热方案，请根据实际场景的工作平均电流进行。

表 2-19 RK3576 峰值电流表

RK3576 核心模块极限电流参考					
核心模块 极限电流	电源网络	电压(V)	峰值电流(A)	峰值功率(W)	备注
	VDD_CPU_BIG	0.950	4.00	3.80	频率 2300MHz
	CPU_LIT_DVDD_S0	0.900	2.00	1.80	频率 2200MHz
	VDD_LOG_S0	0.750	2.00	1.5	
	GPU_DVDD_S0	0.850	3.00	2.55	频率 950MHz
	NPU_DVDD_S0	0.800	4.00	3.20	频率 1000MHz
	DDRPHY_DVDD_S0	0.850	2.00	1.70	频率 2133MHz

2.3 功能接口设计指南

2.3.1 SDMMC

RK3576 集成了 2 个 SDMMC 控制器，均可支持 SDIO3.0 协议，以及 MMC V4.51 协议。

4 线的数据总线宽度；支持 SDR104 模式，速率最高可以达到 200MHz。

2.3.1.1 SDMMC0 接口

- SDMMC0 接口复用在 VCCIO1 电源域；
- SDMMC0 支持 System Boot，默认分配接 SD 卡功能；支持 EMMC/UFS 为空片时，通过 SD 卡来升级固件，同时也支持 EMMC/UFS 启动后，通过 SD 卡对 EMMC/UFS 进行固件升级；
- SDMMC0 与 JTAG 等功能复用在一起，默认通过 SDMMC_DETEN 状态进行功能选择，具体请参考 2.1.6 小节描述；
- VCCIO1 供电电源，需要外部提供 3.3V 或 1.8V 供电；
- 当接 SD 卡时：如果只要支持 SD2.0 模式：可直接供 3.3V 电源；如果要支持 SD3.0 模式兼容 SD2.0 模式：默认供 3.3V 电源，待和 SD 卡协商跑 SD3.0 模式后，供电电压需要切换成 1.8V 供电，RK806S-5 的 PLDO5 单独给 VCCIO1 供电，可实现这个过程；
- 当接 SDIO 设备时：根据外设以及实际运行的模式供 1.8V 或 3.3V；

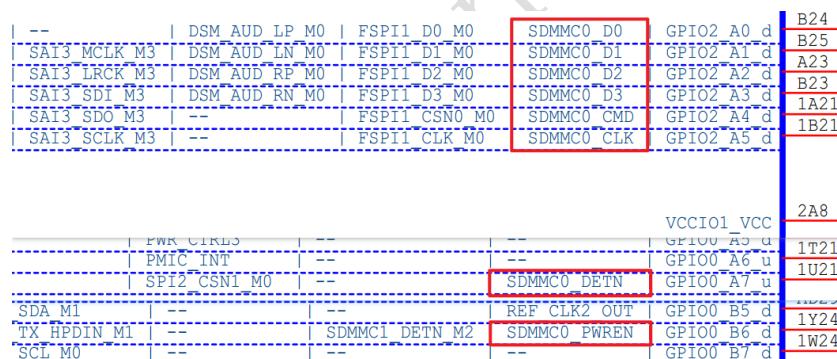


图 2-56 RK3576 SDMMC0 接口管脚

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件；
- 当接 SD 卡使用时，需要注意以下问题：
 - 1) SD 卡的 VDD 脚供电电压为 3.3V，去耦电容不得删减，布局时，要靠近卡座放置；
 - 2) SDMMC_D[3: 0], SDMMC_CMD, SDMMC_CLK 需串接 22ohm 电阻，SDMMC_DETEN 串接 100ohm 电阻；
 - 3) SDMMC_D[3: 0], SDMMC_CMD, SDMMC_CLK, SDMMC_DETEN 信号在 SD 卡位置需要放置 ESD 器件，需要支持 SD3.0 模式，ESD 器件的结电容必须小于 1pF，如只需支持 SD2.0 模式，ESD 器件的结电容可放宽到 9pF；
 - 4) 使用 SDMMC0 的探测 BOOT 档位时，SDMMC0_PWREN 所在的 GPIO0_B6 会输出高电平，因此 SDMMC0_PWREN 直接用于控制 SD 卡供电 Load switch 的使能，不需要通过三极管取反。需要注意，如果 SDMMC0 探测 SDMMC0_PWREN 的拉高过程会影响外设状态，那么需

要注意不要使用这个 IO 来控制敏感的外设，比如当 SARADC_IN0_BOOT 配置为 Config8 档位时，UFS 启动后，还会去探测 SD 卡，SDMMC0_PWRREN 会拉高一下，此时如果硬件上没有 SD 卡时，需要注意不要使用这个 IO 来控制敏感的外设，建议不需要 SD 卡时，SARADC_IN0_BOOT 配置选择 Config7 来代替 Config8；

- 5) SDMMC 接 SD 卡时，需要注意 SD 卡供电的设计，要保证 SD 卡供电电源下电速度够快，避免快速插拔时，下电不完全又重新上电，导致 SD 卡的逻辑混乱；
- 6) 针对低功耗场景，需要考虑有 SD 卡接入时，SDMMC0_DETN 会一直拉低，则此时电流会比较大，针对功耗比较敏感的客户，建议软件把 SoC 的内部 SDMMC0_DETN 引脚的上下拉配置为高阻态，同时将外部上拉电阻改大为 100k。

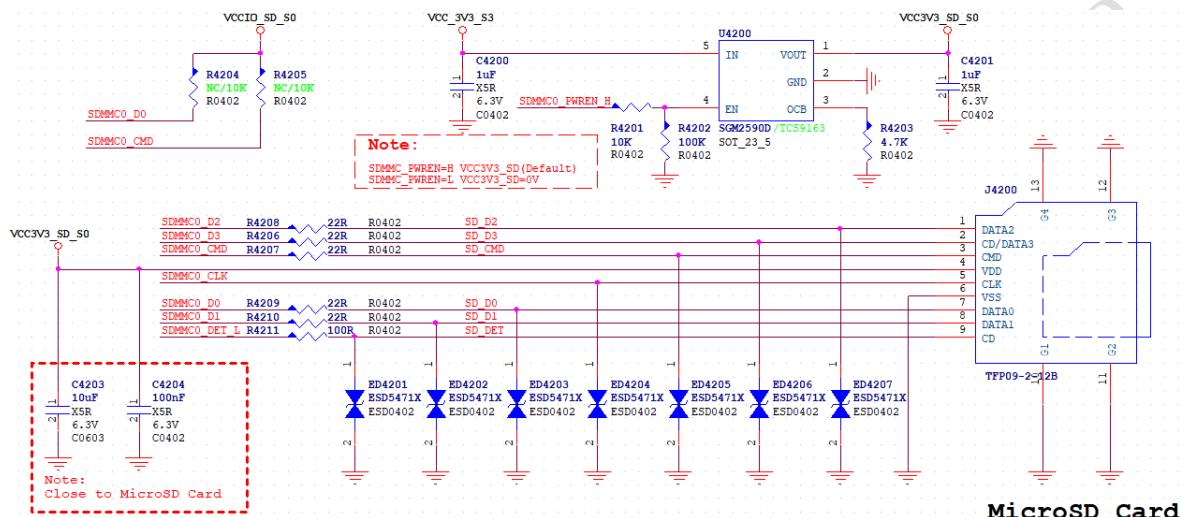


图 2-57 SD Card 接口电路

- 7) SDMMC0 接口上下拉和匹配设计推荐如表：

表 2-20 SDMMC0 接口设计

信号	芯片内部上下拉 配置情况	连接方式	描述（芯片端）
SDMMC0_D[3: 0]	上拉	串联 22ohm 电阻；外部需要预留上拉电阻，预留阻值推荐 10K ohm	SD 数据发送/接收
SDMMC0_CLK	/	串联 22ohm 电阻	SD 时钟发送
SDMMC0_CMD	上拉	串联 22ohm 电阻；外部需要预留上拉电阻，预留阻值推荐 10K ohm	SD 命令发送/接收
SDMMC0_DETN	上拉	串联 100ohm 电阻 使用对应 IO 内部上拉电阻	SD 卡插入检测

2.3.1.2 SDMMC1 接口

- SDMMC1 接口复用两个位置，一个在 VCCIO3 电源域，一个在 VCCIO4 电源域，只能使用其中一个，要么全部用 VCCIO3 电源域，要么全部用 VCCIO4 电源域，不支持有些使用 VCCIO3 电源域，有些使用 VCCIO4 电源域；
- 不支持 System Boot；
- VCCIO3、VCCIO4 供电电源为 1.8V or 3.3V，根据外设需要选择对应的电压，需要注意和外设的

IO 电压保持一致。

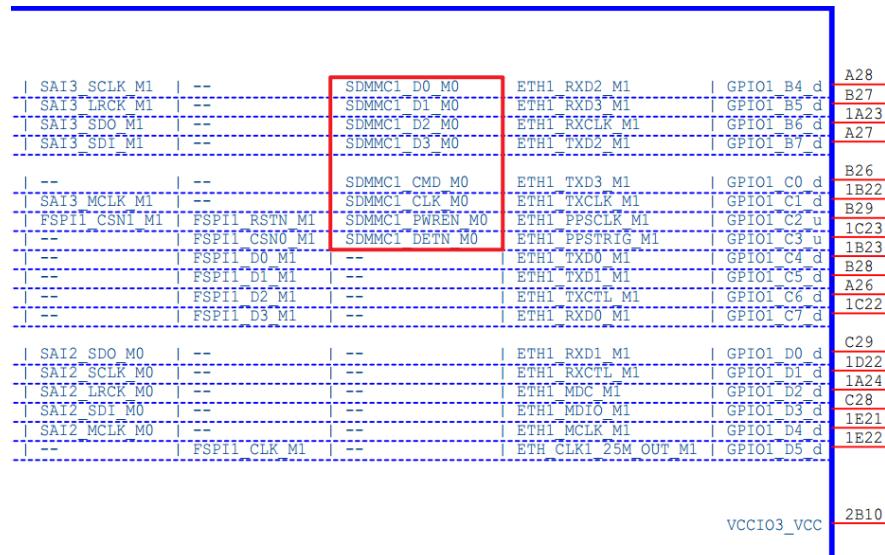


图 2-58 RK3576 SDMMC1 接口 M0 功能管脚

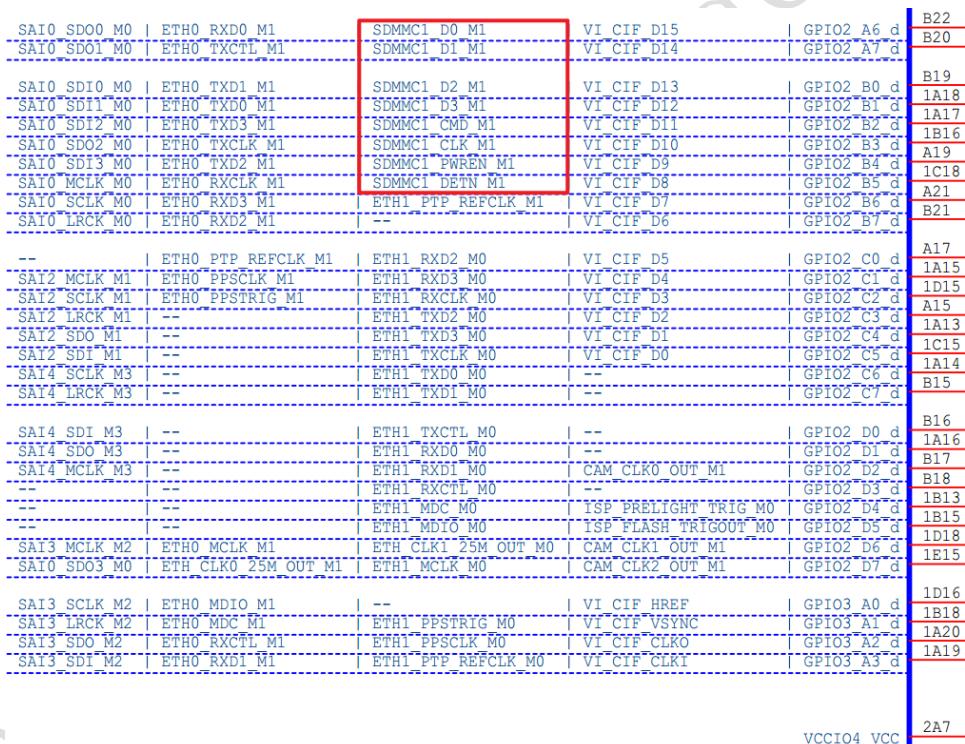


图 2-59 RK3576 SDMMC1 接口 M1 功能管脚

- SDMMC1 接口上下拉和匹配设计推荐如表:

表 2-21 SDMMC1 接口设计

信号	芯片内部上下拉配置情况	连接方式	描述 (芯片端)
SDMMC1_D[3: 0]	上拉	串联 22ohm 电阻, 走线较短时可删除 使用对应外部上拉电阻	SD 数据发送/接收
SDMMC1_CLK	/	串联 22ohm 电阻	SD 时钟发送

信号	芯片内部上下拉配置情况	连接方式	描述（芯片端）
SDMMC1_CMD	上拉	串联 22ohm 电阻，走线较短时可删除 使用对应 IO 内部上拉电阻	SD 命令发送/接收

当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

- SDMMC 接 Wi-Fi 时注意点：

- 1) 请确保模组的 IO 电平与 CPU 的 IO 电平保持一致，否则需要做电平匹配处理；
- 2) 晶体负载电容请根据实际使用的晶体的 CL 电容值选择，并控制常温下的频率容限在 10ppm 以内；
- 3) 天线预留 π 型电路用于天线匹配调节；
- 4) 确认 PCM 与 UART 接口的连接方向，如 IN 和 OUT、TXD 和 RXD；
- 5) 如果需要使用 32.768k 时钟输入的模组，RTC 芯片输出需要上拉电阻且上拉电压或分压需要满足 Wi-Fi 模组的参数。

2.3.2 SARADC 电路

RK3576 集成了一个分辨率为 12bit 的 SARADC 控制器，速度达到 1MS/s，输入电压范围为 0-1.8V，可提供 8 路 SARADC 输入。

SARADC_IN0_BOOT 专用于 SYSTEM BOOT 启动顺序的设置，不能用于其它功能，通过上下拉电阻分压采样得到的值，用来判断从哪个接口进行 BOOT，设置如下表：（Rup/Rdown 代表上、下拉电阻）

表 2-22 RK3576 SARADC_IN0_BOOT 配置表

Item	Rup(Kohm)	Rdown(Kohm)	ADC	BOOT MODE
Config 1	NC	10	0	USB(Maskrom mode)
Config 2	10	1.13	416	FSPI0->USB
Config 3	10	2.49	816	FSPI1_M0->EMMC->USB
Config 4	10	4.3	1231	FSPI1_M1->EMMC->USB
Config 5	10	6.8	1658	FSPI0->UFS->USB
Config 6	10	10	2048	FSPI1_M0->UFS->USB
Config 7	10	14.7	2437	UFS->USB
Config 8	10	23.2	2862	UFS->SDMMC0->USB
Config 9	10	40.2	3279	RFU
Config 10	10	88.7	3680	EMMC->SDMMC0->USB
Config 11	10	NC	4095	EMMC->USB

若 Rup=DNP，Rdown=10K；RK3576 设备连接好 USB 线，此时上电，系统可以直接进入 Maskrom。

SARADC_IN1 当做按键的键值输入采样，并复用为 Recovery 模式按键（不可修改）。

SARADC_IN1 通过 10Kohm 1% 上拉电阻上拉到 VCCA_1V8_S0，默认为高电平（1.8V），在没有按键动作且系统已经烧录固件的前提下，上电直接进入系统；若系统启动时 Recovery 模式按键处于按下状态，即将 SARADC_IN1 保持为低电平（0V），则 RK3576 进入 Loader 烧写模式，当 PC 识别到 USB 设备时，松开按键使 SARADC_IN1 恢复为高电平（1.8V），即可进行固件烧写。因此，在产品未有按键情况下，

SARADC_IN1 悬空时，会不定态，可能会影响开机，所以 SARADC_IN1 的 10Kohm 1% 上拉电阻必须保留，不可删减，保证默认的正常启动判断；为了方便开发，SARADC_IN1 建议预留按键或预留测试点。

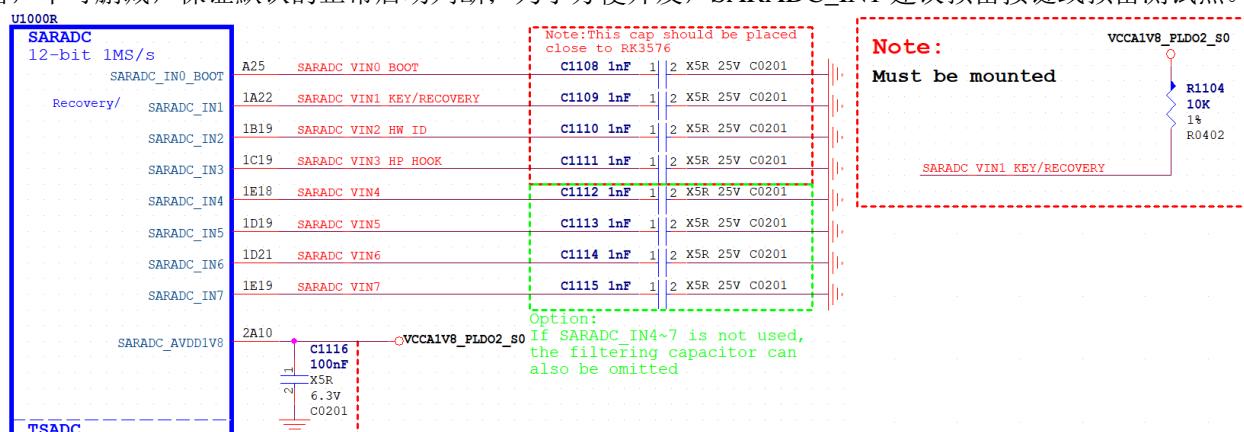


图 2-60 SARADC 接口

RK3576 上，按键阵列采用并联型，可以通过增减按键并调整分压电阻比例来调整输入键值，实现多键输入以满足客户产品需求；设计中建议任意两个按键键值之差必须大于 300，即中心电压差必须大于 132mV。

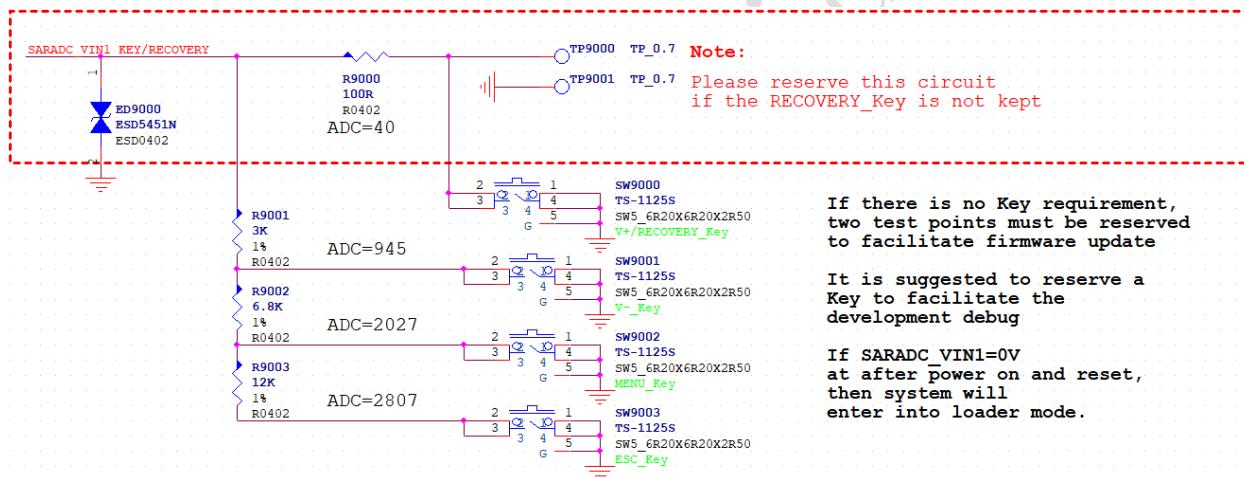


图 2-61 RK3576 SARADC 按键矩阵电路

RK3576 SARADC 设计注意点：

- SARADC_AVDD_1V8 电源的去耦电容不得删减，布局时，要靠近 RK3576 管脚放置；
- SARADC_IN[7: 0]有使用，靠近管脚必须增加 1nF 电容消抖，请勿删除，否则会引起采样出错；
- 用于按键采集时，靠近按键需做 ESD 防护，而且 0 键值的必须串接 100ohm 电阻加强抗静电浪涌能力（如果只有一个键时，ESD 必须靠近按键，先经过 ESD→100ohm 电阻→1nF→芯片管脚）。

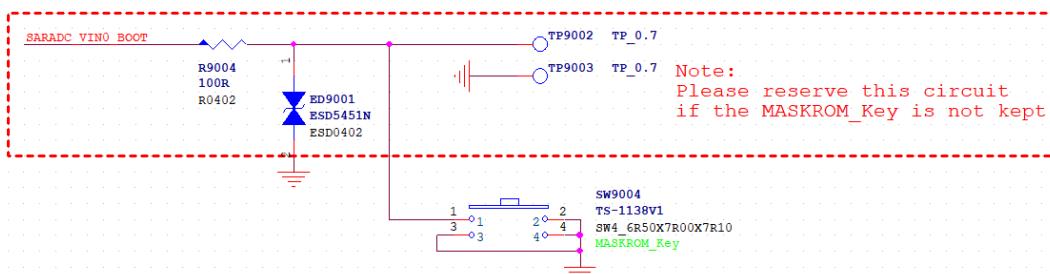


图 2-62 RK3576 SARADC 单按键电路

2.3.3 OTP 电路

RK3576 内部有 32Kbit 空间和高位 4Kbit 的地址非安全空间用于编程。支持编写，读取以及空闲模式，这几个模式 OTP_VDDOTP_0V75 管脚都必须供电。

OTP_VDDOTP_0V75 电源的去耦电容不得删减，布局时，要靠近 RK3576 管脚放置。

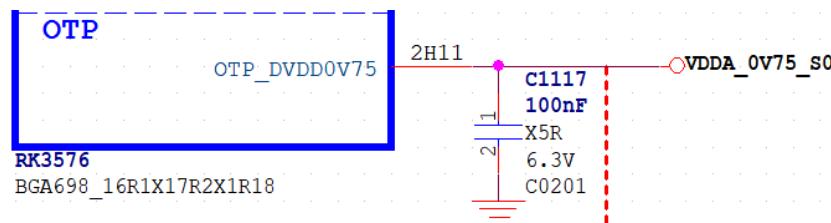


图 2-63 RK3576 OTP 电源管脚

2.3.4 USB2/USB3 电路

RK3576 芯片内置两个 USB3 OTG 控制器，两个 USB3 控制器都内嵌了 USB2.0 OTG。

2.3.4.1 USB3 OTG0/DP1.4 接口应用

USB3.2 Gen1x1 OTG0/DP1.4 组成 Combo PHY，USB3 OTG0 控制器与 PHY 的内部复用图如下：

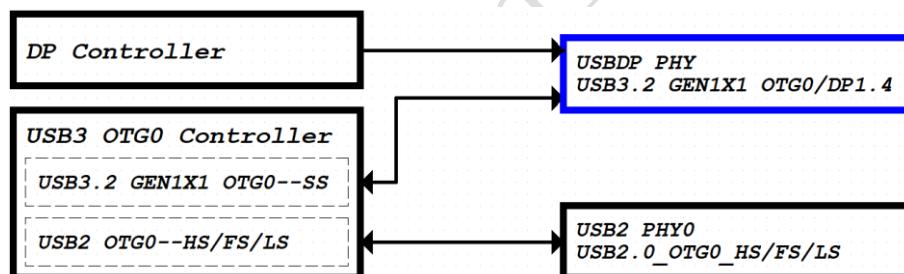


图 2-64 USB3/DP Controller 与 PHY 的内部复用关系

USB3 OTG0 控制器支持 SS/HS/FS/LS，内嵌的 USB2.0 (HS/FS/LS) 信号采用 USB2.0 OTG PHY，信号名见下图的红色方框内；RK3576 默认使用该接口做 Firmware 的 Download，应用中请务必要预留出此接口。



图 2-65 USB2 OTG0 管脚



注意

USB2_OTG0_DP/USB2_OTG0_DM 支持 *Download Firmware*, 如果产品不用这个接口, 在调试与生产过程中必须要预留此接口, 注意: **USB2_OTG0_VBUSDET** 也必须连接!

USB 3.2 的 SS 信号 (5Gbps) 与 DP1.4 复用, 使用 USB/DP 的 Combo PHY; 信号如下图的红色方框内。

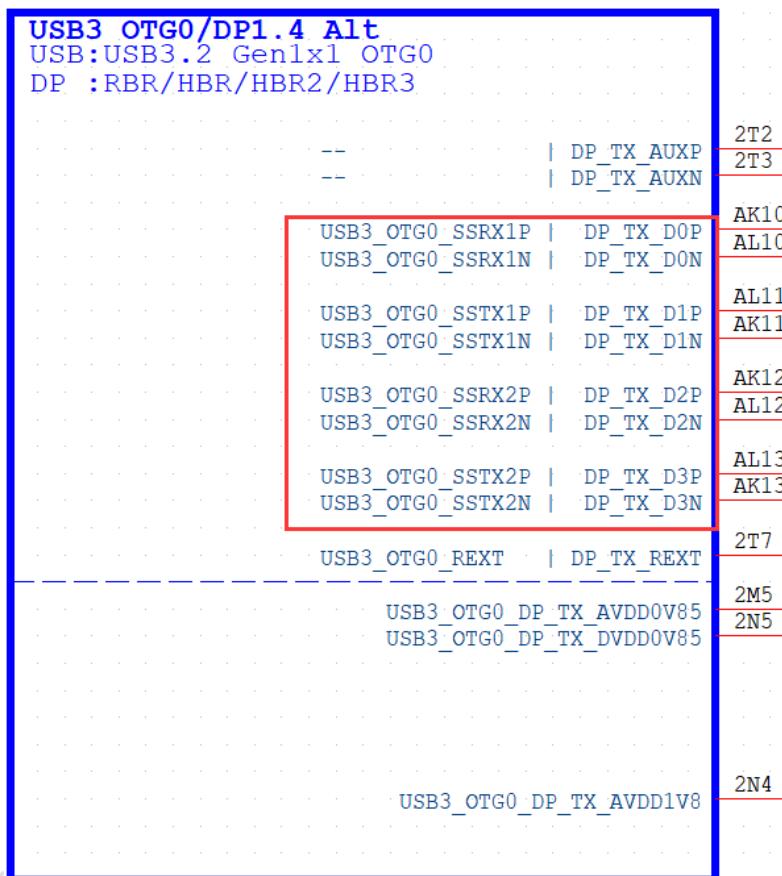


图 2-66 USB3 OTG0 与 DP1.4 管脚

由于 USB3 的 OTG 和 USB2.0 的 OTG 是同一个 USB3 的控制器, 因此 USB3 和 USB2.0 的 OTG 只能同时做 Device 或者做 HOST, 不能 USB3 的 OTG 做 HOST, USB2.0 的 OTG 做 Device 或者 USB3 的 OTG 做 Device 而 USB2.0 的 OTG 做 HOST。

USB3 OTG0 Controller 和 DP1.4 Controller 通过 USB3/DP1.4 的 Combo PHY 组合成一个完整的 TYPEC 口, 此 Combo PHY 支持 Display Alter mode, Lane0 和 Lane2 在 DP mode 下做 TX, 在 USB mode 下做 RX; TX 和 RX 共享 Lane0 和 Lane2。

这个 USB3/DP1.4 的 Combo PHY 支持 Lane 间的交换 (SWAP), 因此一个 TYPEC 标准口可以有如下五种的配置:

- 配置一: Type-C 4Lane(with DP function)

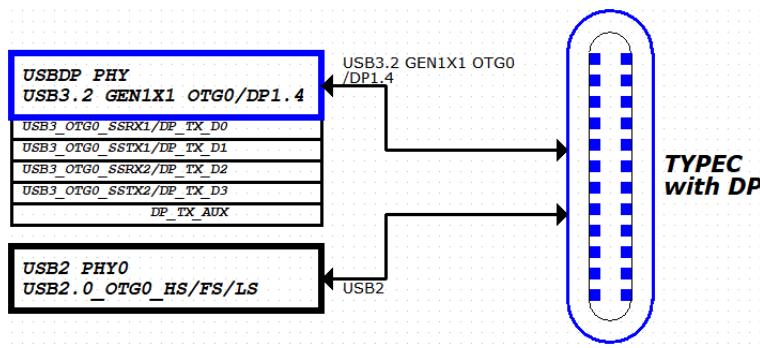


图 2-67 TYPEC 4Lane 与 DP 的连接框图

- 配置二：USB2.0 OTG+DP1.4 4Lane(Swap OFF)

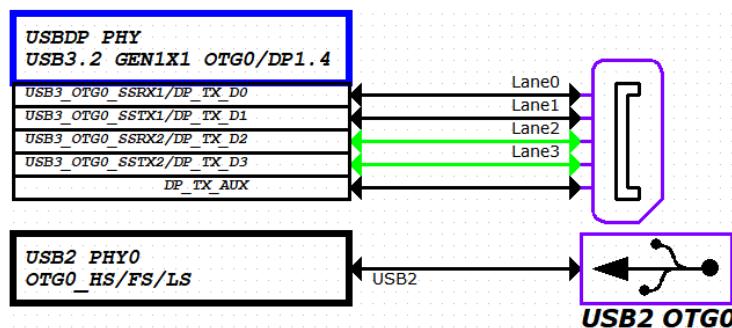


图 2-68 USB2.0 OTG+DP 4Lane 的连接框图

- 配置三：USB2.0 OTG+DP1.4 4Lane(Swap ON)

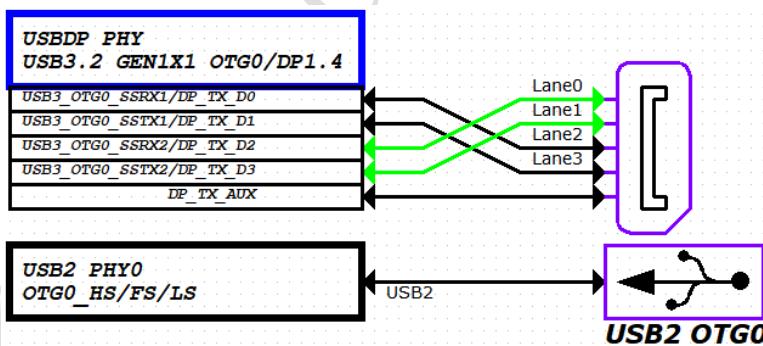


图 2-69 USB2.0 OTG+DP 4Lane(Swap ON)的连接框图

- 配置四：USB3.2 Gen1x1 OTG0+DP1.4 2Lane(Swap OFF)

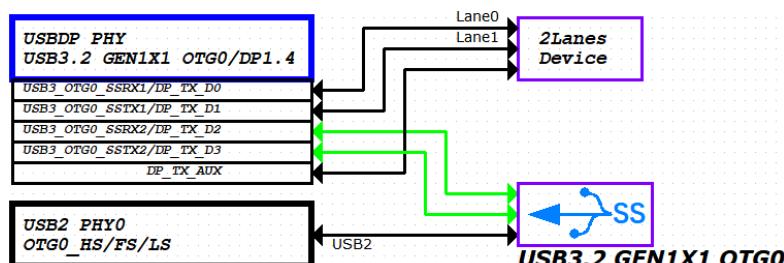


图 2-70 USB3.2 Gen1x1 OTG0+DP 2Lane(Swap OFF)的连接框图

- 配置五：USB3.2 Gen1x1 OTG0+DP1.4 2Lane(Swap ON)

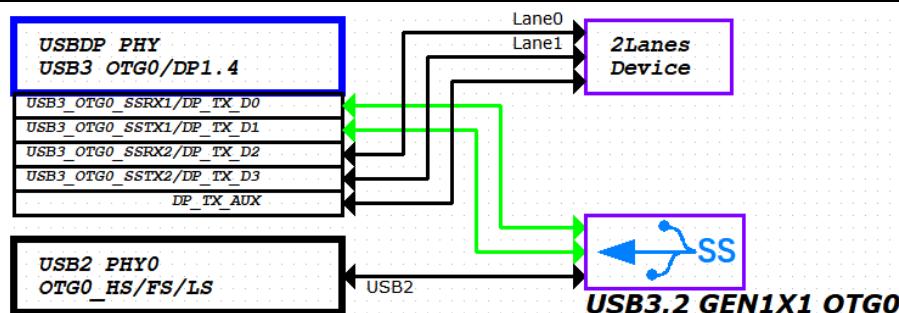


图 2-71 USB3.2 Gen1x1 OTG0+DP 2Lane(Swap ON) 连接框图



注意

RK3576 支持从 USB 3.2 Gen1x1 OTG0 接口的 USB3_OTG0_SS_RXIP/N 与 USB3_OTG0_SS_TXIP/N 信号下载固件。需要支持 USB3.0 升级固件且需要支持 2Lane DP 时，必须采用 USB3.2 Gen1x1 OTG0+DP 2Lane(Swap ON) 的方案。

2.3.4.2 USB3 OTG1 接口应用

PCIE1/SATA1/USB3 OTG1 组成 Comb PHY1，USB3 OTG1 控制器与 PHY 的内部复用图如下：

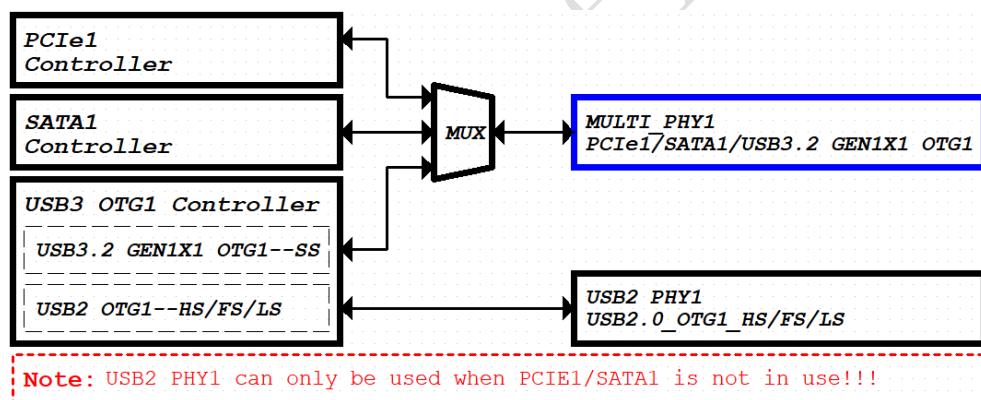


图 2-72 USB3 OTG1 Controller 与 PHY 的内部复用关系

USB3 OTG1 控制器支持 SS/HS/FS/LS，内嵌了 USB2.0 (HS/FS/LS) 信号构成 PCIE1/SATA1/USB3 OTG1 COMBO PHY1；管脚分布如下：

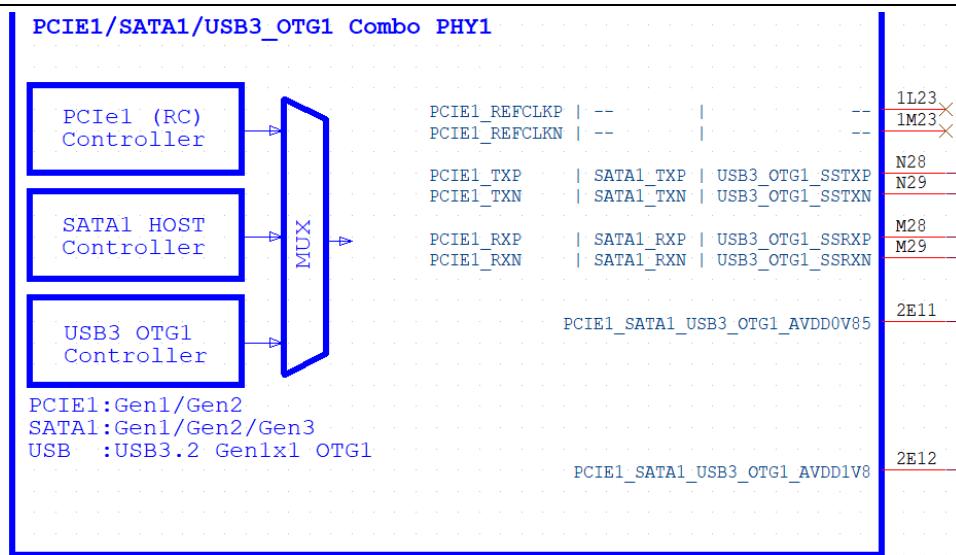


图 2-73 USB3 OTG1 管脚

USB20 OTG1 的管脚分配如下图：

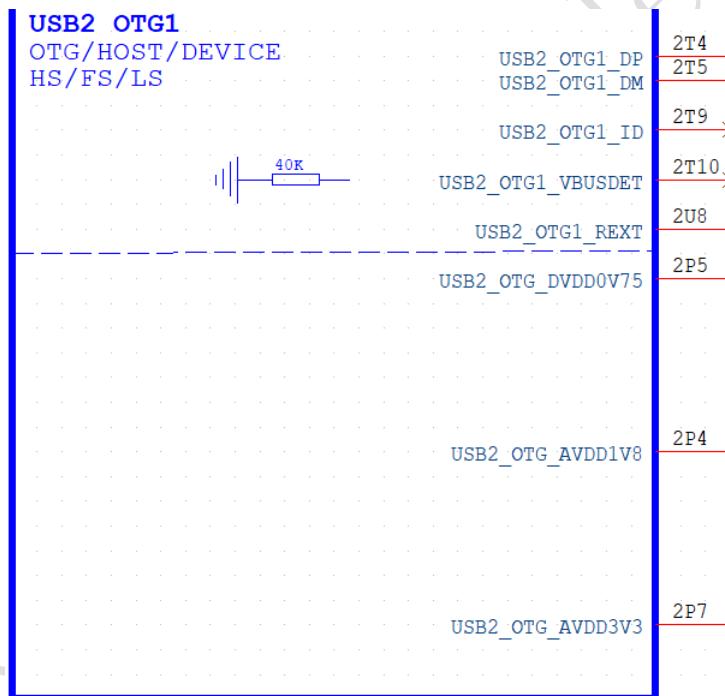


图 2-74 USB2 OTG1 管脚

由于 USB3 的 OTG1 和 USB2.0 的 OTG1 是同一个 USB3 的控制器，因此 USB3 和 USB2.0 的 OTG1 只能同时做 Device 或者做 HOST，不能 USB3 的 OTG 做 HOST，USB2.0 的 OTG 做 Device 或者 USB3 的 OTG 做 Device 而 USB2.0 的 OTG 做 HOST。



注意

PCIE1/SATA1/USB3 OTG1 的 COMBO PHY1 设置成 PCIe 或者 SATA 功能时，USB3 OTG1 功能不能使用，并且 USB2.0 PHY1 也不能使用；因此要使用 USB2.0 OTG1 时，PCIE1/SATA1/USB3 OTG1 的 COMBO PHY1 必须设置成 USB3 功能！！！

PCIE1/SATA1/USB3 OTG1 的 COMBO PHY1 中 USB3 OTG1 的应用方式有如下几种：

- 配置一：USB3.2 Gen1x1 OTG1

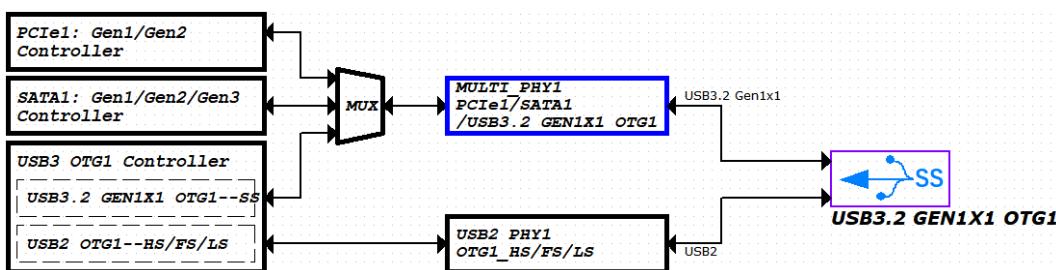


图 2-75 USB3.2 OTG1 的连接框图

- 配置二：USB2 OTG1

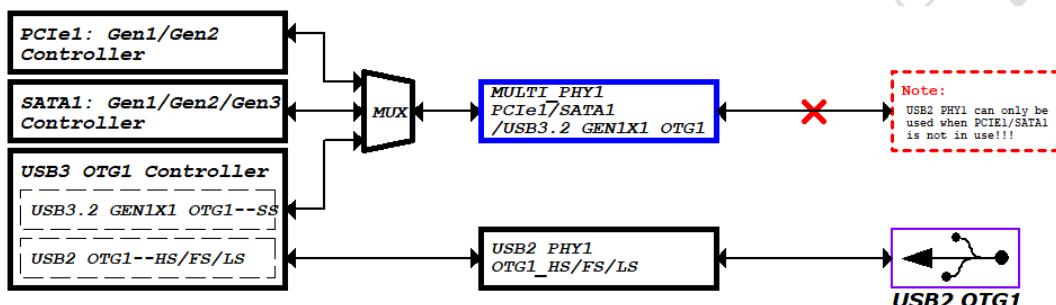


图 2-76 USB2 OTG1 的连接框图

- 配置三：USB2/USB3 不用，PCIE 和 SATA 的具体应用方式详见 PCIE 和 SATA 章节

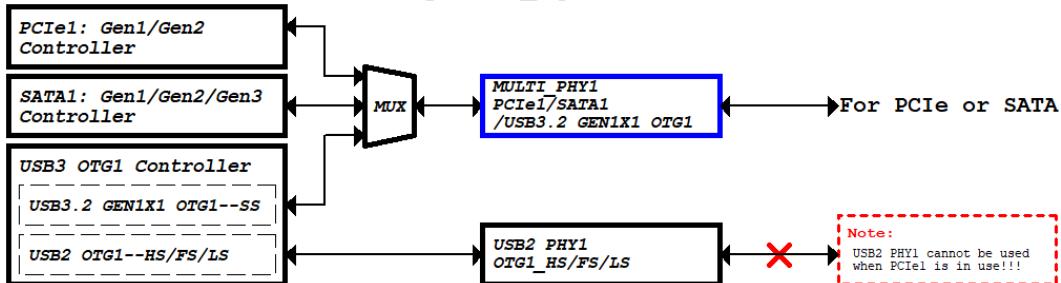


图 2-77 USB2/USB3 不用的连接框图

USB2/USB3 设计中请注意：

- USB2_OTG0_DP/USB2_OTG0_DM 是系统固件烧写口，如果产品不用这个接口，在调试与生产过程中必须要预留此接口，不然会无法调试及生产烧写固件；
- USB2_OTG0_ID 内部有大概 12Kohm 电阻上拉到 USB2_OTG_AVDD1V8；
- USB20_OTG0_VBUSDET 是 OTG 和 Device 模式检测脚，芯片内部有一个下拉 40Kohm 的电阻；高为 DEVICE 设备，2.7-3.3V，TYP: 3.0V，建议在管脚放置一个 100nF 电容。

OTG 模式可以设置以下三种模式：

- OTG 模式：根据 ID 脚状态自动切换是 Device 模式或 HOST 模式，ID 高为 Device，ID 拉低为 HOST，处在 Device 模式时，还会判断 VBUSDET 脚是否为高（大于 2.3V），如果为高，才会拉高 DP，开始枚举；
- Device 模式：设置为这个模式时，无需 ID 脚，只需判断 VBUSDET 脚是否为高（大于 2.3V），

如果为高，才会拉高 DP，开始枚举；

- HOST 模式：设置为这个模式时，ID 和 VBUSDET 状态都无需要关心。（如果产品只需要 HOST 模式，但是由于 USB2_OTG0_DP/USB2_OTG0_DM 是系统固件烧写口，在调试与生产过程中都需要用这个口，烧写和 adb 调试时，需要设置成 Device 模式，因此 USB2_OTG0_VBUSDET 信号也必须接）。

在 uboot 起来前默认为 Device 模式，进 uboot 后，可根据实际需求配置这三种模式。

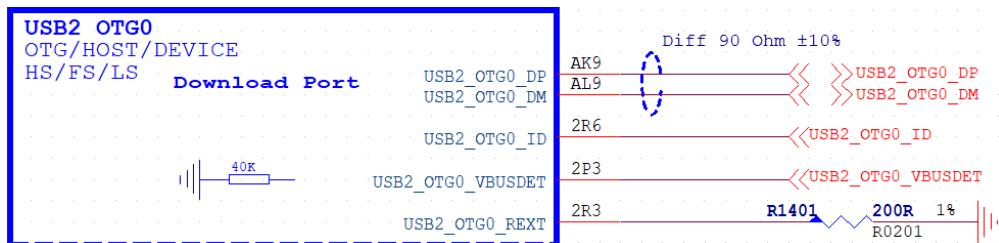


图 2-78 RK3576 USB2_OTG0 电路

若采用 TYPEC 接口，Pin “USB2_OTG0_VBUSDET” 通过一个 4.7K 上拉电阻接到 3.3V 即可；若采用 Micro USB2.0 接口，采用如下电路：

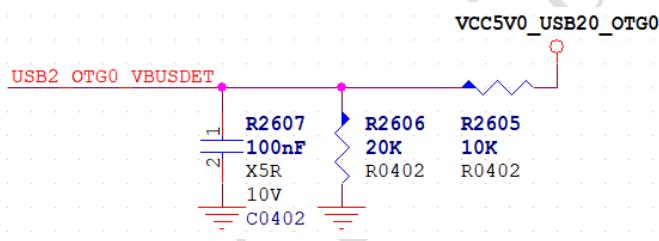


图 2-79 USB2_OTG0_VBUSDET 检测电路

- 为提高 USB 性能，PHY 各路电源的去耦电容不得删除，布局时请靠近管脚放置；
- 为加强抗静电和浪涌能力，信号上必须预留 ESD 器件，USB2.0 信号的 ESD 寄生电容不得超过 3pF，另外 USB2.0 信号的 DP/DM 串接 2.2ohm 电阻，加强抗静电浪涌能力，不得删减，见下图，举例 USB2_OTG0_DP/DM，其它 USB2 接口也需要同样处理；

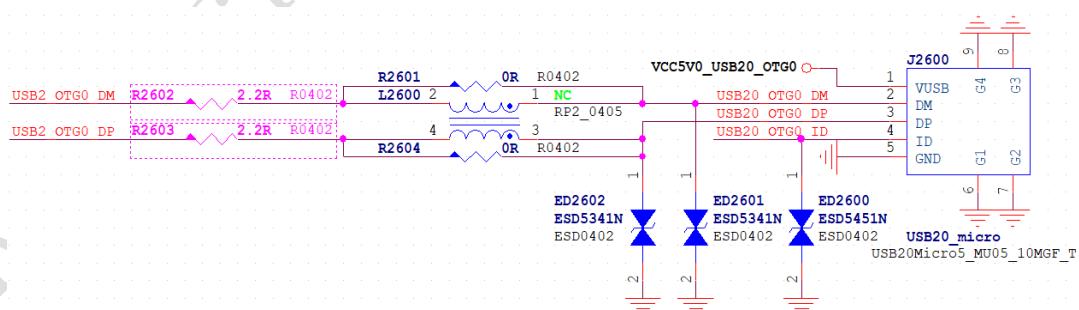


图 2-80 USB2 信号串接 2.2ohm 电阻电路

- 为抑制电磁辐射，可以考虑在信号线上预留共模电感（Common mode choke），在调试过程中根据实际情况选择使用电阻或者共模电感，见下图，举例 USB2_OTG0_DP/DM，其它 USB2 接口也需要同样处理。

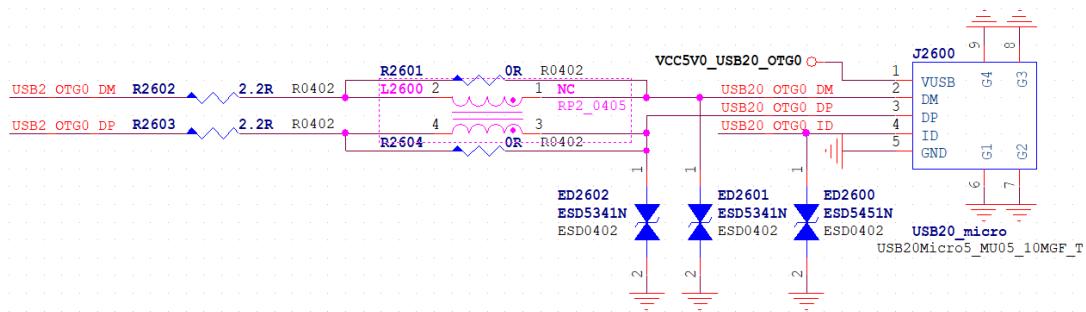


图 2-81 USB2 信号串共模电感电路

如果有用 USB2_OTG0_ID 信号，为加强抗静电和浪涌能力，信号上必须预留 ESD 器件，而且串接 100ohm 电阻，不得删减，见下图：

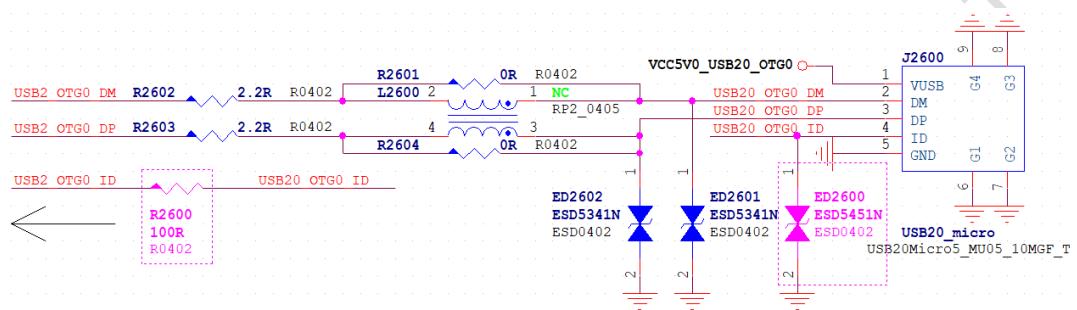


图 2-82 USB2_OTG0_ID 脚电路

当 HOST 功能时，5V 电源建议增加限流开关，限流大小根据应用需要可调整，限流开关使用 3.3V 的 GPIO 控制，建议 5V 电源增加 22uF 和 100nF 以上的电容滤波；若 USB 口可能接移动硬盘，建议滤波增加电容到 100uF 以上。

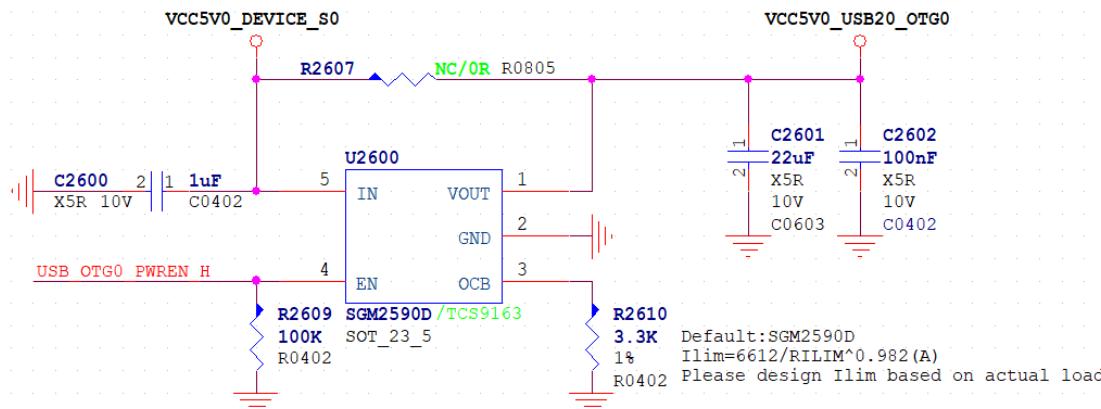


图 2-83 USB 5V 限流开关电路

USB3.0 协议要求在 SSTXP/N 线上增加 100nF 交流耦合电容，AC 耦合电容建议使用 0201 封装，更低的 ESR 和 ESL，也可减少线路上的阻抗变化。

TYPEC 座子所有信号都必须增加 ESD 器件，布局时靠近 USB 连接器放置。对于 SSTXP/N, SSRXP/N 信号，ESD 寄生电容不得超过 0.3pF。

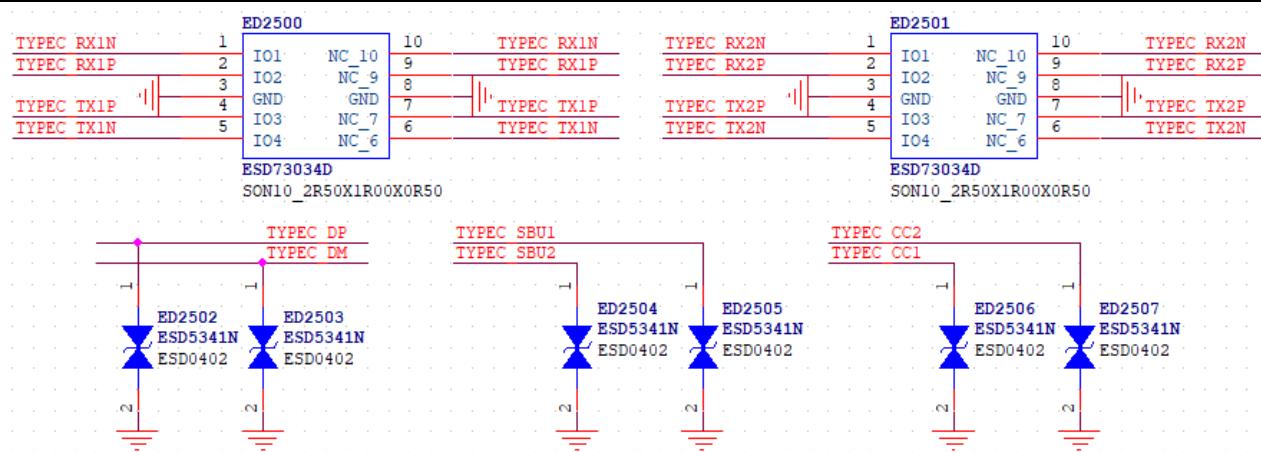


图 2-84 TYPEC 座子的 ESD 电路

USB2/USB3 接口匹配设计推荐如下表所示：

表 2-23 RK3576 USB2/USB3 接口设计

信号	连接方式	说明
USB2_OTG0_DP/DM USB2_OTG1_DP/DM	串接 2.2ohm 电阻	USB HS/FS/LS 模式的数据输入/输出
USB3_OTG0_SSTX1P/SSTX1N USB3_OTG0_SSTX2P/SSTX2N USB3_OTG1_SSTXP/SSTXN	串接 100nF 电容（建议 0201 封装）	USB SS 模式的数据输出
USB3_OTG0_SSRX1P/SSRX1N USB3_OTG0_SSRX2P/SSRX2N USB3_OTG1_SSRXP/SSRXN	串接 0ohm 电阻	USB SS 模式的数据输入
USB2_OTG0_ID USB2_OTG1_ID	串接 100ohm 电阻（外部要上拉，上拉电源需要接到和 USB2_OTG_AVDD1V8 同一个电源上）	USB OTG ID 识别，Micro-USB 接口时需要使用
USB2_OTG0_VBUSDET USB2_OTG1_VBUSDET	电阻分压检测	USB OTG 插入检测

2.3.5 SATA3.1 电路

RK3576 芯片拥有 2 个 SATA3.1 控制器，和 PCIe 以及 USB3_OTG1 控制器复用 Comb PHY0/1，具体路径请见下图。

- 支持 SATA PM 功能，每个 port 可以支持 5 个设备；
- 支持 SATA 1.5Gb/s, SATA 3.0Gb/s, SATA 6.0Gb/s speeds；
- 支持 eSATA。

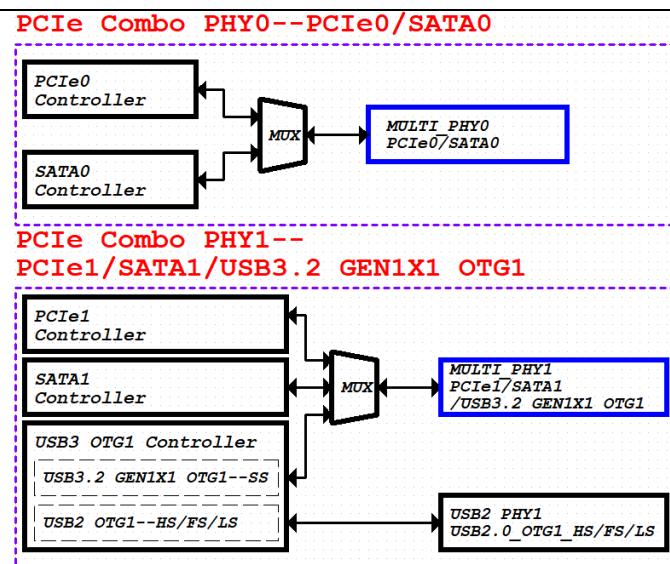
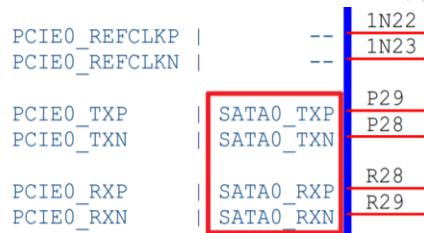
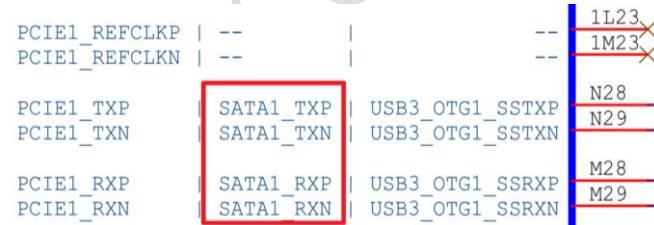


图 2-85 PIPE_PHY0/1 和 SATA3.1 控制器复用关系

SATA0 控制器使用 Comb PHY0（与 PCIe0 Controller 控制器复用）。



SATA1 控制器使用 Comb PHY1（与 PCIe1 Controller 控制器以及 USB3_OTG1 控制器复用）。



SATA0/1 控制器相关控制 IO 有：

- SATA0_ACTLED: SATA0 接口有数据传输时 LED 闪烁控制输出;
- SATA1_ACTLED: SATA1 接口有数据传输时 LED 闪烁控制输出;
- SATA_CPDDET: SATA 热拔插设备的插拔检测输入;
- SATA_MPSWIT: SATA 热拔插设备的开关检测输入;
- SATA_CPPOD: SATA 控制热拔插设备电源开关输出;
- 其中 SATA_CPDDET、SATA_MPSWIT、SATA_CPPOD 是 SATA0/1 共用接口，可通过寄存器配置是 SATA0 还是 SATA1
- 其中 SATA0_ACTLED、SATA1_ACTLED 复用到两个位置，一个在 VCCIO6 电源域，一个在 VCCIO4 电源域。

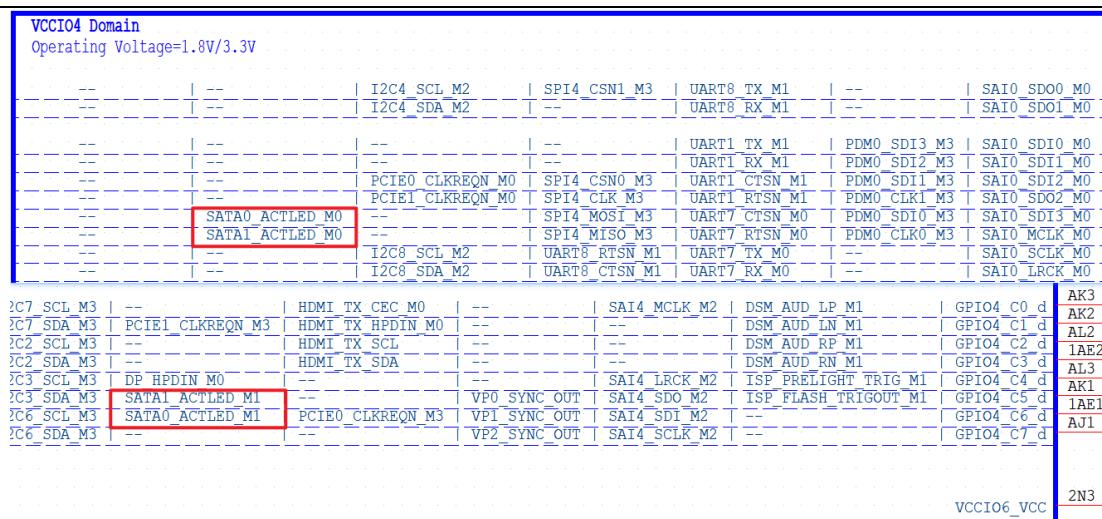


图 2-86 SATA0/1 相关控制 IO 管脚

SATA 设计中请注意：

- Slot 设计时，外围电路及电源需要满足 Spec 要求；
- 一个 SATA 接口外接 SATA PM 时，最多只能支持 5 个 Port，不支持多个 SATA PM 超过 6 个 Port 以上；
- SATA 接口的 TXP/N, RXP/N 差分信号上串接的 10nF 交流耦合电容，AC 耦合电容建议使用 0201 封装，更低的 ESR 和 ESL，也可减少线路上的阻抗变化；
- eSATA 接口座子所有信号都必须增加 ESD 器件，布局时靠近座子放置，ESD 寄生电容不得超过 0.4pF；
- SATA 接口匹配设计推荐如下表所示：

表 2-24 RK3576 SATA 接口设计

信号	连接方式	说明
SATA0_TXP/TXN	串接 10nF 电容（建议 0201 封装）	SATA 数据输出
SATA0_RXP/RXN	串接 10nF 电容（建议 0201 封装）	SATA 数据输入
SATA1_TXP/TXN	串接 10nF 电容（建议 0201 封装）	SATA 数据输出
SATA1_RXP/RXN	串接 10nF 电容（建议 0201 封装）	SATA 数据输入

2.3.6 PCIe2.1 电路

RK3576 拥有 2 个 PCIe2.1 控制器，两个都只支持 RC 模式(RC 是 Root Complex 缩写)，不支持 EP，如下：

- (1) Controller 0(1Lane), PCIe0 Controller x1 Lane(Only RC)
- (2) Controller 1(1Lane), PCIe1 Controller x1 Lane(Only RC)

2 个 PCIe2.1 控制器与 SATA3.1/USB3.2_Gen1x1 组成两个 Combo PHY，一个是 PCIe2.1/SATA3.1 Combo PHY0、另一个是 PCIe2.1/SATA3.1/USB3.2_Gen1x1 Combo PHY1。

Controller 和 PHY 之间的映射关系图如下：

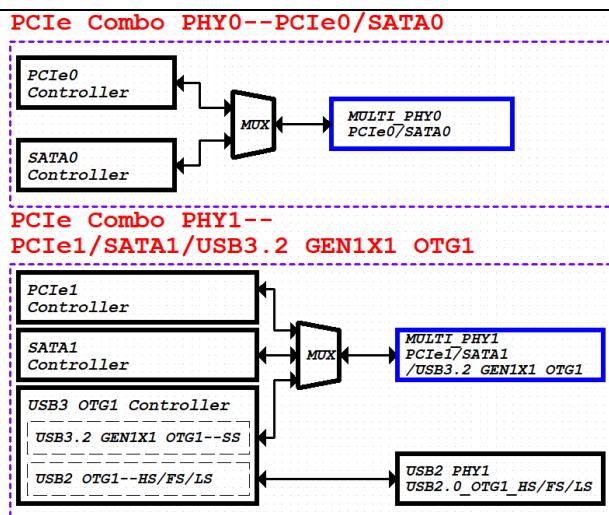


图 2-87 RK3576 PCIe Controller 与 PHY 的映射关系图

- PCIe0 控制器(RC)与 SATA0 控制器复用 PCIe2.1/SATA3.1 Combo PHY0; 封装管脚如下图:

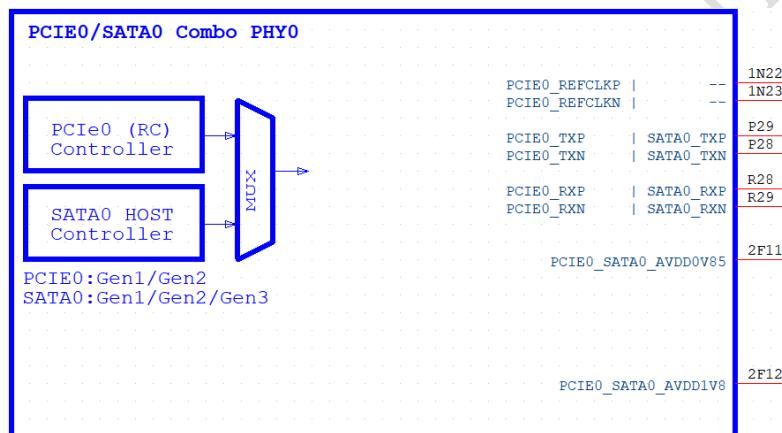


图 2-88 PCIe2.1/SATA3.1 Combo PHY0

- PCIe1 控制器(RC)、SATA1 控制器、USB3 OTG1 控制器复用 PCIe2.1/SATA3.1/USB3.2_Gen1x1 Combo PHY1; 封装管脚如下图:

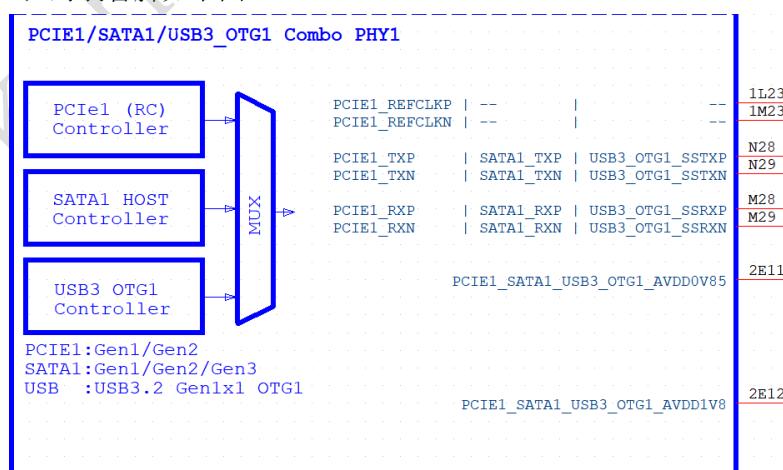


图 2-89 PCIe2.1/SATA3.1/USB3.0 Combo PHY1

PCIE0/1_REFCLKP/N 可支持输出也可支持输入，默认输出提供给 EP 设备，如下示意图：



图 2-90 PCIE0/1_REFCLKP/N 时钟做输出时的路径图

PCIE0/1_REFCLKP/N 若做输入时，示意图如下：

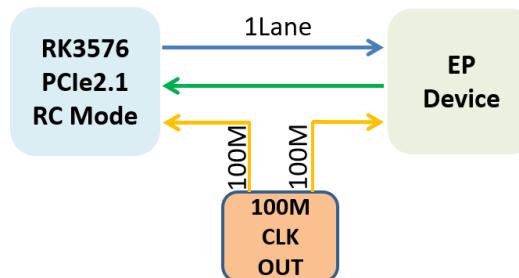


图 2-91 PCIE0/1_REFCLKP/N 时钟做输入时的路径图

PCIe2.1 设计中请注意：

- Slot 设计时，外围电路及电源需要满足 Spec 要求；
- PCIe2.1 接口的 TXP/N 差分信号上串接的 100nF 交流耦合电容，AC 耦合电容建议使用 0201 封装，更低的 ESR 和 ESL，也可减少线路上的阻抗变化；
- PCIE0/1_CLKREQN 必须使用功能脚，不能用 GPIO 替代；
- PCIE0/1_PERSTN/WAKEN/PRSNT 在 RK3576 上面不指定特定的 IO，直接使用电平匹配的 GPIO 口来做控制功能脚就可以；
- 标准的 PCIe Slot：PCIEx_CLKREQN, PCIEx_WAKEN, PCIEx_PERSTN 正常为 3.3V 电平，需要注意做好 RK3576 端的电平匹配。
- 使用 PCIe 功能的时候，复用的 SATA/USB 功能无法使用，SATA/USB 对应的功能详见其模块说明。
- PCIe2.1 功能模块没有使用时，数据线 PCIE0/1_TXP/TXN、PCIE0/1_RXP/RXN 和参考时钟线 PCIE0/1_REFCLKP/REFCLKN 悬空即可；AVDD0V85 和 AVDD1V8 两路电源接地处理，注意软件对应的 dts 配置需要 disable。
- PCIe2.1 接口匹配设计推荐如下表所示：

表 2-25 RK3576 PCIe2.1 接口设计

信号	连接方式	说明
PCIE0/1_TXP/TXN	串接 100nF(0201)电容	PCIe 数据输出
PCIE0/1_RXP/RXN	直连	PCIe 数据输入
PCIE0/1_REFCLKP/CLKN	直连	PCIe 参考时钟输入或输出
PCIE0/1_CLKREQN	串接 0ohm 电阻	PCIe 参考时钟请求输入(RC 模式)
PCIE0/1_WAKEN(RK3576 无该信号，用 GPIO 替代)	串接 0ohm 电阻	PCIe 唤醒输入(RC 模式)
PCIE0/1_PERSTN(RK3576 无该信号，用 GPIO 替代)	串接 0ohm 电阻	PCIe 全局复位输出(RC 模式)
PCIE0/1_PRSNT(RK3576 无该信号，用 GPIO 替代)	串接 0ohm 电阻	Add In Card 插入检测输入(RC 模式)
PCIE_BUTTONRSTN(暂时没用到)	没用，无需连接	外部物理复位 PCIe Controller

表 2-26 PCIe 控制信号复用情况和对应的电源域分布

PCIe 控制信号	复用情况	复用电源域
PCIE0_CLKREQN_M*	M0, M1, M2, M3	M0: VCCIO4 M1: VCCIO3 M2: VCCIO2 M3: VCCIO6
PCIE1_CLKREQN_M*	M0, M1, M2, M3	M0: VCCIO4 M1: VCCIO3 M2: VCCIO2 M3: VCCIO6

在原理图上的分布：

- VCCIO2 电源域上有 2 个 IOMUX:

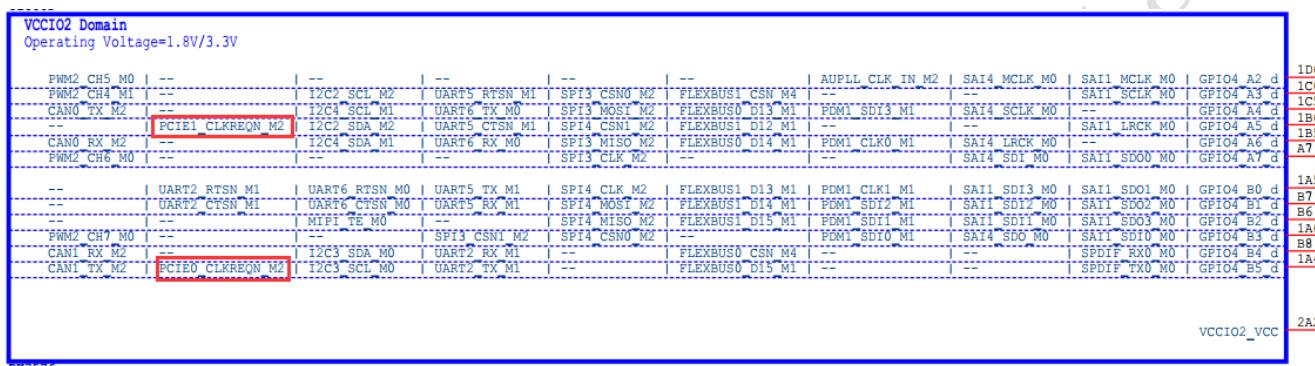


图 2-92 VCCIO2 上面的 PCIe 控制信号管脚

- VCCIO3 电源域上有 4 个 IOMUX，其中 PCIE0/1_BUTTONRSTN 两个信号暂时不用：

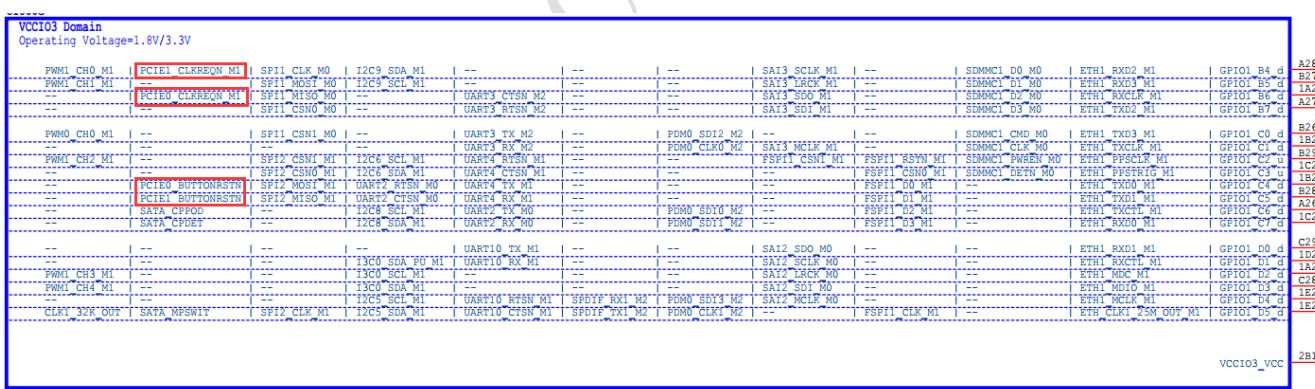


图 2-93 VCCQ3 上面的 PCIe 控制信号管脚

- VCCIQ4 电源域上有 2 个 IOMUX:

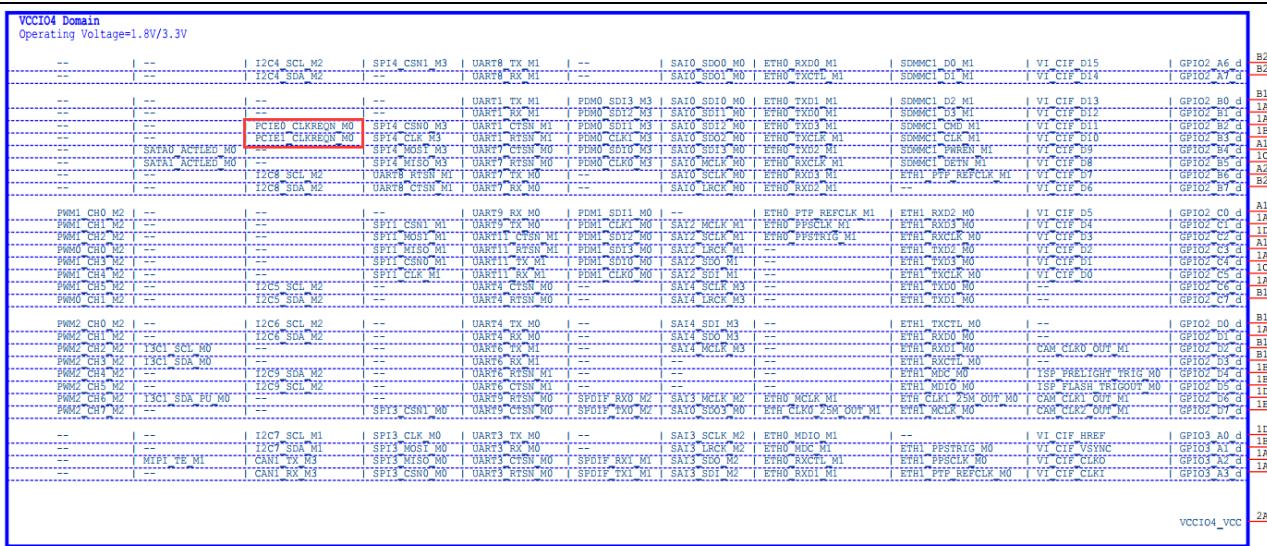


图 2-94 VCCIO4 上面的 PCIe 控制信号管脚

- VCCIO6 电源域上有 2 个 IOMUX:

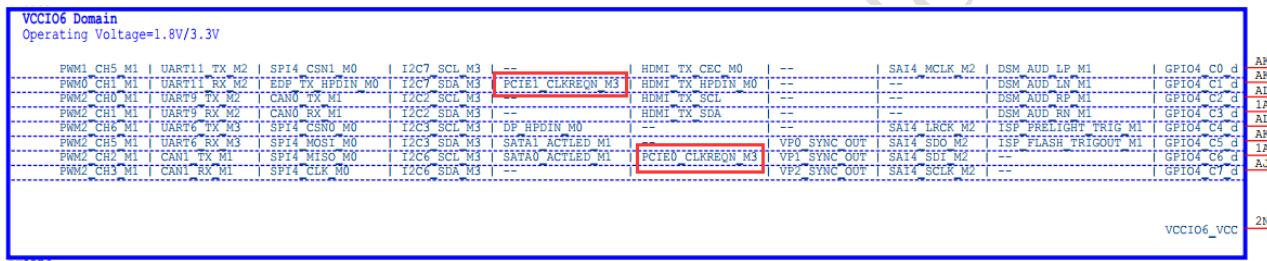


图 2-95 VCCIO6 上面的 PCIe 控制信号管脚

2.3.7 视频输入接口电路

2.3.7.1 MIPI DPHY CSI RX 接口

RK3576 有两个 MIPI DPHY CSI RX 接口，都支持 MIPI V1.2 版本，每个通道最大传输速率为 2.5Gbps。

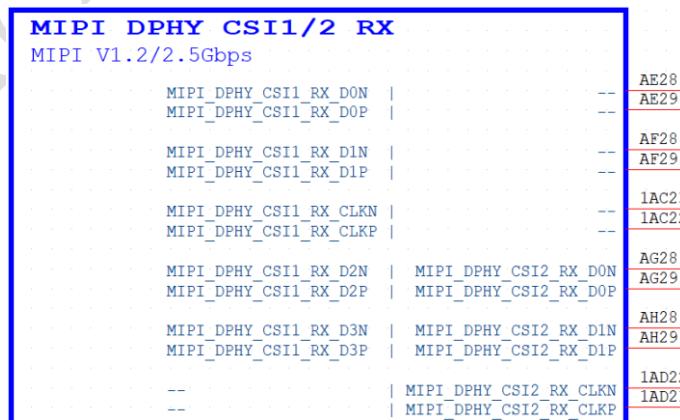


图 2-96 RK3576 MIPI DPHY CSI1/2 RX

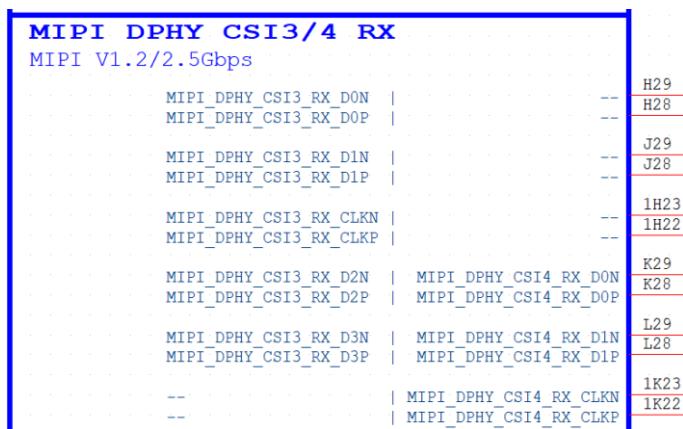


图 2-97 RK3576 MIPI DPHY CSI3/4 RX

MIPI DPHY CSI1/2 RX 接口模式支持情况:

- 支持 4Lane 模式, MIPI_DPHY_CSI1_RX_D[3:0]数据参考 MIPI_DPHY_CSI1_RX_CLK
- 支持 2Lane+2Lane 模式:
 - MIPI DPHY CSI1_RX_D[1:0]数据参考 MIPI_DPHY_CSI1_RX_CLK
 - MIPI DPHY CSI2_RX_D[1:0]数据参考 MIPI_DPHY_CSI2_RX_CLK

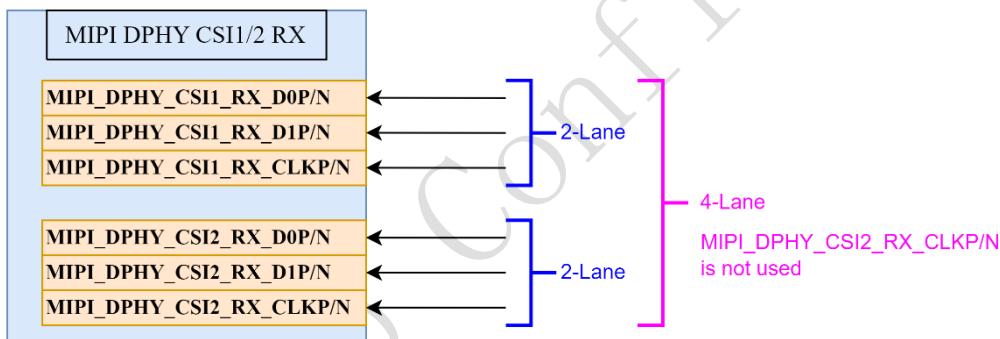


图 2-98 RK3576 MIPI DPHY CSI1/2 RX 工作模式与数据、时钟分配

MIPI DPHY CSI3/4 RX 接口模式支持情况:

- 支持 4Lane 模式, MIPI_DPHY_CSI3_RX_D[3:0]数据参考 MIPI_DPHY_CSI3_RX_CLK
- 支持 2Lane+2Lane 模式:
 - MIPI DPHY CSI3_RX_D[1:0]数据参考 MIPI_DPHY_CSI3_RX_CLK
 - MIPI DPHY CSI4_RX_D[1:0]数据参考 MIPI_DPHY_CSI4_RX_CLK

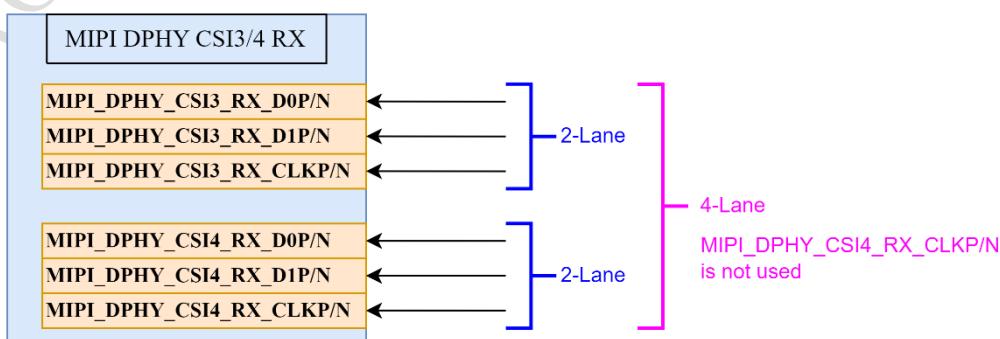


图 2-99 RK3576 MIPI DPHY CSI3/4 RX 工作模式与数据、时钟分配

MIPI DPHY CSI1/2/3/4 RX 接口匹配设计推荐如下表所示：

表 2-27 RK3576 MIPI DPHY CSI1/2/3/4 RX 接口设计

信号	连接方式	说明
MIPI_DPHY_CSI1_RX_D0P/D0N	直连	MIPI CSI1 数据 Lane0 输入
MIPI_DPHY_CSI1_RX_D1P/D1N	直连	MIPI CSI1 数据 Lane1 输入
MIPI_DPHY_CSI1_RX_D2P/D2N	直连	MIPI CSI1 数据 Lane2 输入
MIPI_DPHY_CSI2_RX_D0P/D0N	直连	MIPI CSI2 数据 Lane0 输入
MIPI_DPHY_CSI1_RX_D3P/D3N	直连	MIPI CSI1 数据 Lane3 输入
MIPI_DPHY_CSI2_RX_D1P/D1N	直连	MIPI CSI2 数据 Lane1 输入
MIPI_DPHY_CSI1_RX_CLKP/CLKN	直连	MIPI CSI1 时钟输入
MIPI_DPHY_CSI2_RX_CLKP/CLKN	直连	MIPI CSI2 时钟输入
MIPI_DPHY_CSI3_RX_D0P/D0N	直连	MIPI CSI3 数据 Lane0 输入
MIPI_DPHY_CSI3_RX_D1P/D1N	直连	MIPI CSI3 数据 Lane1 输入
MIPI_DPHY_CSI3_RX_D2P/D2N	直连	MIPI CSI3 数据 Lane2 输入
MIPI_DPHY_CSI4_RX_D0P/D0N	直连	MIPI CSI4 数据 Lane0 输入
MIPI_DPHY_CSI3_RX_D3P/D3N	直连	MIPI CSI3 数据 Lane3 输入
MIPI_DPHY_CSI4_RX_D1P/D1N	直连	MIPI CSI4 数据 Lane1 输入
MIPI_DPHY_CSI3_RX_CLKP/CLKN	直连	MIPI CSI3 时钟输入
MIPI_DPHY_CSI4_RX_CLKP/CLKN	直连	MIPI CSI4 时钟输入

2.3.7.2 MIPI_DCPHY_CSI_RX 接口

RK3576 有一个 MIPI DCPHY CSI RX Combo PHY；DPHY 支持 V2.0 版本，CPHY 支持 V1.1 版本。DPHY 模式有 4Lane，最高传输速率 4.5Gbps/Lane；CPHY 模式有 3Trios，最高传输速率 5.7Gbps/Trio。

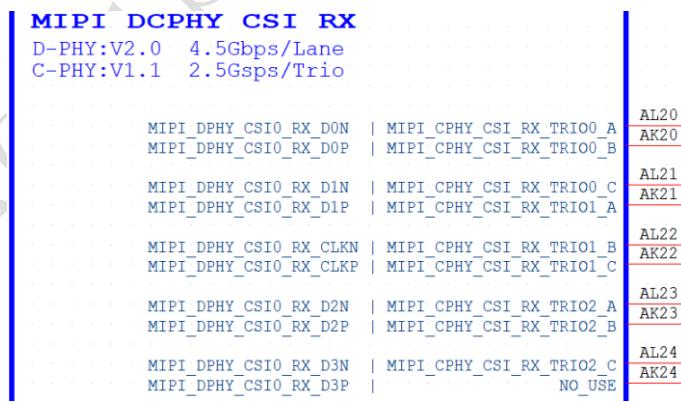


图 2-100 RK3576 MIPI DCPHY CSI RX 信号管脚

DPHY 和 CPHY 配置支持情况：

- MIPI DCPHY Combo PHY 的 TX 和 RX 只能支持同时配置成 DPHY TX、DPHY RX 模式，或同时配置成 CPHY TX、CPHY RX 模式。不支持一个配置成 DPHY TX 一个配置成 CPHY RX，或者一个配置成 CPHY TX 一个配置成 DPHY RX。

MIPI DCPHY 工作在 DPHY 模式时支持情况：

- 支持 4Lane/2Lane/1Lane 模式，MIPI_DPHY_CSI0_RX[3:0]数据参考 MIPI_DPHY_CSI0_RX_CLK

- 不支持拆分成 2Lane+2Lane

MIPI DCPHY 工作在 CPHY 模式时支持情况：

- 支持 0/1/2 Trio，每个 Trio 有 Trio_A/Trio_B/Trio_C 3 根线，`MIPI_CPHY_CSI_RX_TRIO[2:0]_A`, `MIPI_CPHY_CSI_RX_TRIO[2:0]_B`, `MIPI_CPHY_CSI_RX_TRIO[2:0]_C`。

MIPI DCPHY CSI RX Combo PHY 设计中请注意：

- 为提高 MIPI DCPHY CSI RX Combo PHY 性能，PHY 各路电源的去耦电容不得删除，布局时请靠近管脚放置（注意 MIPI DCPHY CSI RX 和 MIPI DCPHY DSI TX 电源合并同一路）；
- `MIPI_DCPHY_AVDD` 电压选择：当 MIPI 速率大于 DPHY 2.5Gbps 或 CPHY 1.5Gsps 时，`MIPI_DCPHY_AVDD` 电压配置成 0.85V；当 MIPI 速率小于 DPHY 2.5Gbps 或 CPHY 1.5Gsps 时，`MIPI_DCPHY_AVDD` 电压配置成 0.75V

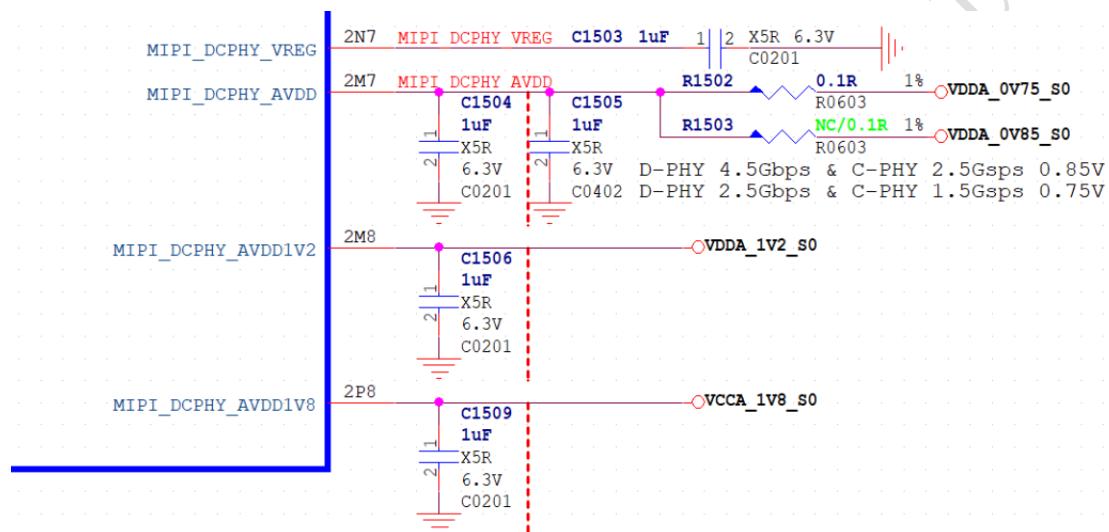


图 2-101 MIPI DCPHY CSI RX Combo PHY 的电源和去耦电容

- `MIPI_DCPHY_VREG` 的 1uF 电容不可删除，布局时，必须靠近对应管脚放置；
- MIPI DCPHY CSI RX Combo PHY 匹配设计推荐如下表所示：

表 2-28 RK3576 MIPI DCPHY CSI RX Combo PHY 接口设计

信号 (DPHY/CPHY)	连接方式	说明
<code>MIPI_DPHY_CSI0_RX_D0P/D0N</code>	直连	<code>MIPI_DPHY_CSI0_RX</code> 数据 Lane0 输入
<code>MIPI_DPHY_CSI0_RX_D1P/D1N</code>	直连	<code>MIPI_DPHY_CSI0_RX</code> 数据 Lane1 输入
<code>MIPI_DPHY_CSI0_RX_D2P/D2N</code>	直连	<code>MIPI_DPHY_CSI0_RX</code> 数据 Lane2 输入
<code>MIPI_DPHY_CSI0_RX_D3P/D3N</code>	直连	<code>MIPI_DPHY_CSI0_RX</code> 数据 Lane3 输入
<code>MIPI_DPHY_CSI0_RX_CLKP/CLKN</code>	直连	<code>MIPI_DPHY_CSI0_RX</code> 时钟输入
<code>MIPI_CPHY_CSI_RX_TRIO0_A/B/C</code>	直连	<code>MIPI_CPHY_CSI_RX_TRIO0</code> 输入
<code>MIPI_CPHY_CSI_RX_TRIO1_A/B/C</code>	直连	<code>MIPI_CPHY_CSI_RX_TRIO1</code> 输入
<code>MIPI_CPHY_CSI_RX_TRIO2_A/B/C</code>	直连	<code>MIPI_CPHY_CSI_RX_TRIO2</code> 输入

2.3.7.3 CIF(DVP)接口

CIF 接口电源域为 VCCIO4 供电，实际产品设计中，需要根据产品 Camera 的实际 IO 供电要求（1.8V or 3.3V），选择对应的供电，同时 I2C 上拉电平必须与其保持一致，否则会造成 Camera 工作异常或无法工作。

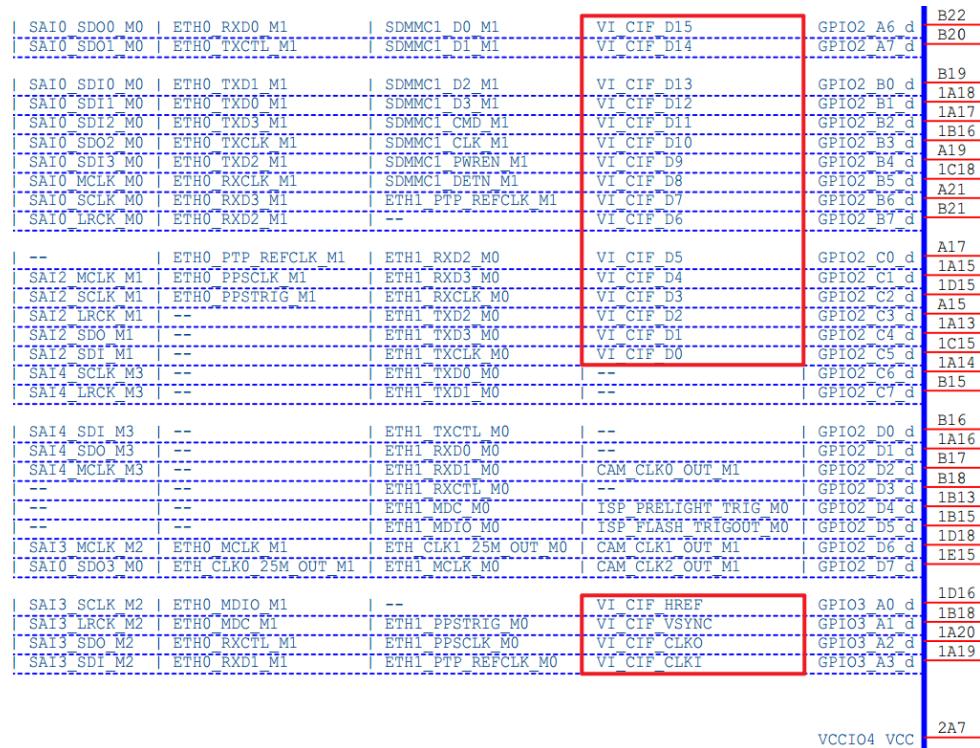


图 2-102 RK3576 CIF 功能管脚

CIF 接口支持以下格式：

- 支持 BT601 RAW8/10/12 YCbCr 422 8bit input
- 支持 BT656 YCbCr 422 8-bit progressive/interlaced input
- 支持 16-Pins BT1120 YCbCr 422 8-bit progressive/interlaced input
- 支持 2/4 mixed BT.656/BT1120 YCbCr 422 input

CIF[15:0]的 8/10/12/16bit 数据对应关系如下表，支持高对齐和低对齐：

表 2-29 RK3576 CIF 数据对应关系

	Mode	16bit	12bit	10bit	8bit		Mode	16bit	12bit	10bit	8bit
低对齐	VI_CIF_D0	VI_CIF_D0	VI_CIF_D0	VI_CIF_D0	VI_CIF_D0		VI_CIF_D0	VI_CIF_D0			
	VI_CIF_D1	VI_CIF_D1	VI_CIF_D1	VI_CIF_D1	VI_CIF_D1		VI_CIF_D1	VI_CIF_D1			
	VI_CIF_D2	VI_CIF_D2	VI_CIF_D2	VI_CIF_D2	VI_CIF_D2		VI_CIF_D2	VI_CIF_D2			
	VI_CIF_D3	VI_CIF_D3	VI_CIF_D3	VI_CIF_D3	VI_CIF_D3		VI_CIF_D3	VI_CIF_D3			
	VI_CIF_D4	VI_CIF_D4	VI_CIF_D4	VI_CIF_D4	VI_CIF_D4		VI_CIF_D4	VI_CIF_D4	VI_CIF_D0		
	VI_CIF_D5	VI_CIF_D5	VI_CIF_D5	VI_CIF_D5	VI_CIF_D5		VI_CIF_D5	VI_CIF_D5	VI_CIF_D1		
	VI_CIF_D6	VI_CIF_D6	VI_CIF_D6	VI_CIF_D6	VI_CIF_D6		VI_CIF_D6	VI_CIF_D6	VI_CIF_D2	VI_CIF_D0	
	VI_CIF_D7	VI_CIF_D7	VI_CIF_D7	VI_CIF_D7	VI_CIF_D7		VI_CIF_D7	VI_CIF_D7	VI_CIF_D3	VI_CIF_D1	
	VI_CIF_D8	VI_CIF_D8	VI_CIF_D8	VI_CIF_D8	VI_CIF_D8		VI_CIF_D8	VI_CIF_D8	VI_CIF_D4	VI_CIF_D2	VI_CIF_D0
	VI_CIF_D9	VI_CIF_D9	VI_CIF_D9	VI_CIF_D9	VI_CIF_D9		VI_CIF_D9	VI_CIF_D9	VI_CIF_D5	VI_CIF_D3	VI_CIF_D1
	VI_CIF_D10	VI_CIF_D10	VI_CIF_D10				VI_CIF_D10	VI_CIF_D10	VI_CIF_D6	VI_CIF_D4	VI_CIF_D2
	VI_CIF_D11	VI_CIF_D11	VI_CIF_D11				VI_CIF_D11	VI_CIF_D11	VI_CIF_D7	VI_CIF_D5	VI_CIF_D3
	VI_CIF_D12	VI_CIF_D12					VI_CIF_D12	VI_CIF_D12	VI_CIF_D8	VI_CIF_D6	VI_CIF_D4
	VI_CIF_D13	VI_CIF_D13					VI_CIF_D13	VI_CIF_D13	VI_CIF_D9	VI_CIF_D7	VI_CIF_D5
	VI_CIF_D14	VI_CIF_D14					VI_CIF_D14	VI_CIF_D14	VI_CIF_D10	VI_CIF_D8	VI_CIF_D6
	VI_CIF_D15	VI_CIF_D15					VI_CIF_D15	VI_CIF_D15	VI_CIF_D11	VI_CIF_D9	VI_CIF_D7
高对齐											

BT1120 16bit 模式数据对应关系，支持 YC Swap

表 2-30 RK3576 BT1120 16bit 模式数据对应关系表

Pin Name	默认模式		Swap 打开	
	Pixel #0	Pixel #1	Pixel #0	Pixel #1
VI_CIF_D0	Y0[0]	Y1[0]	Cb0[0]	Cr0[0]
VI_CIF_D1	Y0[1]	Y1[1]	Cb0[1]	Cr0[1]
VI_CIF_D2	Y0[2]	Y1[2]	Cb0[2]	Cr0[2]
VI_CIF_D3	Y0[3]	Y1[3]	Cb0[3]	Cr0[3]
VI_CIF_D4	Y0[4]	Y1[4]	Cb0[4]	Cr0[4]
VI_CIF_D5	Y0[5]	Y1[5]	Cb0[5]	Cr0[5]
VI_CIF_D6	Y0[6]	Y1[6]	Cb0[6]	Cr0[6]
VI_CIF_D7	Y0[7]	Y1[7]	Cb0[7]	Cr0[7]
VI_CIF_D8	Cb0[0]	Cr0[0]	Y0[0]	Y1[0]
VI_CIF_D9	Cb0[1]	Cr0[1]	Y0[1]	Y1[1]
VI_CIF_D10	Cb0[2]	Cr0[2]	Y0[2]	Y1[2]
VI_CIF_D11	Cb0[3]	Cr0[3]	Y0[3]	Y1[3]
VI_CIF_D12	Cb0[4]	Cr0[4]	Y0[4]	Y1[4]
VI_CIF_D13	Cb0[5]	Cr0[5]	Y0[5]	Y1[5]
VI_CIF_D14	Cb0[6]	Cr0[6]	Y0[6]	Y1[6]
VI_CIF_D15	Cb0[7]	Cr0[7]	Y0[7]	Y1[7]

CIF 接口上下拉和匹配设计推荐如下表：

表 2-31 RK3576 CIF 接口设计

信号	芯片内部上下 拉配置情况	连接方式	描述 (芯片端)
VI_CIF_D[15: 0]	下拉	直连, 有条件建议靠近芯片端预留串接电阻	CIF 数据输入
VI_CIF_HREF	下拉	直连, 有条件建议靠近芯片端预留串接电阻	CIF 行同步输入
VI_CIF_VSYNC	下拉	直连, 有条件建议靠近芯片端预留串接电阻	CIF 场同步输入
VI_CIF_CLKIN	下拉	串接 22ohm 电阻, 靠近设备端	CIF 时钟输入
VI_CIF_CLKOUT	/	串接 22ohm 电阻, 靠近芯片端	CIF 时钟输出, 可提供给设备当 MCLK 工作时钟

当通过连接器实现板对板连接时, 建议串接一定阻值的电阻(22ohm-100ohm 之间, 具体以能满足 SI 测试为准), 并预留 TVS 器件。

2.3.7.4 MIPI CSI RX/CIF 设计时注意点

- Camera 的 DVDD 供电有 1.2V/1.5V/1.8V 等不同情况, 请根据 Camera 的规格书提供准确的电源, 参考电路默认是 1.2V;
- 有些 Camera 的 DVDD 电流比较大, 超过 100mA 建议使用 DCDC 供电;

- Camera 的几路电源有上电时序要求, 请根据 Camera 的规格书相应调整上电时序, 参考图默认上电时序为: 1.8V-->1.2V-->2.8V;
- 使用 CIF 接口的 Camera 时, 要注意 Camera 的 DOVDD (IO 电源) 与 VCCIO6 供电必须用相同的电压;
- 使用两个 Camera 时, 可根据需求实际情况电源分开或合并, 参考图默认是分开;
- 若 Camera 带 AF 功能, 则 VCC2V8_AF 需要单独供电; 或是与 AVCC2V8_DVP 共用, 必须用磁珠隔离;
- Camera 的所有电源的去耦电容不得删减, 必须保留, 靠近座子放置;
- Camera 的 PWDN 信号必须使用 GPIO 控制, GPIO 电平必须和 Camera IO 电平匹配;
- Camera 的 Reset 信号建议使用 GPIO 控制, GPIO 电平必须和 Camera IO 电平匹配, Reset 信号的 100nF 电容不得删除, 靠近座子放置, 加强抗静电能力;
- Camera 的 MCLK 可以从以下获取:
 - VI_CIF_CLKOUT
 - REF_CLK0_OUT/REF_CLK1_OUT/REF_CLK2_OUT
 - CAM_CLK0_OUT/CAM_CLK1_OUT/CAM_CLK2_OUT
 - 注意: 时钟的电平必须和 Camera IO 电平匹配, 如果不匹配, 必须电平转换或电阻分压使电平匹配;
- 如果两个 Camera 同型号, 要注意 I2C 地址是否一样, 如果地址也一样, 那么需要两个 I2C 总线。

2.3.8 视频输出接口电路

RK3576 芯片的 VOP 显示输出处理器, 它从系统存储器的帧缓冲器中读取视频数据和 UI 数据, 执行相应的处理, 如裁剪、色域空间转换、缩放和叠加, 并输出到每个高速显示接口。

有三个 Port 输出, 可以从 DP、HDMI/eDP、MIPI DSI、LCDC(Parallel Interface)视频接口输出。

最大的视频输出能力:

- (1) 三屏异显方案, 如 4096x2160@60Hz, 2560x1600@60Hz, 1920x1080@60Hz;
- (2) 双屏异显方案, 如 4096x2160@120Hz, 2560x1600@60Hz。

VOP 和视频接口输出路径图:

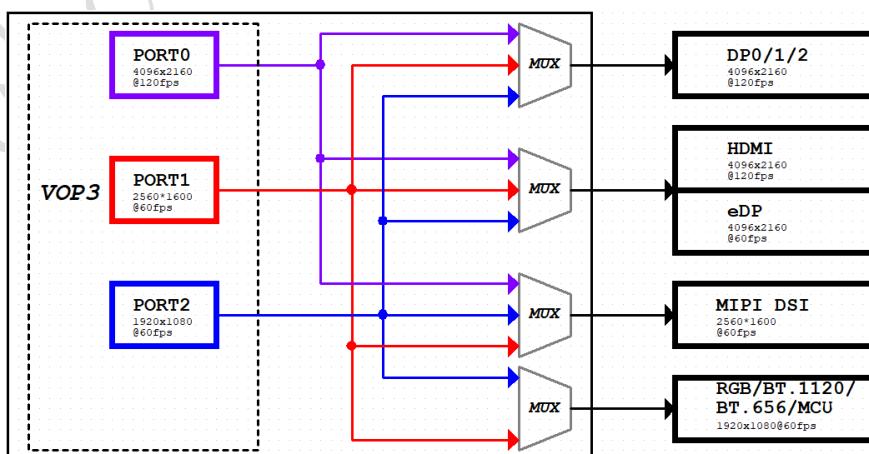


图 2-103 RK3576 VOP 和视频接口输出路径图

2.3.8.1 HDMI2.1/eDP TX 接口

RK3576 内置一个 HDMI/eDP TX Combo PHY。

HDMI/eDP TX Combo PHY 支持以下两个模式：

- HDMI TX 模式：最高支持 HDMI2.1，支持 HDMI FRL 模式并向兼容 HDMI TMDS 模式，支持 RGB/YUV444/YUV422/YUV420(Up to 10bit)格式。
- eDP TX 模式：最高支持 eDP1.3，最大分辨率支持 4K@60Hz，支持 RGB/YUV444/YUV422(Up to 10bit)格式。

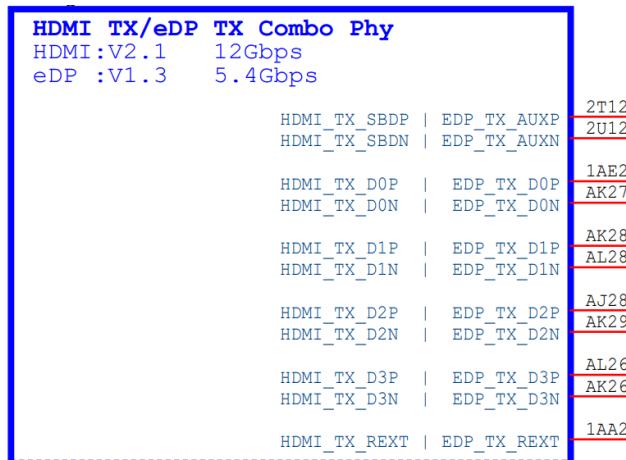


图 2-104 RK3576 HDMI/eDP Combo PHY 管脚

HDMI/EDP_TX_REXT 是 HDMI/eDP Combo PHY 的外置参考电阻管脚，外接对地 8.2K 精度为 1% 的电阻，不得更改电阻值，布局时靠近 RK3576 芯片管脚放置。



图 2-105 RK3576 HDMI/EDP_TX_REXT 管脚

● HDMI2.1 TX 模式

RK3576 支持 HDMI2.1 并向下兼容 HDMI2.0 和 HDMI1.4。

HDMI2.1 工作在 FRL 模式；HDMI2.0 及以下模式时，工作在 TMDS 模式。

采用 AC 耦合电压模式驱动器。

如下图所示，AC 耦合电容容值采用 220nF，不得随意更改，交流耦合电容建议使用 0201 封装，更低的 ESR 和 ESL，也可减少线路上的阻抗变化。

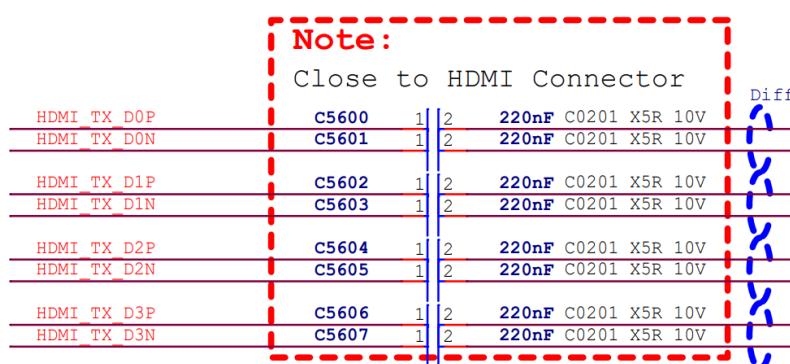


图 2-106 RK3576 HDMI TX AC 耦合电容外围电路

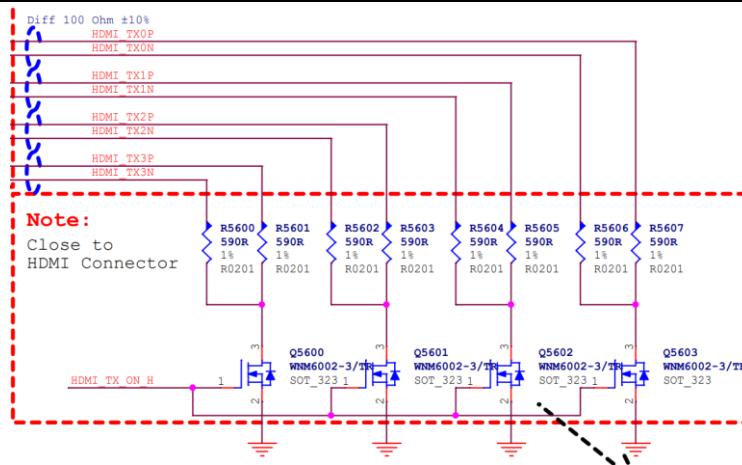


图 2-107 RK3576 HDMI TX 模式外围电路

- 工作在 HDMI2.1 模式, HDMI_TX_ON_H 配置为低电平, 四个 MOS 管不导通。
- 工作在 HDMI2.0 及以下模式时, HDMI_TX_ON_H 配置为高电平, MOS 管会导通, 对地 590ohm 电阻与 Sink 端上拉 50ohm 电阻形成一个直流偏置, 大约 3V。
- 如果只要工作在 HDMI2.0 及以下模式时, 外接是 HDMI A 座, 可以考虑省成本方案, 考虑需要过 HDMI 认证, 可删除三个 MOS 管, 对地 590ohm 电阻合并之后和 MOS 连接, AC 电容不能删减, 见如下设计示意图。
- 如果只要工作在 HDMI2.0 及以下模式时, 板上对接 HDMI 接收芯片 (比如 RK628F), 不需要 HDMI_TX_ON_H 控制 MOS 管打开/关闭, MOS 管可以全部删除, 只留 8 个 590ohm 直接接地, AC 电容不能删减。

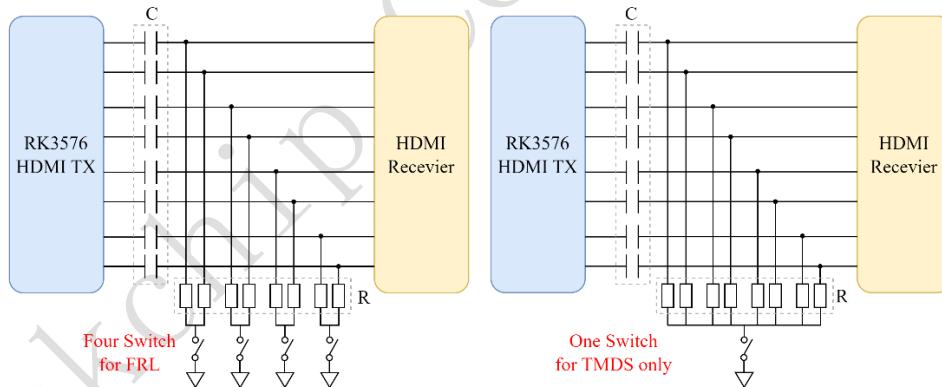


图 2-108 RK3576 HDMI TMDS only 模式外围电路



注意

Note1: 如果只需要支持 HDMI2.0 及以下模式时, MOS 不能省掉, 需要保证机器在未开机时, 管子不能导通, 因为 HDMI CTS Test ID 7-3 TMDS Voff 测试项目要求在 DUT 未上电, Voff 电压必须在 AVcc+/-10mV 以内, 否则这个测试项无法通过;

Note2: 控制 MOS 管 Coss 不能过大, 否则会影响信号质量, 建议按参考图型号或相应的 Coss 值。

FRL 模式: 在传统的 TMDS 架构下, 是利用一个独立的通道来传送 Clock, 但在 FRL 的架构中, 将 Clock 嵌入在 Data 的通道中, 在 Sink 端透过 Clock Recovery 解析出 Clock。

表 2-32 FRL 速率与通道关系

通道速率	通道数
3Gbps	3
6Gbps	3
6Gbps	4
8Gbps	4
10Gbps	4
12Gbps	4

HDMI2.1 的连接座上 HPDIN 信号与 HDMI_TX_SBDN 复用，检测到 HDMI 设备插入时，HDMITX_HPDIN_M0 输出高电平通知 RK3576。

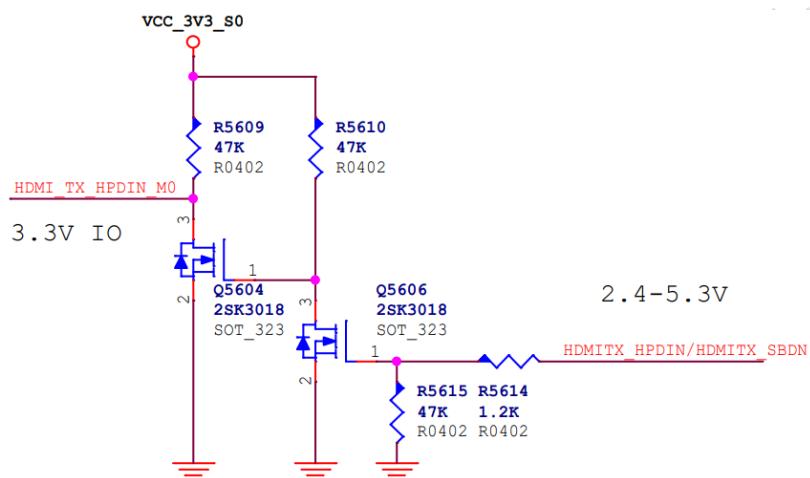


图 2-109 RK3576 HDMI TX HPD 电路

HDMI_TX_HPDIN 复用到普通 GPIO 域中，电平随所在电源域电压，电源域供电电压有更改，外围电路的上拉电阻电源也必须同步调整。

HDMI_TX_HPDIN 分别复用在两个不同的电源域，一个在 VCCIO6 电源域的 IO 上面，一个在 PMUIO1 电源域的 IO 上面。

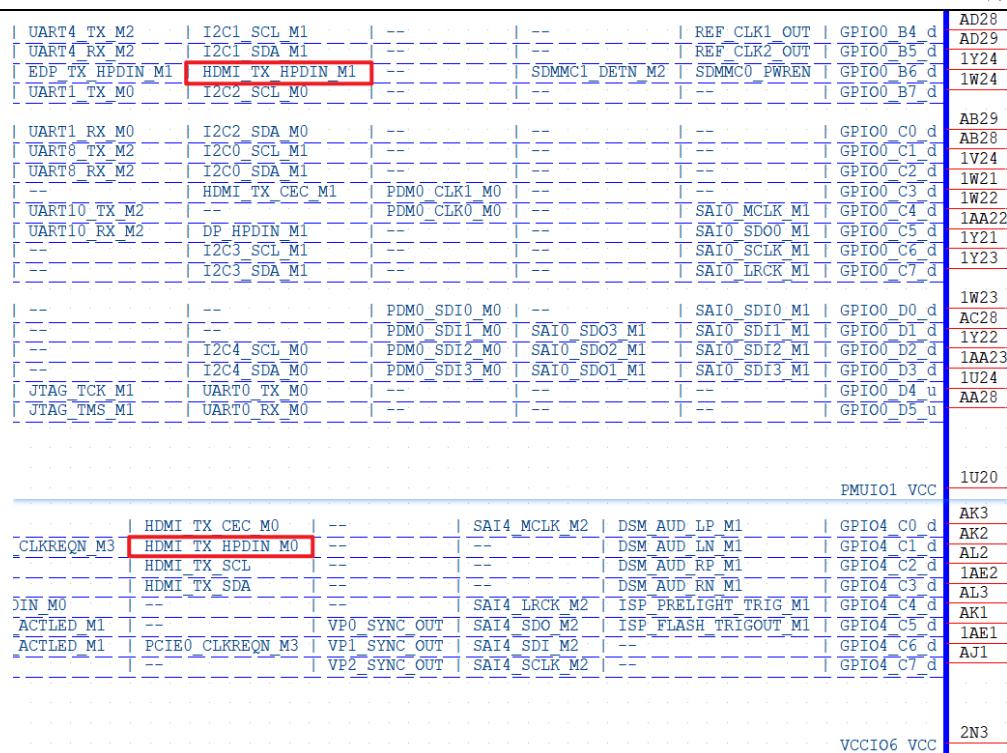


图 2-110 RK3576 HDMI_TX_HPDIN M0/M1 功能管脚

HDMI_TX_CEC 是 HDMI 控制器 CEC 功能复用到普通 GPIO 上功能，电平随所在电源域电压，电源域供电电压有更改，外围电路的上拉电阻电源也必须同步调整。

HDMI_TX_CEC 分别复用两个位置，一个在 VCCIO6 电源域的 IO 上面，一个在 PMUIO1 电源域的 IO 上面。

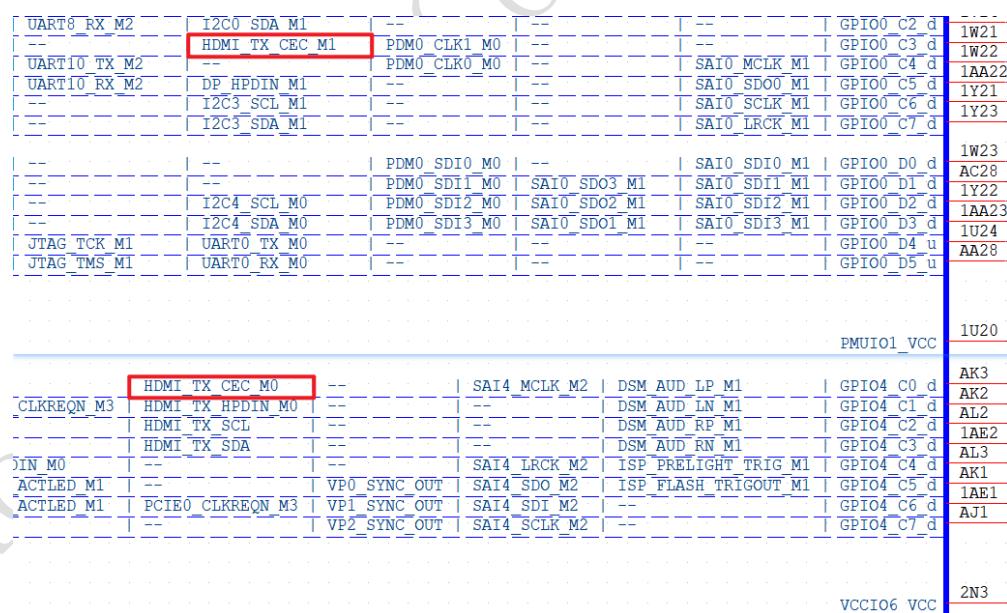


图 2-111 RK3576 HDMI_TX_CEC M0/M1 功能管脚

CEC 协议规定是 3.3V 电平，但是协议要求，往 CEC 管脚通过 27K 电阻加 3.3V 电压，漏电不允许超过 1.8uA。

Test ID 7-15: CEC Line Degradation

Reference	Requirement
[HDMI: Table 4-40] CEC line Electrical Specifications for all Configurations	A device with power removed (from the CEC circuitry) shall not degrade communication between other CEC devices (e.g. the line shall not be pulled down by the powered off device). Maximum CEC line leakage current must be $\leq 1.8\mu A$

图 2-112 HDMI CEC 协议要求

RK3576 IO Domain 在未上电时, 如果 IO 上有电压, IO 会存在漏电。例如 RK3576 已经断电, 但 HDMI 线依然连接着 Sink 端(电视或显示器), 此时 Sink 端的 CEC 有电, 将通过 HDMI 线漏电到 RK3576 IO 上, 造成 CEC 漏电超过 $1.8\mu A$, 因此外部需要增加一个隔离电路。如下图所示, 图中 R5619 阻值为 $27Kohm$ 且不得随意修改, Q5608 默认选择 2SK3018, 如果要换其它型号, 结电容必须相当, 如果结电容过大, 不仅会影响工作, 也无法通过认证。

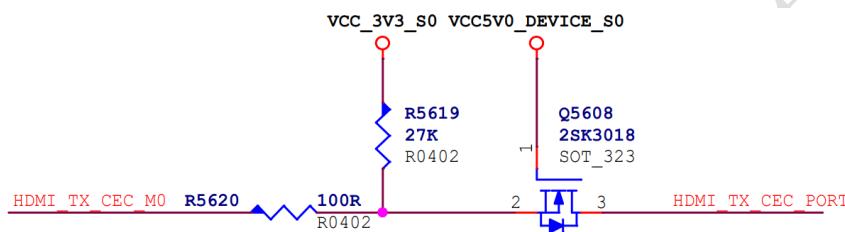


图 2-113 HDMI TX CEC 隔离电路

HDMI_TX_DDC_SCL/DDC_SDA 是 HDMI TX 控制器的 I2C/DDC 总线, 功能分布在 VCCIO6 电源域的 IO 上面, 电平随所在电源域电压, 电源域供电电压有更改, 外围电路的上拉电阻电源也必须同步调整。

DDC_SCL/DDC_SDA 协议规定是 5V 电平, RK3576 IO 不支持 5V 电平, 必须增加电平转换电路, 不得删减, 默认使用 MOS 管电平转换, MOS 型号默认选择 2SK3018, 如果要换其它型号, 结电容必须相当, 如果用结电容过大, 影响时序, 不仅影响工作, 也无法通过认证。

上拉电阻建议参考照默认值, 不要随意修改。

D5601 二极管不得删减, 用来防止 Sink 端漏电到 VCC5V0_DEVICE_S0。

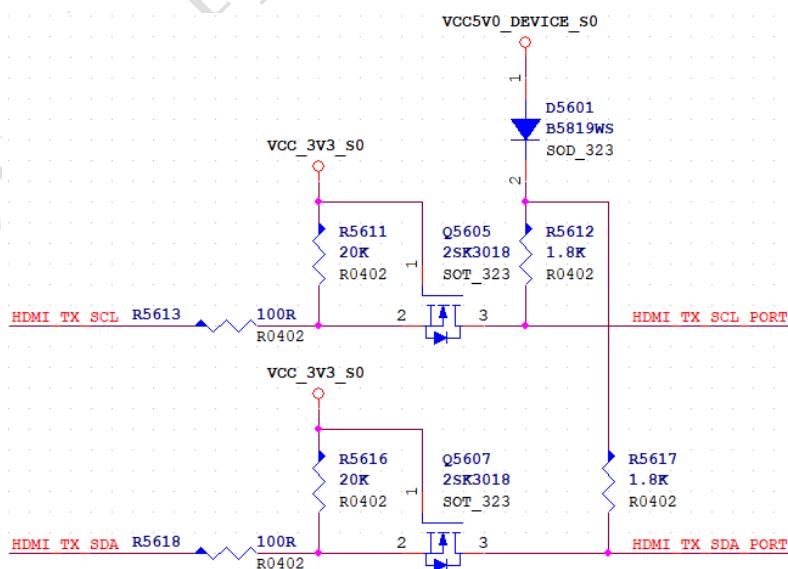


图 2-114 HDMI TX DDC 电平转换电路

HDMI 座子的 Pin18 电压需保证在 4.8-5.3V 之间, 管脚需放置 $1uF$ 去耦电容, 不得删减, 布局时, 靠近 HDMI 座子管脚放置。

为加强抗静电能力, 信号上必须预留 ESD 器件, HDMI2.1 信号的 ESD 寄生电容不得超过 0.2pF, 其它信号的 ESD 寄生电容建议使用不超过 1pF。

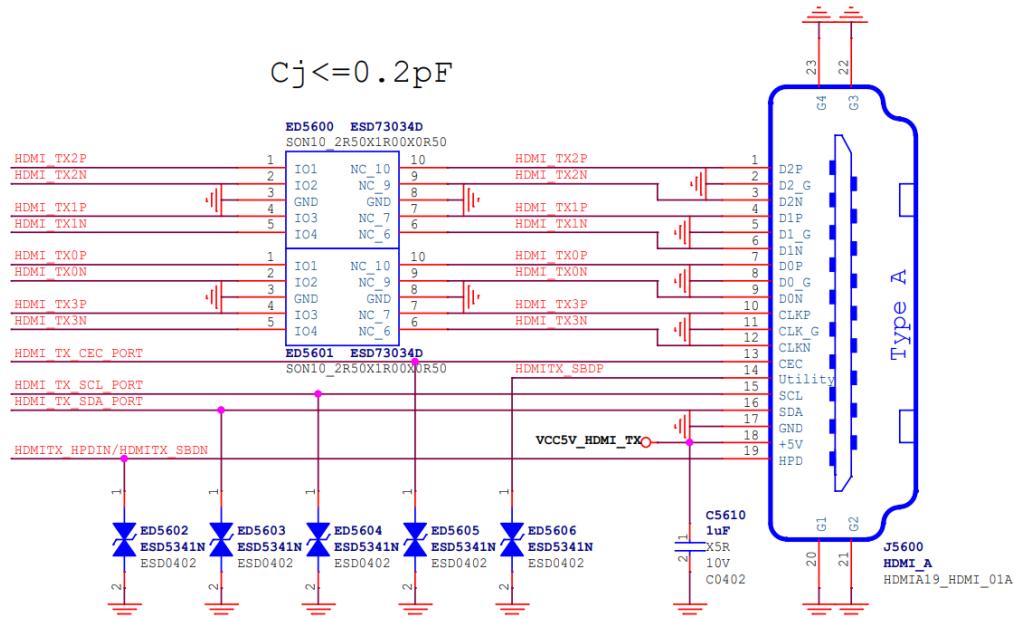


图 2-115 HDMI TX 座子 ESD 电路

HDMI TX 接口匹配设计推荐如下表所示。

表 2-33 RK3576 HDMI TX 接口设计

信号	连接方式	说明
HDMI_TX_D0P/D0N	串联 220nF 电容 (0201 封装), 对地 590ohm 电阻	RFL 模式 Lane0/TMDS 数据 Lane0 输出
HDMI_TX_D1P/D1N	串联 220nF 电容 (0201 封装), 对地 590ohm 电阻	RFL 模式 Lane1/TMDS 数据 Lane1 输出
HDMI_TX_D2P/D2N	串联 220nF 电容 (0201 封装), 对地 590ohm 电阻	RFL 模式 Lane2/TMDS 数据 Lane2 输出
HDMI_TX_D3P/D3N	串联 220nF 电容 (0201 封装), 对地 590ohm 电阻	RFL 模式 Lane3/TMDS 时钟输出
HDMI_TX_SBDP/SBDN	串联 1uF 电容 (0201 封装)	ARC/eARC 通道
HDMI/EDP_TX_REXT	对地 8200 ohm 精度为 1% 的电阻	HDMI/EDP_TX PHY 的外置参考电阻
HDMI_TX_HPD	MOS 隔离转换	HDMI 插入检测
HDMI_TX_CEC	MOS 隔离转换	HDMI CEC 信号
HDMI_TX_SCL	MOS 电平转换	HDMI DDC 时钟
HDMI_TX_SDA	MOS 电平转换	HDMI DDC 数据输入输出

● eDP TX 模式

支持 eDP V1.3 版本, 总共 4Lane, eDP TX 最大输出分辨率可达 4K@60Hz

- 每个 Lane 速率可支持 1.62/2.7/5.4Gbps;
- 支持 1Lane 或 2Lane 或 4Lane 模式;
- 支持 AUX 通道, 速率可达 1Mbps;
- 不支持 Swap。

eDP_TX_D0P/D0N、eDP_TX_D1P/D1N、eDP_TX_D2P/D2N、eDP_TX_D3P/D3N 需要串接的 100nF 交流耦合电容, 交流耦合电容建议使用 0201 封装, 更低的 ESR 和 ESL, 也可减少线路上的阻抗变化, 布局

时，靠近 RK3576 管脚放置。

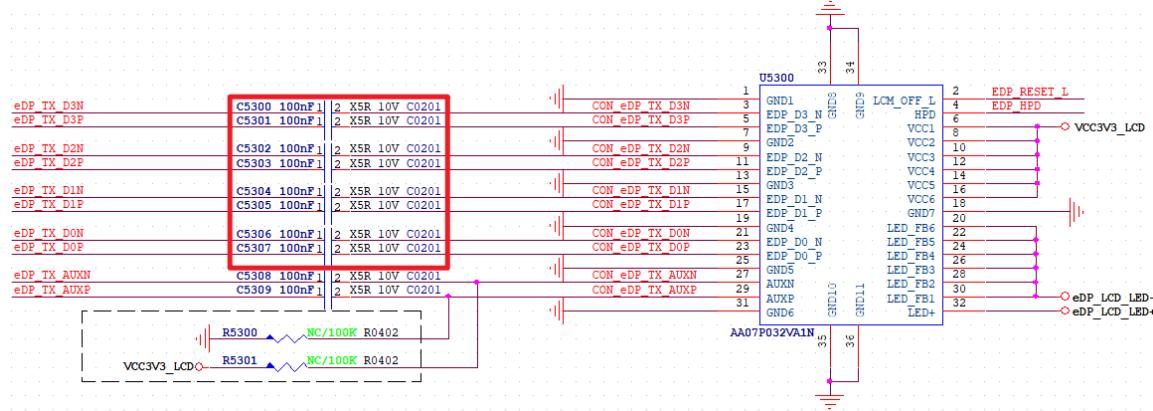


图 2-116 RK3576 eDP TX 信号交流耦合电容

eDP_TX_AUXP/AUXN 需要靠近接口端串接 100nF 交流耦合电容，AUXP 需要预留对地 100Kohm 电阻，AUXN 预留 100K 电阻上拉到 3.3V。在 eDP V12 协议版本以上的，上下拉电阻可以不贴。

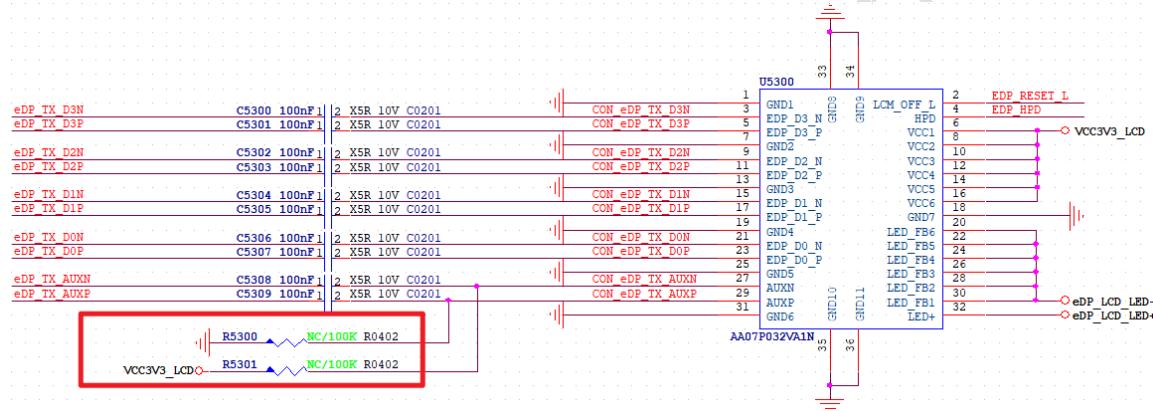


图 2-117 RK3576 eDP TX AUX 信号上下拉电阻

eDP TX PHY 接口匹配设计推荐如下表所示：

表 2-34 RK3576 eDP TX PHY 接口设计

信号	连接方式	说明
eDP_TX_D0P/D0N	串接 100nF 电容（建议 0201 封装）	eDP 数据 Lane0 输出
eDP_TX_D1P/D1N	串接 100nF 电容（建议 0201 封装）	eDP 数据 Lane1 输出
eDP_TX_D2P/D2N	串接 100nF 电容（建议 0201 封装）	eDP 数据 Lane2 输出
eDP_TX_D3P/D3N	串接 100nF 电容（建议 0201 封装）	eDP 数据 Lane3 输出
eDP_TX_AUXP/AUXN	串接 100nF 电容	eDP AUX 通道

2.3.8.2 MIPI_DCPHY_TX 接口

RK3576 有一个 MIPI D-PHY/C-PHY Combo PHY TX：

- D-PHY 支持 V2.0 版本，D-PHY 模式有 0/1/2/3 Lane，每个 Lane 2 根线；最高传输速率 2.5Gbps/Lane。
- MIPI_DPHY_TX 最大分辨率支持 2560x1600@60Hz。
- C-PHY 支持 V1.1 版本，C-PHY 模式有 0/1/2 Trio，每个 Trio A/B/C 3 根线；最高传输速率 1.7Gsps/Trio。
- MIPI_CPHY_TX 最大分辨率支持 2560x1600@60Hz。

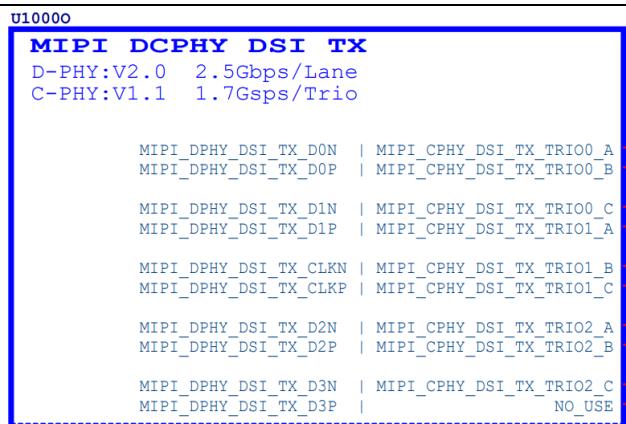


图 2-118 RK3576 MIPI DCPHY TX 信号管脚

DPHY 和 CPHY 配置支持情况:

- MIPI D-PHY/C-PHY Combo PHY 的 TX 和 RX 只能同时配置成 DPHY TX, DPHY RX 模式或同时配置成 CPHY TX, CPHY RX 模式, 不支持一个配置成 DPHY TX, 一个配置成 CPHY RX;

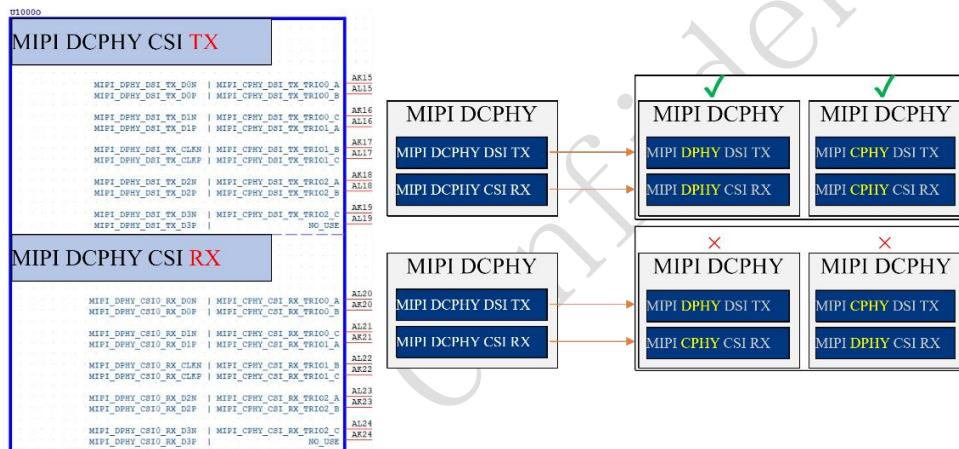


图 2-119 RK3576 MIPI DCPHY Combo PHY 组合方式

MIPI DCPHY 工作在 D-PHY 时模式支持情况:

- 支持 4Lane 模式, MIPI_DPHY_TX_D[3: 0] 数据参考 MIPI_DPHY_TX_CLK.

MIPI DCPHY 工作在 C-PHY 时模式支持情况:

- 支持 0/1/2 Trio, 每个 Trio A/B/C 3 根线, MIPI_CPHY_TX_TRIO[2:0]_A, MIPI_CPHY_TX_TRIO[2:0]_B, MIPI_CPHY_TX_TRIO[2:0]_C。

MIPI D-PHY/C-PHY Combo PHY TX 设计中请注意:

- 为提高 MIPI D-PHY/C-PHY Combo PHY TX 性能, PHY 各路电源的去耦电容不得删除, 布局时请靠近管脚放置(RX 和 TX 是 Combo PHY, 电源为同一路)。
- MIPI D-PHY/C-PHY Combo PHY TX 匹配设计推荐如下表所示:

表 2-35 RK3576 MIPI D-PHY/C-PHY Combo PHY TX 接口设计

信号	连接方式	说明
MIPI_DPHY_TX_D0N	直连, 为抑制电磁辐射, 预留共模电感	MIPI_DPHY_TX 数据 Lane0 输出
MIPI_DPHY_TX_D1N	直连, 为抑制电磁辐射, 预留共模电感	MIPI_DPHY_TX 数据 Lane1 输出

信号	连接方式	说明
MIPI_DPHY_TX_D2P/D2N	直连, 为抑制电磁辐射, 预留共模电感	MIPI_DPHY_TX 数据 Lane2 输出
MIPI_DPHY_TX_D3P/D3N	直连, 为抑制电磁辐射, 预留共模电感	MIPI_DPHY_TX 数据 Lane3 输出
MIPI_DPHY_TX_CLKP/CLKN	直连, 为抑制电磁辐射, 预留共模电感	MIPI_DPHY_TX 时钟输出
MIPI_CPHY_TX_TRIO0_A/B/C	直连, 为抑制电磁辐射, 预留共模电感	MIPI_CPHY_TX_TRIO0 输出
MIPI_CPHY_TX_TRIO1_A/B/C	直连, 为抑制电磁辐射, 预留共模电感	MIPI_CPHY_TX_TRIO1 输出
MIPI_CPHY_TX_TRIO2_A/B/C	直连, 为抑制电磁辐射, 预留共模电感	MIPI_CPHY_TX_TRIO2 输出

2.3.8.3 DP TX 接口

RK3576 支持一个 DP1.4 TX PHY(和 USB3 OTG0 Combo), 最大输出分辨率可达 4K@YUV422-120Hz。

- 每个 Lane 速率可支持 1.62/2.7G/5.4/8.1Gbps;
- 支持 1Lane 或 2Lane 或 4Lane 模式;
- 支持 RGB/YUV444/YUV422/YUV420 (up to 10bit) 格式;
- 支持 Multi Stream Transport(MST)。

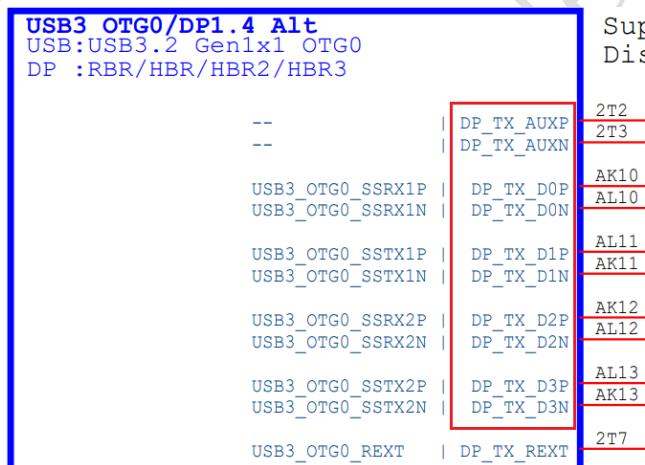


图 2-120 RK3576 DP TX 管脚

- 支持 Swap on 和 Swap off 两种模式

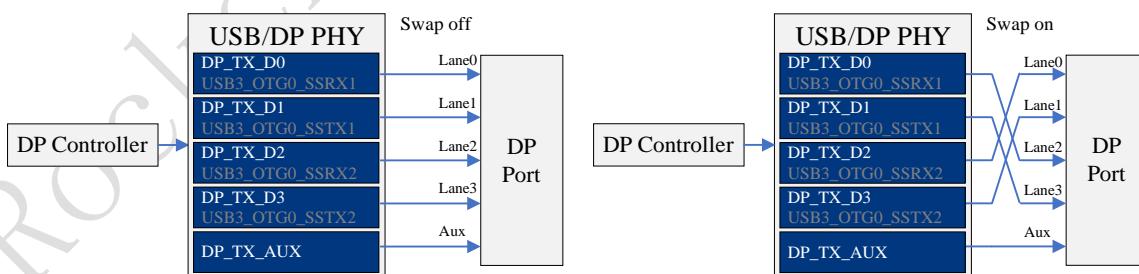


图 2-121 RK3576 DP Swap ON/OFF 模式图

- 支持 3 Channels 的 MST(Multi-Stream Transport) 显示。MST 支持三屏异显最大能力为：4096x2160@60Hz、2560x1600@60Hz、1920x1080@60Hz。

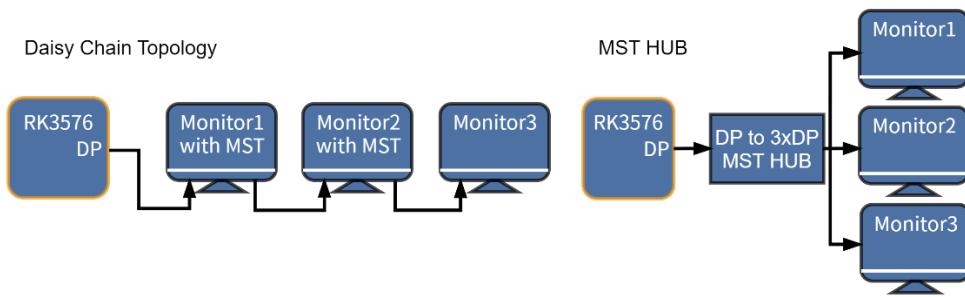


图 2-122 RK3576 DP 3 Channels MST 模式图

DP TX PHY 设计中请注意：

- 为提高 DP TX PHY 性能，PHY 各路电源 USB3_OTG0_DP_TX_AVDD0V85，USB3_OTG0_DP_TX_DVDD0V85，USB3_OTG0_DP_TX_AVDD1V8 的去耦电容不得删除，布局时请靠近管脚放置。
- DP_TX_D0P/D0N、DP_TX_D1P/D1N、DP_TX_D2P/D2N、DP_TX_D3P/D3N 需要串接的 100nF 交流耦合电容，交流耦合电容建议使用 0201 封装，更低的 ESR 和 ESL，也可减少线路上的阻抗变化。布局时，靠近 RK3576 管脚放置；

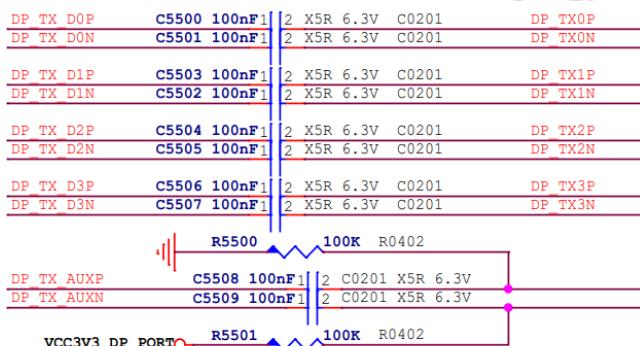


图 2-123 RK3576 DP TX 信号交流耦合电容

- USB3_OTG0_REXT/DP_TX_REXT 是 USB DP Combo PHY 的外置参考电阻管脚，外接对地 8200ohm 精度为 1% 的电阻，不得更改电阻值，布局时靠近 RK3576 芯片管脚放置。



图 2-124 RK3576 DP_TX_REXT 管脚

DPTX PHY 接口匹配设计推荐如下表所示：

表 2-36 RK3576 DP TX PHY 接口设计

信号	连接方式	说明
DP_TX_D0P/D0N	串接 100nF 电容（建议 0201 封装）	DP 数据 Lane0 输出
DP_TX_D1P/D1N	串接 100nF 电容（建议 0201 封装）	DP 数据 Lane1 输出
DP_TX_D2P/D2N	串接 100nF 电容（建议 0201 封装）	DP 数据 Lane2 输出
DP_TX_D3P/D3N	串接 100nF 电容（建议 0201 封装）	DP 数据 Lane3 输出
DP_TX_AUXP/AUXN	串接 100nF 电容	DP AUX 通道
USB3_OTG0_REXT/DP_TX_REXT	对地 8200 ohm 精度为 1% 的电阻	USB/DP PHY 的外置参考电阻

2.3.8.4 LCDC/BT1120/MCU TX 接口

RK3576 LCDC TX 接口，支持并行 24bit RGB 模式、16bit BT1120 模式、8bit BT656 模式以及 MCU 模式，其中，RGB、BT1120 以及 BT656 的分辨率支持如下：

24bit RGB 模式：最大输出分辨率可达 1920x1080@60Hz;

16bit BT1120 模式：最大输出分辨率可达 1920x1080@60Hz;

8bit BT656 模式：最大分辨率为 720x576@60Hz 支持 PAL 和 NTSC;

FLEXBUS1_D11 DSMC_RDYN SAI4_SD1_M1 ETH CLK0_25M_OUT_M0 VO_EBC_SDSHR	VO_LCDC_D23 GPIO3_A4_d	1D13	
FLEXBUS0_D7 DSMC_DATA15 PDM1_SD13_M2 ETH0_MDIO_M0 VO_EBC_GDSP	VO_LCDC_D22 GPIO3_A5_d	A9	
FLEXBUS0_D6 DSMC_DATA14 PDM1_SD12_M2 ETH0_MDC_M0 VO_EBC_GDOP	VO_LCDC_D21 GPIO3_A6_d	1A7	
FLEXBUS0_D5 DSMC_DATA13 PDM1_CLR1_M2 ETH0_RXCTL_M0 VO_EBC_VCOM	VO_LCDC_D20 GPIO3_A7_d	B13	
FLEXBUS0_D8 DSMC_CS1 SAI4_MCLK_M1 ETH0_MCLK_M0 VO_EBC_SDCE3	VO_LCDC_D19 GPIO3_B0_d	B14	
FLEXBUS0_D4 DSMC_DATA12 PDM1_CLR0_M2 ETH0_RXS1_M0 VO_EBC_SDCE2	VO_LCDC_D18 GPIO3_B1_d	1A11	
FLEXBUS0_D3 DSMC_DATA11 PDM1_SD11_M2 ETH0_RXD0_M0 VO_EBC_SDCE1	VO_LCDC_D17 GPIO3_B2_d	A13	
FLEXBUS0_D2 DSMC_DATA10 PDM1_SD10_M2 ETH0_TXCTL_M0 VO_EBC_SDCE0	VO_LCDC_D16 GPIO3_B3_d	A11	
FLEXBUS0_D1 DSMC_DATA9 SPDIF_RXS1_M0 ETH0_RXS1_M0 VO_EBC_SDD015	VO_LCDC_D15 GPIO3_B4_d	B10	
FLEXBUS0_D0 DSMC_DATA8 SPDIF_RXS0_M0 ETH0_RXS0_M0 VO_EBC_SDD014	VO_LCDC_D14 GPIO3_B5_d	1A9	
FLEXBUS0_CLK DSMC_DQS0 -- ETH0_PPSCLK_M0 VO_EBC_SDD013	VO_LCDC_D13 GPIO3_B6_d	B11	
FLEXBUS1_D10 DSMC_DQS0 SAI1_SD10_M1 ETH0_PPSRIG_M0 VO_EBC_SDD012	VO_LCDC_D12 GPIO3_B7_d	1D12	
FLEXBUS1_D9 DSMC_DATA7 SAI1_SD03_M1 ETH0_PPSCLK_M0 VO_EBC_SDD011	VO_LCDC_D11 GPIO3_C0_d	1E9	
FLEXBUS1_D8 DSMC_DATA6 SAI1_SD02_M1 ETH0_PPS_RXPCLK_M0 VO_EBC_SDD010	VO_LCDC_D10 GPIO3_C1_d	1B10	
FLEXBUS0_D9 DSMC_INT1 SAI2_SD12_M2 ETH0_TXD3_M0 VO_EBC_SDD09	VO_LCDC_D9 GPIO3_C2_d	B9	
FLEXBUS0_D10 DSMC_INT3 SAI2_SD11_M2 ETH0_TXD2_M0 VO_EBC_SDD08	VO_LCDC_D8 GPIO3_C3_d	1A8	
FLEXBUS1_D7 DSMC_DATA5 SAI1_SD01_M1 -- VO_EBC_SDD07	VO_LCDC_D7 GPIO3_C4_d	1D9	
FLEXBUS1_D6 DSMC_DATA4 SAI1_SD00_M1 -- VO_EBC_SDD06	VO_LCDC_D6 GPIO3_C5_d	1B9	
FLEXBUS1_D5 DSMC_DATA3 SAI1_LRCK_M1 -- VO_EBC_SDD05	VO_LCDC_D5 GPIO3_C6_d	1D7	
FLEXBUS1_D4 DSMC_DATA2 SAI1_SD11_M1 -- VO_EBC_SDD04	VO_LCDC_D4 GPIO3_C7_d	1C7	
FLEXBUS1_D3 DSMC_DATA1 SAI1_MCLK_M1 -- VO_EBC_SDD03	VO_LCDC_D3 GPIO3_D0_d	1C12	
FLEXBUS0_D11 DSMC_CS2 SAI2_MCLK_M2 ETH0_RXCLK_M0 VO_EBC_SDD02	VO_LCDC_D2 GPIO3_D1_d	1A12	
FLEXBUS0_D12 DSMC_CS3 SAI2_SD11_M2 ETH0_RXS3_M0 VO_EBC_SDD01	VO_LCDC_D1 GPIO3_D2_d	1A10	
FLEXBUS1_D2 DSMC_CS0 SAI2_SD02_M2 ETH0_RXD2_M0 VO_EBC_SDD00	VO_LCDC_D0 GPIO3_D3_d	B12	
FLEXBUS1_D1 DSMC_DATA0 SAI1_SD11_M1 -- VO_EBC_SDLE	VO_LCDC_DEN GPIO3_D4_d	1E12	
FLEXBUS1_D0 DSMC_CLKP SAI1_SD12_M1 -- VO_EBC_GDCLR	VO_LCDC_HSYNC GPIO3_D5_d	1D10	
FLEXBUS1_CLKN DSMC_CLKN SAI1_SD13_M1 -- VO_EBC_SDCLR	VO_LCDC_VSYNC GPIO3_D6_d	1C10	
FLEXBUS0_D13_M0 DSMC_RESETIN SAI1_SD11_M1 CAM_CLK0_OUT_M0 VO_EBC_SD08	VO_LCDC_CLKN GPIO3_D7_d	1E7	
FLEXBUS0_D14_M0 DSMC_INTO SAI4_LRCK_M1 CAM_CLK1_OUT_M0 SPDIF_RX0_M1 -- GPIO4_A0_d	1B12		
FLEXBUS0_D14_M0 DSMC_INT2 SAI4_SD0_M1 CAM_CLK2_OUT_M0 SPDIF_TX0_M1 VO_POST_EMPTY GPIO4_A1_d	1B7		
		VCCIO5_VCC_0	2A4
		VCCIO5_VCC_1	2A5

图 2-125 RK3576 VOP RGB/BT1120/MCU 功能管脚

RGB、BT1120、BT656、MCU 复用关系如下表：

表 2-37 RK3576 RGB、BT1120、BT656、MCU 复用关系表

interface	RGB888 (MCU24)	RGB666	RGB565	BT656 (8bit)	BT1120 (16bit)	MCU (8bit)	MCU (16bit)
dclk	dclk	dclk	dclk	dclk	dclk	mcu_rs	mcu_rs
vsync	vsync	vsync	vsync			mcu_csn	mcu_csn
hsync	hsync	hsync	hsync			mcu_wrn	mcu_wrn
den	den	den	den				
data	data	data	data	data[7:0]	data[15:0]	data[7:0]	data[15:0]
VO_LCDC_D23	✓R7	✓	✓	✗	✓ (D15)	✓ (D7_m1)	✓ (D15)
VO_LCDC_D22	✓R6	✓	✓	✗	✓ (D14)	✓ (D6_m1)	✓ (D14)
VO_LCDC_D21	✓R5	✓	✓	✗	✓ (D13)	✓ (D5_m1)	✓ (D13)
VO_LCDC_D20	✓R4	✓	✓	✗	✓ (D12)	✓ (D4_m1)	✓ (D12)
VO_LCDC_D19	✓R3	✓	✓	✗	✓ (D11)	✓ (D3_m1)	✓ (D11)
VO_LCDC_D18	✓R2	✓	✗	✗	✗	✗	✗
VO_LCDC_D17	✓R1	✗	✗	✗	✗	✗	✗
VO_LCDC_D16	✓R0	✗	✗	✗	✗	✗	✗
VO_LCDC_D15	✓G7	✓	✓	✗	✓ (D10)	✓ (D2_m1)	✓ (D10)
VO_LCDC_D14	✓G6	✓	✓	✗	✓ (D9)	✓ (D1_m1)	✓ (D9)
VO_LCDC_D13	✓G5	✓	✓	✗	✓ (D8)	✓ (D0_m1)	✓ (D8)
VO_LCDC_D12	✓G4	✓	✓	✓D7	✓ (D7)	✓ (D7_m0)	✓ (D7)
VO_LCDC_D11	✓G3	✓	✓	✓D6	✓ (D6)	✓ (D6_m0)	✓ (D6)
VO_LCDC_D10	✓G2	✓	✓	✓D5	✓ (D5)	✓ (D5_m0)	✓ (D5)
VO_LCDC_D9	✓G1	✗	✗	✗	✗	✗	✗
VO_LCDC_D8	✓G0	✗	✗	✗	✗	✗	✗
VO_LCDC_D7	✓B7	✓	✓	✓D4	✓ (D4)	✓ (D4_m0)	✓ (D4)
VO_LCDC_D6	✓B6	✓	✓	✓D3	✓ (D3)	✓ (D3_m0)	✓ (D3)
VO_LCDC_D5	✓B5	✓	✓	✓D2	✓ (D2)	✓ (D2_m0)	✓ (D2)
VO_LCDC_D4	✓B4	✓	✓	✓D1	✓ (D1)	✓ (D1_m0)	✓ (D1)
VO_LCDC_D3	✓B3	✓	✓	✓D0	✓ (D0)	✓ (D0_m0)	✓ (D0)
VO_LCDC_D2	✓B2	✓	✗	✗	✗	✗	✗
VO_LCDC_D1	✓B1	✗	✗	✗	✗	✗	✗
VO_LCDC_D0	✓B0	✗	✗	✗	✗	✗	✗
Remarks		Select high order	Not supported M1	Support YC SWAP	Support M1	Select high order	

- BT1120 输出接口数据对应关系，支持 YC Swap
- RGB666、RGB565、MCU 16bit，BT1120 选择高位与外设连接
- BT656 只有 M0 不支持复用的 M1，MCU 8bit 支持复用 M0、M1

表 2-38 RK3576 BT1120 输出格式列表

Pin Name	默认模式		Swap 打开	
	Pixel #0	Pixel #1	Pixel #0	Pixel #1
BT1120_D0	Y0[0]	Y1[0]	Cb0[0]	Cr0[0]
BT1120_D1	Y0[1]	Y1[1]	Cb0[1]	Cr0[1]
BT1120_D2	Y0[2]	Y1[2]	Cb0[2]	Cr0[2]
BT1120_D3	Y0[3]	Y1[3]	Cb0[3]	Cr0[3]
BT1120_D4	Y0[4]	Y1[4]	Cb0[4]	Cr0[4]
BT1120_D5	Y0[5]	Y1[5]	Cb0[5]	Cr0[5]
BT1120_D6	Y0[6]	Y1[6]	Cb0[6]	Cr0[6]
BT1120_D7	Y0[7]	Y1[7]	Cb0[7]	Cr0[7]
BT1120_D8	Cb0[0]	Cr0[0]	Y0[0]	Y1[0]
BT1120_D9	Cb0[1]	Cr0[1]	Y0[1]	Y1[1]
BT1120_D10	Cb0[2]	Cr0[2]	Y0[2]	Y1[2]
BT1120_D11	Cb0[3]	Cr0[3]	Y0[3]	Y1[3]
BT1120_D12	Cb0[4]	Cr0[4]	Y0[4]	Y1[4]
BT1120_D13	Cb0[5]	Cr0[5]	Y0[5]	Y1[5]
BT1120_D14	Cb0[6]	Cr0[6]	Y0[6]	Y1[6]
BT1120_D15	Cb0[7]	Cr0[7]	Y0[7]	Y1[7]

RGB/BT1120/MCU 输出接口设计中请注意：

- 这些并行信号输出接口电源域为 VCCIO5 供电，实际产品设计中，需要根据外设的实际 IO 供电要求（1.8V or 3.3V）选择对应的供电，必须保持一致；
- 为提高并行信号输出接口性能，VCCIO5 电源的去耦电容不得删除，布局时请靠近管脚放置。

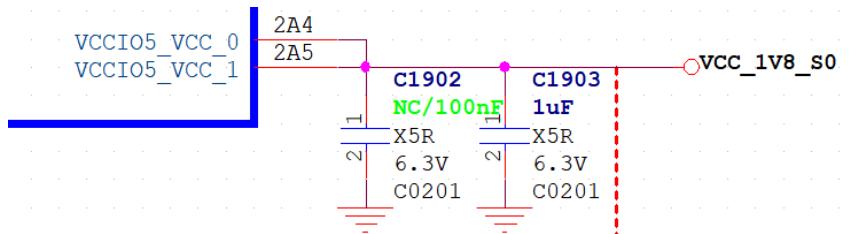


图 2-126 RK3576 LCDC/BT1120/MCU VCCIO5 电源去耦电容

并行输出接口上下拉和匹配设计推荐如表：

表 2-39 RK3576 LCDC 输出接口设计

信号	芯片内部上下拉配置情况	连接方式	描述（芯片端）
BT1120_D[15: 0]	下拉	直连，有条件建议靠近芯片端预留串接电阻	BT1120 数据输出
BT1120_CLK	/	串接 22ohm 电阻，靠近设备端	BT1120 时钟输出
RGB_D[24:0]	下拉	直连，有条件建议靠近芯片端预留串接电阻	RGB 数据输出
RGB_CLK	/	串接 22ohm 电阻，靠近设备端	RGB 时钟输出
MCU_D[16:0]	下拉	直连，有条件建议靠近芯片端预留串接电阻	MCU 数据输出
MCU_RS	下拉	直连，有条件建议靠近芯片端预留串接电阻	Parameter、command 选择
MCU_CSN	下拉	直连，有条件建议靠近芯片端预留串接电阻	片选信号
MCU_WRN	下拉	直连，有条件建议靠近芯片端预留串接电阻	写使能信号
MCU_RDN	下拉	直连，有条件建议靠近芯片端预留串接电阻	读使能信号，芯片不支持

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。
- MCU_RDN RK3576 芯片不支持，这个信号可以回读寄存器，获取 panel 的 status 和版本。在没有接主控时，屏幕端是需要保持为固定高电平。

2.3.8.5 EBC TX 接口

RK3576 芯片拥有一个 EBC 接口，是用于驱动 E-ink 电子墨水屏的 TCON 模块，支持 8bit/16bit 输出，最高 32 级灰度，支持直接模式、LUT 模式和三窗口模式，持窗口显示模式支持。最大分辨率：2560x1920@85Hz。

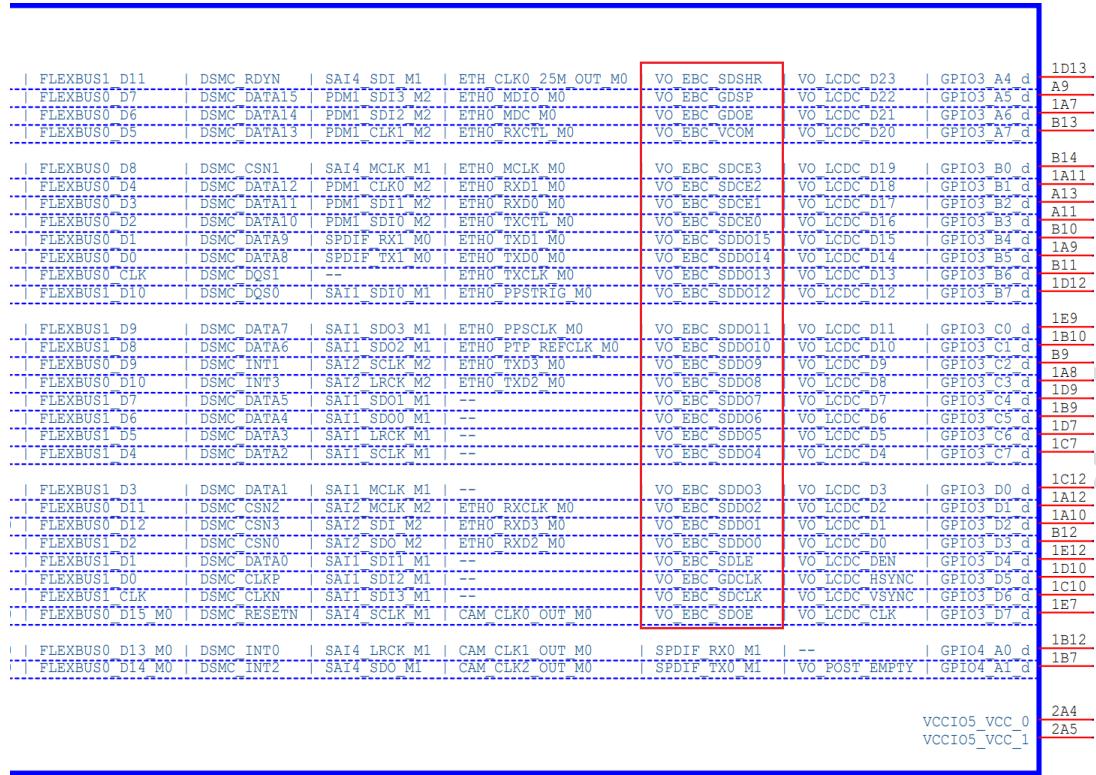


图 2-127 RK3576 VOP EBC 功能管脚

EBC 输出接口设计中请注意：

- EBC 输出接口电源域为 VCCIO5 供电，实际产品设计中，需要根据外设的实际 IO 供电要求（1.8V or 3.3V）选择对应的供电，必须保持一致。
- 为提高 EBC 输出接口性能，VCCIO5 电源的去耦电容不得删除，布局时请靠近管脚放置；

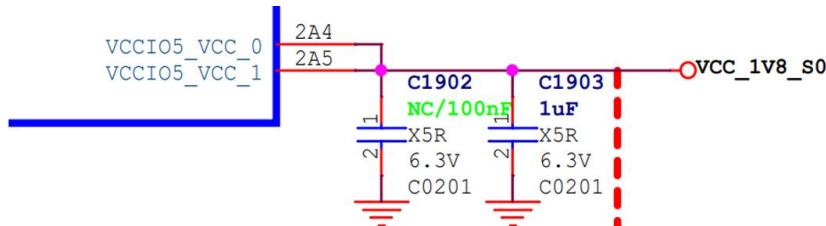


图 2-128 RK3576 EBC VCCIO5 电源去耦电容

EBC 输出接口上下拉和匹配设计推荐如表：

表 2-40 RK3576 EBC 输出接口设计

信号	芯片内部上下拉配置情况	连接方式	描述 (芯片端)
EBC_SDDO[15:0]	下拉	直连	Source driver data output
EBC_SDCE[3:0]	下拉	直连	Source chip select/ Start pulse source driver
EBC_VCOM	下拉	直连	Com voltage control
EBC_GDOE	下拉	直连	Gate output enable
EBC_GDSP	下拉	直连	Gate start pulse
EBC_SDSHR	下拉	直连	Source driven shift register
EBC_SDLE	下拉	直连	Source data latch enable

信号	芯片内部上下拉配置情况	连接方式	描述 (芯片端)
EBC_SDOE	下拉	直连	Source data output enable
EBC_GDCLK	下拉	直连	Gate driver clock
EBC_SDCLK	下拉	直连	Source driver clock

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.8.6 LCD 屏和触摸屏设计注意点

- LED 背光升压 IC 的 FB 端限流电阻，请选用 1% 精度电阻，并按功率需求选择合适的封装尺寸。
- LED 背光升压 IC 的 EN/PWM 管脚，选择内部下拉的 GPIO，外接下拉电阻，避免上电时出现闪屏现象。
- LED 背光的驱动电压输出，请选择合适额定电压的滤波电容。
- LED 背光升压电路的肖特基二极管请根据工作电流选择合适的型号，并注意二极管的反向击穿电压，避免在空载时反向击穿。
- LED 背光升压电路的电感请根据实际型号匹配感量，饱和电流，DCR 等。
- 屏和触摸屏的信号电平要与芯片的 IO 驱动电平匹配，如 RST/Stand by 等信号。
- 屏的电源必须可控制，上电时，默认不提供。
- 屏和触摸屏的去耦电容不得删减，必须保留。
- TP 的 I2C 总线必须加 2.2K 上拉到 VCC3V3_TP 电源，建议不和其它设备共用总线，如果一定要共用，注意上拉电源和地址是否冲突。
- 带 Charge pump 的 TP IC，请注意电容的额定电压。
- 对于屏，当通过 FPC 与板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。
- 串行接口的屏在接口处建议预留共模电感。

2.3.9 音频相关电路设计

2.3.9.1 音频子系统综述

RK3576 提供了丰富的音频接口能力与资源，共提供了 10 组 SAI 接口、2 组 PDM 接口、6 个 SPDIF_TX 接口、3 个 SPDIF_RX 接口、1 组 DSM 接口，同时新增了 4 组 ASRC 处理单元。

其中对外提供了 5 组 SAI 接口、2 组 PDM 接口、2 个 SPDIF_TX 接口、2 个 SPDIF_RX 接口、1 组 DSM 接口，这些接口的 IO 域复用情况以及所属电源域如下表所示，供用户灵活分配选用。

表 2-41 RK3576 对外引出的音频接口以及 IO 复用情况

对外接口	第一处复用(M0)	第二处复用(M1)	第三处复用(M2)	第四处复用(M3)
SAI0(4TX+4RX)	VCCIO4	PMUIO1	VCCIO0	-
SAI1(4TX+4RX)	VCCIO2	VCCIO5	-	-
SAI2(1TX+1RX)	VCCIO3	VCCIO4	VCCIO5	-

对外接口	第一处复用(M0)	第二处复用(M1)	第三处复用(M2)	第四处复用(M3)
SAI3(1TX+1RX)	VCCIO0	VCCIO3	VCCIO4	VCCIO1
SAI4(1TX+1RX)	VCCIO2	VCCIO5	VCCIO6	VCCIO4
PDM0(8channel)	PMUIO1	VCCIO0	VCCIO3	VCCIO4
PDM1(8channel)	VCCIO4	VCCIO2	VCCIO5	-
SPDIF_TX0	VCCIO2 GPIO4_B5	VCCIO5 GPIO4_A1	VCCIO4 GPIO2_D7	-
SPDIF_TX1	VCCIO5 GPIO3_B5	VCCIO4 GPIO3_A3	VCCIO3 GPIO1_D5	-
SPDIF_RX0	VCCIO2 GPIO4_B4	VCCIO5 GPIO4_A0	VCCIO4 GPIO2_D6	-
SPDIF_RX1	VCCIO5 GPIO3_B4	VCCIO4 GPIO3_A2	VCCIO3 GPIO1_D4	-
DSM(2channal,Stereo)	VCCIO1	VCCIO6	-	-

其余未引出的音频接口用于视频输入/输出接口的配套使用，内部电源域从属情况如下，与其配套对应的视频接口所属电源域一致，下表还给出了其内部复用分配等相关信息：

表 2-42 RK3576 对内使用的音频接口以及复用情况

对内接口（视频相关联的音频）	备注
SAI5(4RX only)	HDMI TX, ARC
SAI6(4TX+4RX)	复用两处： 1. HDMI TX, audio play 2. eDP, audio play
SPDIF_RX2	HDMI TX, ARC
SPDIF_TX2	复用两处： 1. HDMI TX, audio play 2. eDP, audio play
SAI7(4TX only)	DP, audio play/MST
SAI8(4TX only)	DP, audio play/MST
SAI9(4TX only)	DP, audio play/MST
SPDIF_TX3	DP, audio play/MST
SPDIF_TX4	DP, audio play/MST
SPDIF_TX5	DP, audio play/MST

2.3.9.2 音频子系统框图

RK3576 音频子系统框图如下，包括了对外/对内接口及其内部电源域 PD 的相关信息：

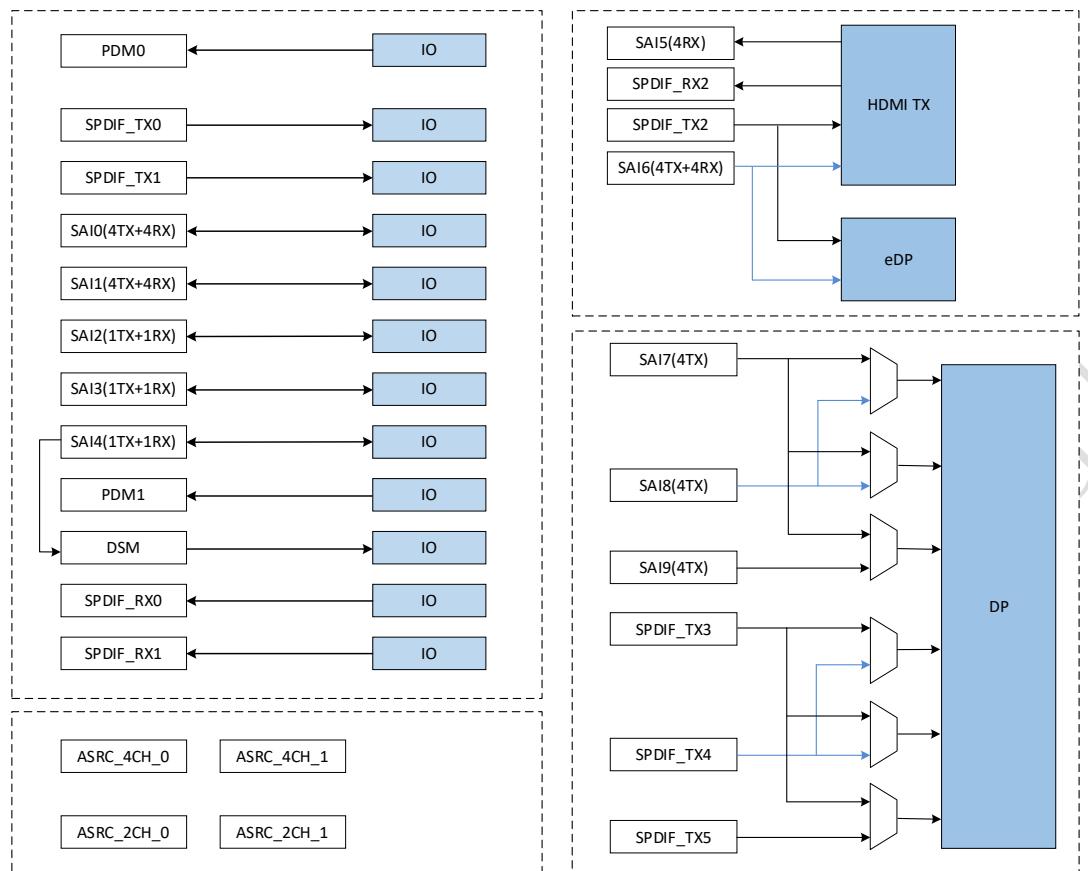


图 2-129 RK3576 音频子系统框图

2.3.9.3 SAI 数字音频接口

RK3576 总共提供了 10 组 SAI 接口，其中 5 组对外引出。

SAI 接口的全称为串行音频接口（Serial Audio Interface），是一种用于数字音频数据通信的串行接口，支持广泛的音频协议，支持 PCM、I2S 和 TDM 等标准格式，可满足单声道、立体声以及多声道音频传输。作为应用最广泛的数字音频接口，SAI 可用于音频 ADC、音频 DAC、音频 Codec、DSP 等外设的通讯，也可为视频输入/输出接口提供集成的音频输入与输出支持。

RK3576 的 SAI 接口具有如下特性：

- 支持 8 至 32bits 的位宽，包括常见的如 32bits、24bits、16bits；
- 支持高至 128 通道（slots）；
- 支持单声道（Mono）模式；
- 主模式（Master）下的 TX/RX、从模式（Slave）下的 RX，SCLK 设计速率上限为 50M；
- 从模式（Slave）下的 TX，SCLK 设计速率上限为 25M；

以对外 SAI 接口举例，SAI0、SAI1 支持 4TX Lanes+4RX Lanes，SAI2、SAI3、SAI4 支持 1TX Lanes +1RX Lanes，这里的 TX 代表输出数据线 SDIx、RX 代表输入数据线 SDIx。每根 TX 或 RX 数据线的采样率上限可按如下计算： $\text{IO rate} / (\text{slots} * \text{width})$ ，slots 为通道数、width 为位宽，典型采样率参考计算如下，其余采样率可进行参考配置：

表 2-43 RK3576 SAI 接口不同通道、位宽下的采样率参考

模式 (Mode)	通道数 (Slots)	位宽 (Width)	LRCK 采样率, kHz (Sample Rate)	SCLK 速率, MHz (SCLK Rate)
I2S	2	32	16	1.024
I2S	2	32	44.1	2.8224
I2S	2	32	48	3.072
TDM8	8	32	16	4.096
TDM8	8	32	44.1	11.2896
TDM8	8	32	48	12.288
TDM16	16	32	16	8.192
TDM16	16	32	44.1	22.5792
TDM16	16	32	48	24.576
TDM32	32	32	48	49.152

上述为理论计算值，实际速率还受 IO 信号质量、走线时延等因素影响，请注意设计中相关时钟、信号的分配、优化走线；

下表为对外 SAI 接口的相关复用情况说明：

表 2-44 RK3576 对外 SAI 接口的复用情况说明

对外接口	复用编号	IO Domain	组成形式
SAI0(4TX+4RX)	M0	VCCIO4	SDI0/1/2/3 + SDO0/1/2/3
SAI0(4TX+4RX)	M1	PMUIO1	SDI0 + SDO0 + SDIO123/321*
SAI0(4TX+4RX)	M2	VCCIO0	SDI0 + SDO0 + SDIO123/321*
SAI1(4TX+4RX)	M0	VCCIO2	SDI0 + SDO0 + SDIO123/321
SAI1(4TX+4RX)	M1	VCCIO5	SDI0/1/2/3 + SDO0/1/2/3
SAI2(1TX+1RX)	M0	VCCIO3	SDI+SDO
SAI2(1TX+1RX)	M1	VCCIO4	SDI+SDO
SAI2(1TX+1RX)	M2	VCCIO5	SDI+SDO
SAI3(1TX+1RX)	M0	VCCIO0	SDI+SDO
SAI3(1TX+1RX)	M1	VCCIO3	SDI+SDO
SAI3(1TX+1RX)	M2	VCCIO4	SDI+SDO
SAI3(1TX+1RX)	M3	VCCIO1	SDI+SDO
SAI4(1TX+1RX)*	M0	VCCIO2	SDI+SDO
SAI4(1TX+1RX)	M1	VCCIO5	SDI+SDO
SAI4(1TX+1RX)	M2	VCCIO6	SDI+SDO
SAI4(1TX+1RX)	M3	VCCIO4	SDI+SDO

注意：

- SDIO123/321 表示存在同一个 pin 复用了 SDI 与 SDO 的情况；
- SAI4 在内部连接到 DSM 模块，因此当 DSM 模块使用时，外部 SAI4 不可使用；

2.3.9.3.1 SAI0 数字音频接口

SAI0 接口包含独立的 4TX Lanes 和 4RX Lanes，对于输出数据线 SDOx 和输入数据 SDIx，同时参考

一组位/帧时钟 SCLK/LRCK。

SAI0 接口支持主从工作模式，软件可配置。SAI0 提供了一种灵活的兼容性配置模式，可以自定义 LRCK、DATA 的帧格式，从而实现对绝大多数 I2S、PCM 与 TDM 的兼容；同时，还提供了 3 种 I2S 格式（常规、左对齐、右对齐）、以及 early PCM 格式的直接配置。

该组 SAI 引脚复用在 3 个不同的电源域，SAI0_M0 复用在 VCCIO4，SAI0_M1 复用在 PMUIO1，SAI0_M2 复用在 VCCIO0，3 处复用不能同时使用，每次只能用其中一组。其中 SAI0_M0 可整组完整引出所有信号，SAI0_M1 和 SAI0_M2 的部分数据线存在复用关系。不同的数据线 SDOx 或 SDIx 均可在内部进行 remap 重新配置顺序，例如可以间隔抽取使用 SDO1+SDO3 组合成 2lanes 进行使用。

设计中，需要核对 SAI 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

SAI0 接口上下拉和匹配设计推荐如表所示。

表 2-45 RK3576 SAI0 接口信号描述

信号	默认上下拉	连接方式	描述（芯片端）
SAI0_MCLK_M0	下拉	串联 22ohm 电阻	SAI 系统时钟输出
SAI0_SCLK_M0	下拉	串联 22ohm 电阻	SAI 连续串行时钟，位时钟
SAI0_LRCK_M0	下拉	串联 22ohm 电阻	SAI 帧时钟，用于声道选择
SAI0_SDO0_M0	下拉	直连	SAI 串行输出数据线 0
SAI0_SDO1_M0	下拉	直连	SAI 串行输出数据线 1
SAI0_SDO2_M0	下拉	直连	SAI 串行输出数据线 2
SAI0_SDO3_M0	下拉	直连	SAI 串行输出数据线 3
SAI0_SDI0_M0	下拉	直连	SAI 串行输入数据线 0
SAI0_SDI1_M0	下拉	直连	SAI 串行输入数据线 1
SAI0_SDI2_M0	下拉	直连	SAI 串行输入数据线 2
SAI0_SDI3_M0	下拉	直连	SAI 串行输入数据线 3
SAI0_MCLK_M1	下拉	串联 22ohm 电阻	SAI 系统时钟输出
SAI0_SCLK_M1	下拉	串联 22ohm 电阻	SAI 连续串行时钟，位时钟
SAI0_LRCK_M1	下拉	串联 22ohm 电阻	SAI 帧时钟，用于声道选择
SAI0_SDO0_M1	下拉	直连	SAI 串行输出数据线 0
SAI0_SDO1_M1/ SAI0_SDI3_M1	下拉	直连	SAI 串行输出数据线 1/ SAI 串行输入数据线 3
SAI0_SDO2_M1/ SAI0_SDI2_M1	下拉	直连	SAI 串行输出数据线 2/ SAI 串行输入数据线 2
SAI0_SDO3_M1/ SAI0_SDI1_M1	下拉	直连	SAI 串行输出数据线 3/ SAI 串行输入数据线 1
SAI0_SDI0_M1	下拉	直连	SAI 串行输入数据线 0
SAI0_MCLK_M2	上拉	串联 22ohm 电阻	SAI 系统时钟输出
SAI0_SCLK_M2	上拉	串联 22ohm 电阻	SAI 连续串行时钟，位时钟
SAI0_LRCK_M2	上拉	串联 22ohm 电阻	SAI 帧时钟，用于声道选择
SAI0_SDO0_M2	上拉	直连	SAI 串行输出数据线 0
SAI0_SDO1_M2/ SAI0_SDI3_M2	上拉	直连	SAI 串行输出数据线 1/ SAI 串行输入数据线 3

信号	默认上下拉	连接方式	描述 (芯片端)
SAI0_SDO2_M2/ SAI0_SDI2_M2	上拉	直连	SAI 串行输出数据线 2/ SAI 串行输入数据线 2
SAI0_SDO3_M2/ SAI0_SDI1_M2	下拉	直连	SAI 串行输出数据线 3/ SAI 串行输入数据线 1
SAI0_SDI0_M2	下拉	直连	SAI 串行输入数据线 0

注意：

- 为提高 SAI 接口性能，对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.9.3.2 SAI1 数字音频接口

SAI1 接口包含独立的 4TX Lanes 和 4RX Lanes，对于输出数据线 SDOx 和输入数据 SDIx，同时参考一组位/帧时钟 SCLK/LRCK。

SAI1 接口支持主从工作模式，软件可配置。SAI1 提供了一种灵活的兼容性配置模式，可以自定义 LRCK、DATA 的帧格式，从而实现对绝大多数 I2S、PCM 与 TDM 的兼容；同时，还提供了 3 种 I2S 格式（常规、左对齐、右对齐）、以及 early PCM 格式的直接配置。

该组 SAI 引脚复用在 2 个不同的电源域，SAI1_M0 复用在 VCCIO2，SAI1_M1 复用在 VCCIO5，2 处复用不能同时使用，每次只能用其中一组。其中 SAI1_M0 的部分数据线存在复用关系，SAI1_M1 可整组完整引出所有信号。不同的数据线 SDOx 或 SDIx 均可在内部进行 remap 重新配置顺序，例如可以间隔抽取使用 SDO1+SDO3 组合成 2lanes 进行使用。

设计中，需要核对 SAI 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

SAI1 接口上下拉和匹配设计推荐如表所示。

表 2-46 RK3576 SAI1 接口信号描述

信号	默认上下拉	连接方式	描述 (芯片端)
SAI1_MCLK_M0	下拉	串联 22ohm 电阻	SAI 系统时钟输出
SAI1_SCLK_M0	下拉	串联 22ohm 电阻	SAI 连续串行时钟，位时钟
SAI1_LRCK_M0	下拉	串联 22ohm 电阻	SAI 帧时钟，用于声道选择
SAI1_SDO0_M0	下拉	直连	SAI 串行输出数据线 0
SAI1_SDO1_M0/ SAI1_SDI3_M0	下拉	直连	SAI 串行输出数据线 1/ SAI 串行输入数据线 3
SAI1_SDO2_M0/ SAI1_SDI2_M0	下拉	直连	SAI 串行输出数据线 2/ SAI 串行输入数据线 2
SAI1_SDO3_M0/ SAI1_SDI1_M0	下拉	直连	SAI 串行输出数据线 3/ SAI 串行输入数据线 1
SAI1_SDI0_M0	下拉	直连	SAI 串行输入数据线 0
SAI1_MCLK_M1	下拉	串联 22ohm 电阻	SAI 系统时钟输出
SAI1_SCLK_M1	下拉	串联 22ohm 电阻	SAI 连续串行时钟，位时钟
SAI1_LRCK_M1	下拉	串联 22ohm 电阻	SAI 帧时钟，用于声道选择
SAI1_SDO0_M1	下拉	直连	SAI 串行输出数据线 0

信号	默认上下拉	连接方式	描述 (芯片端)
SAI1_SDO1_M1	下拉	直连	SAI 串行输出数据线 1
SAI1_SDO2_M1	下拉	直连	SAI 串行输出数据线 2
SAI1_SDO3_M1	下拉	直连	SAI 串行输出数据线 3
SAI1_SDI0_M1	下拉	直连	SAI 串行输入数据线 0
SAI1_SDI1_M1	下拉	直连	SAI 串行输入数据线 1
SAI1_SDI2_M1	下拉	直连	SAI 串行输入数据线 2
SAI1_SDI3_M1	下拉	直连	SAI 串行输入数据线 3

注意：

- 为提高 SAI 接口性能，对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.9.3.3 SAI2 数字音频接口

SAI2 接口包含独立的 1TX Lanes 和 1RX Lanes，对于输出数据线 SDOx 和输入数据 SDIx，同时参考一组位/帧时钟 SCLK/LRCK。

SAI2 接口支持主从工作模式，软件可配置。SAI2 提供了一种灵活的兼容性配置模式，可以自定义 LRCK、DATA 的帧格式，从而实现对绝大多数 I2S、PCM 与 TDM 的兼容；同时，还提供了 3 种 I2S 格式（常规、左对齐、右对齐）、以及 early PCM 格式的直接配置。

该组 SAI 引脚复用在 3 个不同的电源域，SAI2_M0 复用在 VCCIO3，SAI2_M1 复用在 VCCIO4，SAI2_M2 复用在 VCCIO5，3 处复用不能同时使用，每次只能用其中一组。

设计中，需要核对 SAI 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

SAI2 接口上下拉和匹配设计推荐如表所示。

表 2-47 RK3576 SAI2 接口信号描述

信号	默认上下拉	连接方式	描述 (芯片端)
SAI2_MCLK_M0	下拉	串联 22ohm 电阻	SAI 系统时钟输出
SAI2_SCLK_M0	下拉	串联 22ohm 电阻	SAI 连续串行时钟，位时钟
SAI2_LRCK_M0	下拉	串联 22ohm 电阻	SAI 帧时钟，用于声道选择
SAI2_SDO_M0	下拉	直连	SAI 串行输出数据线
SAI2_SDI_M0	下拉	直连	SAI 串行输入数据线
SAI2_MCLK_M1	下拉	串联 22ohm 电阻	SAI 系统时钟输出
SAI2_SCLK_M1	下拉	串联 22ohm 电阻	SAI 连续串行时钟，位时钟
SAI2_LRCK_M1	下拉	串联 22ohm 电阻	SAI 帧时钟，用于声道选择
SAI2_SDO_M1	下拉	直连	SAI 串行输出数据线
SAI2_SDI_M1	下拉	直连	SAI 串行输入数据线
SAI2_MCLK_M2	下拉	串联 22ohm 电阻	SAI 系统时钟输出
SAI2_SCLK_M2	下拉	串联 22ohm 电阻	SAI 连续串行时钟，位时钟
SAI2_LRCK_M2	下拉	串联 22ohm 电阻	SAI 帧时钟，用于声道选择
SAI2_SDO_M2	下拉	直连	SAI 串行输出数据线
SAI2_SDI_M2	下拉	直连	SAI 串行输入数据线

注意：

- 为提高 SAI 接口性能， 对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.9.3.4 SAI3 数字音频接口

SAI3 接口包含独立的 1TX Lanes 和 1RX Lanes，对于输出数据线 SDOx 和输入数据 SDIx，同时参考一组位/帧时钟 SCLK/LRCK。

SAI3 接口支持主从工作模式，软件可配置。SAI3 提供了一种灵活的兼容性配置模式，可以自定义 LRCK、DATA 的帧格式，从而实现对绝大多数 I2S、PCM 与 TDM 的兼容；同时，还提供了 3 种 I2S 格式（常规、左对齐、右对齐）、以及 early PCM 格式的直接配置。

该组 SAI 引脚复用在 4 个不同的电源域，SAI3_M0 复用在 VCCIO0，SAI3_M1 复用在 VCCIO3，SAI3_M2 复用在 VCCIO4，SAI3_M3 复用在 VCCIO1，4 处复用不能同时使用，每次只能用其中一组。

设计中，需要核对 SAI 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

SAI3 接口上下拉和匹配设计推荐如表所示。

表 2-48 RK3576 SAI3 接口信号描述

信号	默认上下拉	连接方式	描述（芯片端）
SAI3_MCLK_M0	上拉	串联 22ohm 电阻	SAI 系统时钟输出
SAI3_SCLK_M0	上拉	串联 22ohm 电阻	SAI 连续串行时钟，位时钟
SAI3_LRCK_M0	上拉	串联 22ohm 电阻	SAI 帧时钟，用于声道选择
SAI3_SDO_M0	下拉	直连	SAI 串行输出数据线
SAI3_SDI_M0	上拉	直连	SAI 串行输入数据线
SAI3_MCLK_M1	下拉	串联 22ohm 电阻	SAI 系统时钟输出
SAI3_SCLK_M1	下拉	串联 22ohm 电阻	SAI 连续串行时钟，位时钟
SAI3_LRCK_M1	下拉	串联 22ohm 电阻	SAI 帧时钟，用于声道选择
SAI3_SDO_M1	下拉	直连	SAI 串行输出数据线
SAI3_SDI_M1	下拉	直连	SAI 串行输入数据线
SAI3_MCLK_M2	下拉	串联 22ohm 电阻	SAI 系统时钟输出
SAI3_SCLK_M2	下拉	串联 22ohm 电阻	SAI 连续串行时钟，位时钟
SAI3_LRCK_M2	下拉	串联 22ohm 电阻	SAI 帧时钟，用于声道选择
SAI3_SDO_M2	下拉	直连	SAI 串行输出数据线
SAI3_SDI_M2	下拉	直连	SAI 串行输入数据线
SAI3_MCLK_M3	下拉	串联 22ohm 电阻	SAI 系统时钟输出
SAI3_SCLK_M3	下拉	串联 22ohm 电阻	SAI 连续串行时钟，位时钟
SAI3_LRCK_M3	下拉	串联 22ohm 电阻	SAI 帧时钟，用于声道选择
SAI3_SDO_M3	下拉	直连	SAI 串行输出数据线
SAI3_SDI_M3	下拉	直连	SAI 串行输入数据线

注意：

- 为提高 SAI 接口性能， 对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.9.3.5 SAI4 数字音频接口

SAI4 接口包含独立的 1TX Lanes 和 1RX Lanes，对于输出数据线 SDOx 和输入数据 SDIx，同时参考一组位/帧时钟 SCLK/LRCK。

SAI4 接口支持主从工作模式，软件可配置。SAI4 提供了一种灵活的兼容性配置模式，可以自定义 LRCK、DATA 的帧格式，从而实现对绝大多数 I2S、PCM 与 TDM 的兼容；同时，还提供了 3 种 I2S 格式（常规、左对齐、右对齐）、以及 early PCM 格式的直接配置。

该组 SAI 引脚复用在 3 个不同的电源域，SAI4_M0 复用在 VCCIO2，SAI4_M1 复用在 VCCIO5，SAI4_M2 复用在 VCCIO6，SAI4_M3 复用在 VCCIO4，4 处复用不能同时使用，每次只能用其中一组。

设计中，需要核对 SAI 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

SAI4 接口上下拉和匹配设计推荐如表所示。

表 2-49 RK3576 SAI4 接口信号描述

信号	默认上下拉	连接方式	描述（芯片端）
SAI4_MCLK_M0	下拉	串联 22ohm 电阻	SAI 系统时钟输出
SAI4_SCLK_M0	下拉	串联 22ohm 电阻	SAI 连续串行时钟，位时钟
SAI4_LRCK_M0	下拉	串联 22ohm 电阻	SAI 帧时钟，用于声道选择
SAI4_SDO_M0	下拉	直连	SAI 串行输出数据线
SAI4_SDI_M0	下拉	直连	SAI 串行输入数据线
SAI4_MCLK_M1	下拉	串联 22ohm 电阻	SAI 系统时钟输出
SAI4_SCLK_M1	下拉	串联 22ohm 电阻	SAI 连续串行时钟，位时钟
SAI4_LRCK_M1	下拉	串联 22ohm 电阻	SAI 帧时钟，用于声道选择
SAI4_SDO_M1	下拉	直连	SAI 串行输出数据线
SAI4_SDI_M1	下拉	直连	SAI 串行输入数据线
SAI4_MCLK_M2	下拉	串联 22ohm 电阻	SAI 系统时钟输出
SAI4_SCLK_M2	下拉	串联 22ohm 电阻	SAI 连续串行时钟，位时钟
SAI4_LRCK_M2	下拉	串联 22ohm 电阻	SAI 帧时钟，用于声道选择
SAI4_SDO_M2	下拉	直连	SAI 串行输出数据线
SAI4_SDI_M2	下拉	直连	SAI 串行输入数据线
SAI4_MCLK_M3	下拉	串联 22ohm 电阻	SAI 系统时钟输出
SAI4_SCLK_M3	下拉	串联 22ohm 电阻	SAI 连续串行时钟，位时钟
SAI4_LRCK_M3	下拉	串联 22ohm 电阻	SAI 帧时钟，用于声道选择
SAI4_SDO_M3	下拉	直连	SAI 串行输出数据线
SAI4_SDI_M3	下拉	直连	SAI 串行输入数据线

注意：

- 为提高 SAI 接口性能，对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。
- SAI4 在内部连接到 DSM 模块，因此当 DSM 模块使用时，外部 SAI4 不可使用。

2.3.9.4 PDM 数字音频接口

RK3576 总共提供了 2 组 8 通道的 PDM 接口，均对外引出。

PDM 接口的全称为脉冲密度调制（Pulse Density Modulation），通常用于接入数字麦克风，或者通过 PDM 接口的模拟音频 ADC 对模拟麦克风进行录音，采样率通常使用 16kHz、48kHz 或 8kHz，部分有超声要求的产品则需要用到 96kHz 采样率。

两组 PDM 都工作在主接收模式（master receive mode，即 RK3576 提供 PDM 时钟、接收数据），支持 8 通道输入能力，16 至 32bits 的位宽，最高到 192kHz 的采样率。

下图是 PDM 接口的数据格式，PDM_DATA 由 Data(R) 和 Data(L) 组成，PDM 是 1bit 采样接口，分别在 CLK 的上升沿、下降沿采样这两个 Data(R) 和 Data(L)，即每根 PDM_SDIX 数据线可传输 2 个声道的音频数据。因此，1 组 PDM 的四根 SDIX 数据线可以满足最多接入 8 个麦克风的需求（或 6 个麦克风 +2 个回采声道，共 8 声道）。

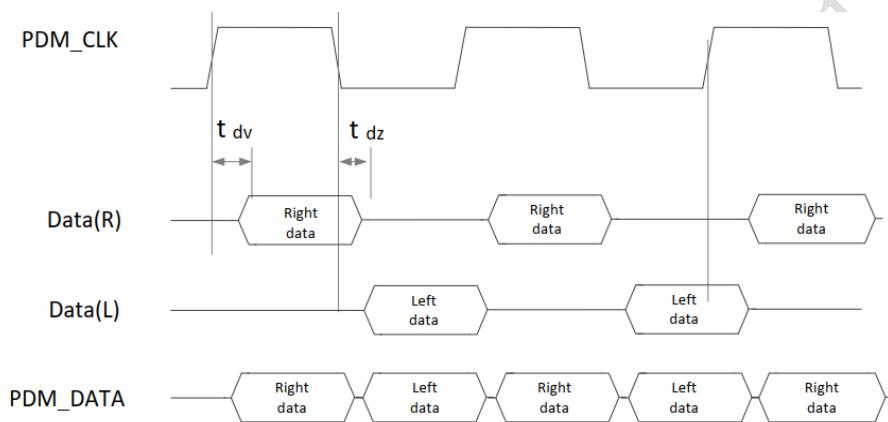


图 2-130 RK3576 PDM 接口数据格式

常见的采样率与 PDM_CLK 的对应关系如下表，在硬件调测时可以对照进行参考。时钟信号的质量对 PDM 录音质量有直接影响，因此在 PLL 分频时候，需要使用小数 PLL+整数分频的方式。

表 2-50 RK3576 PDM_CLK 频率与采样率对照表

PDM_CLK 频率	采样率
3.072MHz	12kHz, 24kHz, 48kHz, 96kHz, 192kHz
2.8224MHz	11.025kHz, 22.05kHz, 44.1kHz, 88.2kHz, 176.4kHz
2.048MHz	8kHz, 16kHz, 32kHz, 64kHz, 128kHz

下表为 PDM 接口的相关复用情况说明：

表 2-51 RK3576 PDM 接口的复用情况说明

接口	复用编号	IO Domain	组成形式
PDM0	M0	PMUIO1	CLK0+CLK1+SDI0123
PDM0	M1	VCCIO0	CLK0+CLK1+SDI0123
PDM0	M2	VCCIO3	CLK0+CLK1+SDI0123
PDM0	M3	VCCIO4	CLK0+CLK1+SDI0123
PDM1	M0	VCCIO4	CLK0+CLK1+SDI0123
PDM1	M1	VCCIO2	CLK0+CLK1+SDI0123
PDM1	M2	VCCIO5	CLK0+CLK1+SDI0123

2.3.9.4.1 PDM0 数字音频接口

PDM0 引脚复用在 4 个不同的电源域, PDM0_M0 复用在 PMUIO1, PDM0_M1 复用在 VCCIO0, PDM0_M2 复用在 VCCIO3, PDM0_M3 复用在 VCCIO4。4 处复用不能同时使用, 每次只能用其中一组。需要核对 PDM 外设的 IO 电平, 使其匹配对应的 IO 电源域供电。

PDM0 接口上下拉和匹配设计推荐如表所示。为改善 PCB 走线对时钟的影响, 提供了两个同源同相的 PDM 时钟, PDM_CLK0 和 PDM_CLK1, 可以任意搭配 PDM_SDIx 数据线使用, 具体产品设计中, 应结合外设连接情况、PCB 走线情况进行合理、灵活的分配, 避免单一 CLK 走线情况下长分支、多负载对信号质量的影响。

表 2-52 RK3576 PDM0 接口信号描述

信号	默认上下拉	连接方式	描述 (芯片端)
PDM0_CLK0_M0	下拉	串联 22ohm 电阻	PDM 时钟 0
PDM0_CLK1_M0	下拉	串联 22ohm 电阻	PDM 时钟 1
PDM0_SDI0_M0	下拉	直连	PDM 输入数据线 0
PDM0_SDI1_M0	下拉	直连	PDM 输入数据线 1
PDM0_SDI2_M0	下拉	直连	PDM 输入数据线 2
PDM0_SDI3_M0	下拉	直连	PDM 输入数据线 3
PDM0_CLK0_M1	下拉	串联 22ohm 电阻	PDM 时钟 0
PDM0_CLK1_M1	上拉	串联 22ohm 电阻	PDM 时钟 1
PDM0_SDI0_M1	下拉	直连	PDM 输入数据线 0
PDM0_SDI1_M1	上拉	直连	PDM 输入数据线 1
PDM0_SDI2_M1	上拉	直连	PDM 输入数据线 2
PDM0_SDI3_M1	上拉	直连	PDM 输入数据线 3
PDM0_CLK0_M2	下拉	串联 22ohm 电阻	PDM 时钟 0
PDM0_CLK1_M2	下拉	串联 22ohm 电阻	PDM 时钟 1
PDM0_SDI0_M2	下拉	直连	PDM 输入数据线 0
PDM0_SDI1_M2	下拉	直连	PDM 输入数据线 1
PDM0_SDI2_M2	下拉	直连	PDM 输入数据线 2
PDM0_SDI3_M2	下拉	直连	PDM 输入数据线 3
PDM0_CLK0_M3	下拉	串联 22ohm 电阻	PDM 时钟 0
PDM0_CLK1_M3	下拉	串联 22ohm 电阻	PDM 时钟 1
PDM0_SDI0_M3	下拉	直连	PDM 输入数据线 0
PDM0_SDI1_M3	下拉	直连	PDM 输入数据线 1
PDM0_SDI2_M3	下拉	直连	PDM 输入数据线 2
PDM0_SDI3_M3	下拉	直连	PDM 输入数据线 3

注意:

- 为提高 PDM 接口性能, 对应 VCCIO 电源域的去耦电容不得删除, 布局时请靠近管脚放置;
- 当通过连接器实现板对板连接时, 建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间, 具体以能满足 SI 测试为准), 并预留 TVS 器件。

2.3.9.4.2 PDM1 数字音频接口

PDM1 引脚复用在 3 个不同的电源域, PDM1_M0 复用在 VCCIO4, PDM1_M1 复用在 VCCIO2, PDM1_M2 复用在 VCCIO5。3 处复用不能同时使用, 每次只能用其中一组。需要核对 PDM 外设的 IO 电平, 使其匹配对应的 IO 电源域供电。

PDM1 接口上下拉和匹配设计推荐如表所示。为改善 PCB 走线对时钟的影响, 提供了两个同源同相的 PDM 时钟, PDM_CLK0 和 PDM_CLK1, 可以任意搭配 PDM_SDIx 数据线使用, 具体产品设计中, 应结合外设连接情况、PCB 走线情况进行合理、灵活的分配, 避免单一 CLK 走线情况下长分支、多负载对信号质量的影响。

表 2-53 RK3576 PDM1 接口信号描述

信号	默认上下拉	连接方式	描述 (芯片端)
PDM1_CLK0_M0	下拉	串联 22ohm 电阻	PDM 时钟 0
PDM1_CLK1_M0	下拉	串联 22ohm 电阻	PDM 时钟 1
PDM1_SDI0_M0	下拉	直连	PDM 输入数据线 0
PDM1_SDI1_M0	下拉	直连	PDM 输入数据线 1
PDM1_SDI2_M0	下拉	直连	PDM 输入数据线 2
PDM1_SDI3_M0	下拉	直连	PDM 输入数据线 3
PDM1_CLK0_M1	下拉	串联 22ohm 电阻	PDM 时钟 0
PDM1_CLK1_M1	下拉	串联 22ohm 电阻	PDM 时钟 1
PDM1_SDI0_M1	下拉	直连	PDM 输入数据线 0
PDM1_SDI1_M1	下拉	直连	PDM 输入数据线 1
PDM1_SDI2_M1	下拉	直连	PDM 输入数据线 2
PDM1_SDI3_M1	下拉	直连	PDM 输入数据线 3
PDM1_CLK0_M2	下拉	串联 22ohm 电阻	PDM 时钟 0
PDM1_CLK1_M2	下拉	串联 22ohm 电阻	PDM 时钟 1
PDM1_SDI0_M2	下拉	直连	PDM 输入数据线 0
PDM1_SDI1_M2	下拉	直连	PDM 输入数据线 1
PDM1_SDI2_M2	下拉	直连	PDM 输入数据线 2
PDM1_SDI3_M2	下拉	直连	PDM 输入数据线 3

注意:

- 为提高 PDM 接口性能, 对应 VCCIO 电源域的去耦电容不得删除, 布局时请靠近管脚放置;
- 当通过连接器实现板对板连接时, 建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间, 具体以能满足 SI 测试为准), 并预留 TVS 器件。

2.3.9.5 SPDIF 数字音频接口

RK3576 提供 2 个对外的 SPDIF_TX 数字音频输出接口、2 个对外的 SPDIF_RX 数字音频输入接口, 最大支持 24bits 解析度。

SPDIF 全称为 Sony/Philips Digital Interface Format 是 SONY、PHILIPS 数字音频接口的简称。就传输载体而言, 消费类上, 常见的 SPDIF 又分为同轴和光纤两种, 二者传输的信号相同, 传输所依赖的载体不同, 接口和连线外观也有差异, SPDIF 的通讯速率通常受限于载体, 因此在硬件设计的时候需要考虑所使

用的接口器件规格。但光信号传输无需考虑接口电平及阻抗问题，接口灵活且抗干扰能力更强。

2.3.9.5.1 SPDIF_TX0 数字音频接口

SPDIF_TX0 引脚复用在 3 个不同电源域中的 3 处 IO，复用情况如下表。

SPDIF 接口上下拉和匹配设计推荐如表所示。需要核对 SPDIF_TX 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

表 2-54 RK3576 SPDIF_TX0 接口信号描述

信号及复用情况	默认上下拉	连接方式	所属电源域	对应 IO
SPDIF_TX0_M0	下拉	串联 22ohm 电阻	VCCIO2	GPIO4_B5
SPDIF_TX0_M1	下拉	串联 22ohm 电阻	VCCIO5	GPIO4_A1
SPDIF_TX0_M2	下拉	串联 22ohm 电阻	VCCIO4	GPIO2_D7

注意：

- 为提高 SPDIF 接口性能，对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议信号串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.9.5.2 SPDIF_TX1 数字音频接口

SPDIF_TX1 引脚复用在 3 个不同电源域中的 3 处 IO，复用情况如下表。

SPDIF 接口上下拉和匹配设计推荐如表所示。需要核对 SPDIF_RX 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

表 2-55 RK3576 SPDIF_TX1 接口信号描述

信号及复用情况	默认上下拉	连接方式	所属电源域	对应 IO
SPDIF_TX1_M0	下拉	串联 22ohm 电阻	VCCIO5	GPIO3_B5
SPDIF_TX1_M1	下拉	串联 22ohm 电阻	VCCIO4	GPIO3_A3
SPDIF_TX1_M2	下拉	串联 22ohm 电阻	VCCIO3	GPIO1_D5

注意：

- 为提高 SPDIF 接口性能，对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议信号串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.9.5.3 SPDIF_RX0 数字音频接口

SPDIF_RX0 引脚复用在 3 个不同电源域中的 3 处 IO，复用情况如下表。

SPDIF 接口上下拉和匹配设计推荐如表所示。需要核对 SPDIF_RX 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

表 2-56 RK3576 SPDIF_RX0 接口信号描述

信号及复用情况	默认上下拉	连接方式	所属电源域	对应 IO
SPDIF_RX0_M0	下拉	串联 22ohm 电阻	VCCIO2	GPIO4_B4
SPDIF_RX0_M1	下拉	串联 22ohm 电阻	VCCIO5	GPIO4_A0
SPDIF_RX0_M2	下拉	串联 22ohm 电阻	VCCIO4	GPIO2_D6

注意：

- 为提高 SPDIF 接口性能，对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；

- 当通过连接器实现板对板连接时，建议信号串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.9.5.4 SPDIF_RX1 数字音频接口

SPDIF_RX1 引脚复用在 3 个不同电源域中的 3 处 IO，复用情况如下表。

SPDIF 接口上下拉和匹配设计推荐如表所示。需要核对 SPDIF_RX 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

表 2-57 RK3576 SPDIF_RX1 接口信号描述

信号及复用情况	默认上下拉	连接方式	所属电源域	对应 IO
SPDIF_RX1_M0	下拉	串联 22ohm 电阻	VCCIO5	GPIO3_B4
SPDIF_RX1_M1	下拉	串联 22ohm 电阻	VCCIO4	GPIO3_A2
SPDIF_RX1_M2	下拉	串联 22ohm 电阻	VCCIO3	GPIO1_D4

注意：

- 为提高 SPDIF 接口性能， 对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议信号串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.9.6 ASRC 异步采样率转换器模块

ASRC (Asynchronous Sample Rate Converter) 没有具体的硬件 IO 接口形式，但其对实际产品中的音频方案设计、兼容性、同步和实时等功能有极大影响，因此在本节进行介绍。

在音频系统中，ASRC 通常用于将音频数据从一个采样率转换到另一个采样率，或者将基于不同时钟的“不同步的相同采样率”数据进行转换。因此，可以将 ASRC 模块看作是 SAI、PDM、SPDIF 等音频接口的中间件。通过引用 ASRC，可以使不同采样率、不同步时钟的设备或接口保持音频通信的连贯性和稳定性。

RK3576 提供了 4 组 ASRC 模块，覆盖了对外和对内的音频模块，其支持的采样率范围从 8kHz 到 384kHz，典型的如下表。提供从 1 比 8（下转换）到 8 比 1（上转换）的转换范围。

表 2-58 RK3576 ASRC 模块典型采样率

ASRC 模块典型输入/输出采样率
8KHz, 16KHz, 32KHz, 64KHz, 128KHz
12KHz, 24KHz, 48KHz, 96KHz, 192KHz, 384KHz
11.025KHz, 22.05KHz, 44.1KHz, 88.2KHz, 176.4KHz, 352.8KHz

模块名称及所属内部电源域描述如下：

表 2-59 RK3576 ASRC 异步采样率转换器模块

模块名称	所属内部电源域
ASRC_4CH_0	PD_AUDIO
ASRC_4CH_1	PD_AUDIO
ASRC_2CH_0	PD_AUDIO
ASRC_2CH_1	PD_AUDIO

2.3.9.7 DSM 音频接口

DSM PWM Audio 指的是将音频 PCM 数据进行直接比特流数字编码（Direct Stream Digital）转换输出的 1bit 信号流数据，在未配备高性能音频 DAC、又需要有语音音频输出的设计中，该接口可经一阶 RC 低通滤波处理得到音频信号，如下图所示，输出的数字信号经滤波后得到音频信号。

这是一种低成本的音频输出方案，对于有音质需求的场景，依然建议外挂音频 Codec 或 DAC。

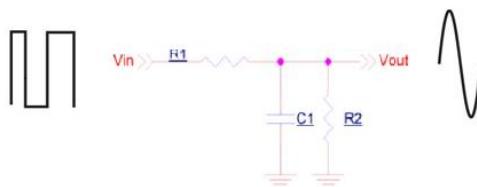


图 2-131 RK3576 DSM PWM Audio 低通滤波器示意图

该组接口提供了两对差分输出，可满足立体声需求。接口的详细介绍和 RC 低通滤波参数计算，可参考文档《DSM AUDIO 音频接口电路设计》。

DSM 引脚复用在 2 个不同电源域中，DSM_AUD_M0 复用在 VCCIO1，DSM_AUD_M1 复用在 VCCIO6，2 处复用不能同时使用，每次只能用其中一组。

时钟信号的质量对 DSM 输出质量有直接影响，因此在 PLL 分频时候，需要使用小数 PLL+整数分频的方式。

同时需要注意，SAI4 在内部连接到 DSM 模块，因此当 DSM 模块使用时，外部 SAI4 不可使用。

表 2-60 RK3576 DSM PWM Audio 接口信号描述

信号及复用情况	默认上下拉	连接方式	所属电源域
DSM_AUD_LP_M0	上拉	串接 RC 低通滤波	VCCIO1
DSM_AUD_LN_M0	上拉	串接 RC 低通滤波	VCCIO1
DSM_AUD_RP_M0	上拉	串接 RC 低通滤波	VCCIO1
DSM_AUD_RN_M0	下拉	串接 RC 低通滤波	VCCIO1
DSM_AUD_LP_M1	上拉	串接 RC 低通滤波	VCCIO6
DSM_AUD_LN_M1	上拉	串接 RC 低通滤波	VCCIO6
DSM_AUD_RP_M1	上拉	串接 RC 低通滤波	VCCIO6
DSM_AUD_RN_M1	下拉	串接 RC 低通滤波	VCCIO6

注意：

- 为提高接口性能，对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.9.8 音频外设的设计参考

本章节对于常用的音频场景，给出了设计建议，用户可参考使用。

2.3.9.8.1 放音设备、耳机、喇叭

对于喇叭放音需求，实现方案如下，RK3576 通过 I2S 连接 Codec 或音频 DAC 实现模拟输出，再通过音频功放实现功率放大驱动喇叭。对于立体声或单声道，SAI 接口工作在 I2S 模式即可满足；对于多声道

的场景，可以使用 SAI 接口的 TDM 模式：

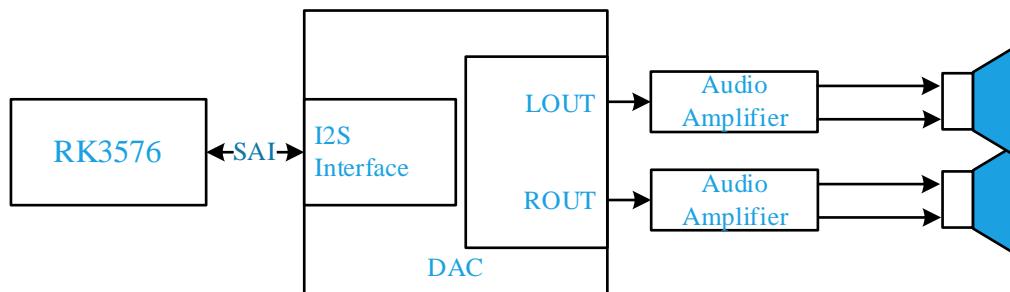


图 2-132 RK3576 喇叭输出示意图

针对放音素质要求低、成本严格的场景，通过 DSM PWM Audio 输出的路径示意如下，使用该方案前建议评估音频质量，例如用于简单的语音播报等用途：

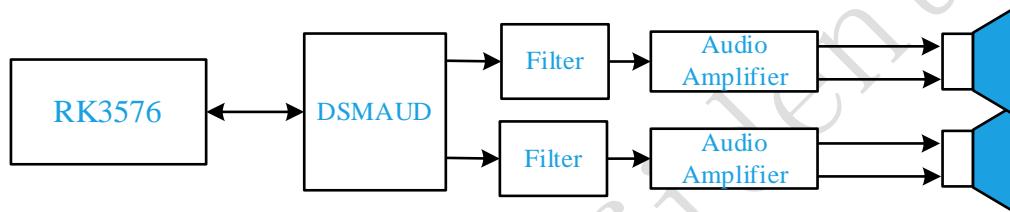


图 2-133 RK3576 低成本喇叭输出示意图

2.3.9.8.2 录音设备、麦克风

在平板、笔电等应用场景中，除了放音还有录音的需求，此时通常使用集成 ADC、DAC 的 Codec 来实现相关功能，如下图所示：

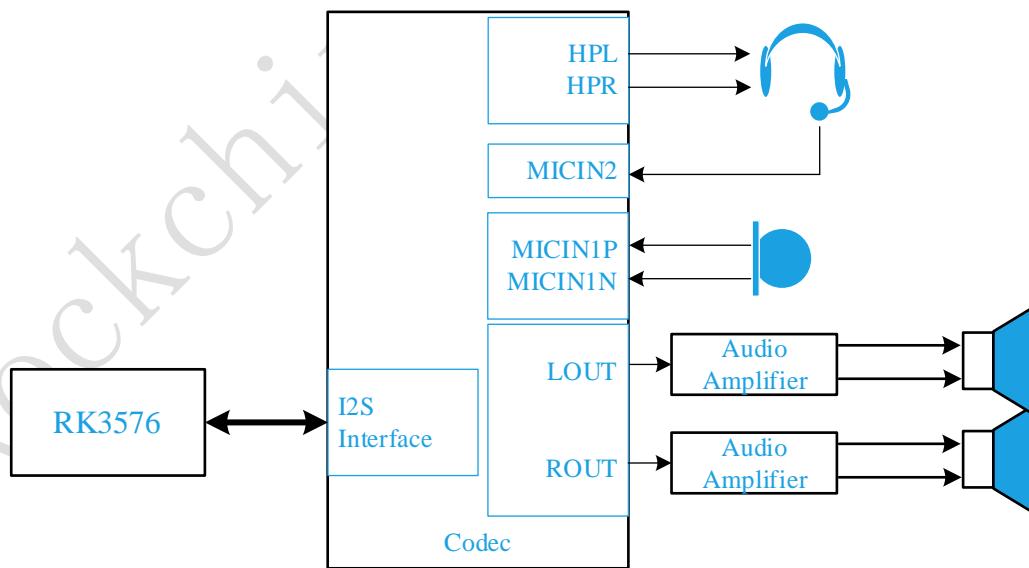


图 2-134 RK3576 典型的音频方案示意图

在 AIOT 的参考图以及 EVB 板上，使用了一颗 ES8388 的 Codec 来实现上述功能，如下图。在实际图纸设计中，请注意和 Codec 连接的控制信号、I2C 信号、音频信号的电平配置，确保匹配。

如果直接套用参考设计的电路，相关模拟接口和耳机、LINEOUT、MIC 建议尽可能保持一致，这样可以套用 SDK 软件的配置。如有调整，则需要自行修改代码，确保耳机切换、功放使能等逻辑和物理上音频

通道的对应。

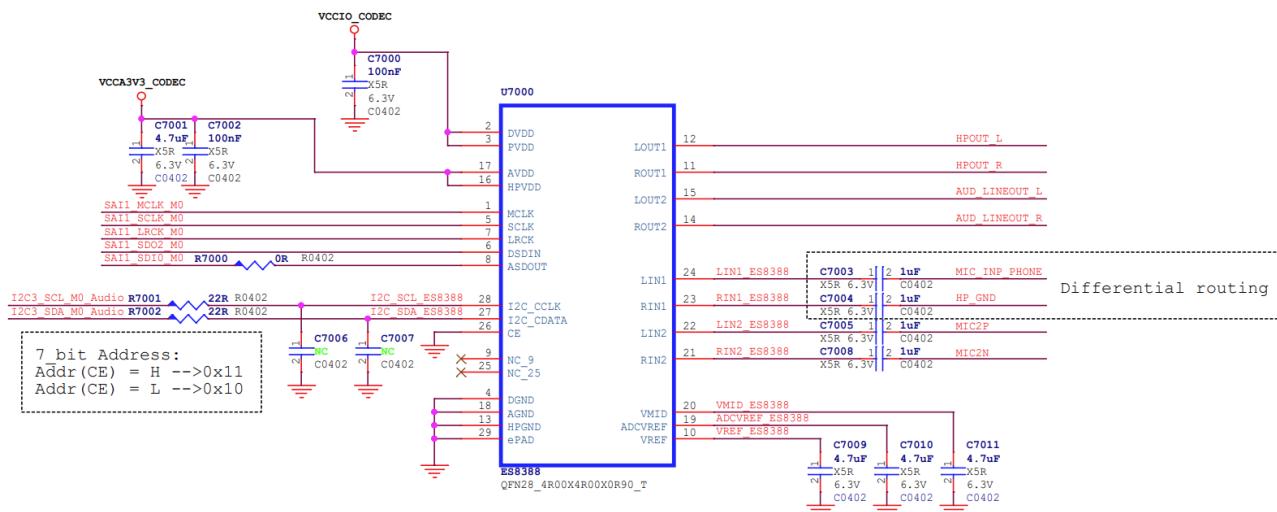


图 2-135 RK3576 典型的音频方案电路图

需要特别说明的是，参考设计使用了带 DET 检测的耳机接口，默认开启 HP_DET_L 引脚的内部上拉。该处配置应根据实际使用的耳机座子类型进行调整。

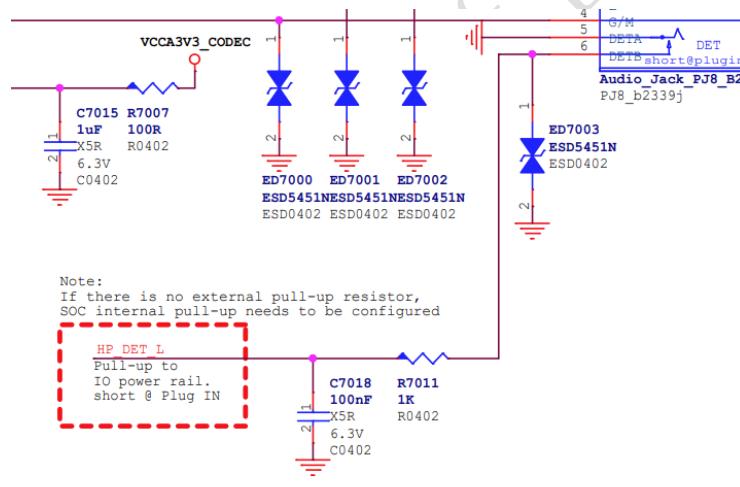


图 2-136 RK3576 HP_DET_L 引脚的上下拉说明

在麦克风输入上，建议针对驻极体或单端输出的模拟硅麦克风，都采用伪差分走线的方式，下图中靠近麦克风处的 OR 串阻目的是为了提醒 layout 时候注意。

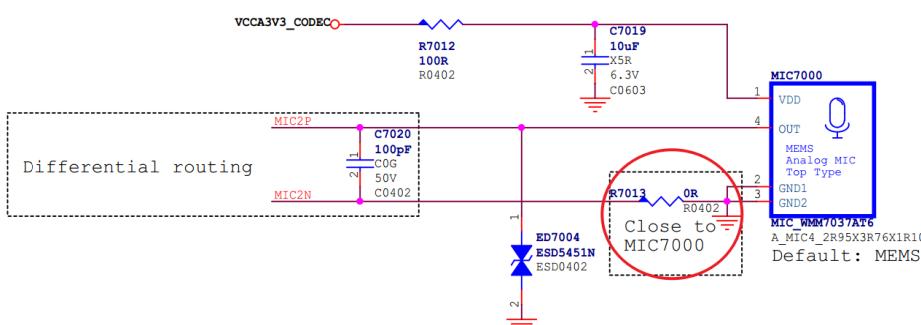


图 2-137 麦克风输入的伪差分处理

2.3.9.8.3 多麦克风方案介绍

对于有多麦克风输入（麦克风阵列、远场识别）的场景，此时需要接入较多的麦克风，常见的扩展方案有如下三种：

- 方法 1：通过 SAI (I2S/TDM) 接口的 Codec、音频 ADC 实现多个麦克风和喇叭回采的输入采集；
- 方法 2：通过 PDM 接口的 Codec 实现多个麦克风和喇叭回采的输入采集；
- 方法 3：通过 PDM 接口的麦克风实现录音，通过 PDM 接口的 Codec、音频 ADC 实现喇叭回采的输入采集。

如果存在路数不够的情况，可以通过使用多根 SDIx 数据线来实现多声道输入，或者通过 SAI 接口的 TDM 模式实现级联输入。硬件上简单堆叠相同电路即可。

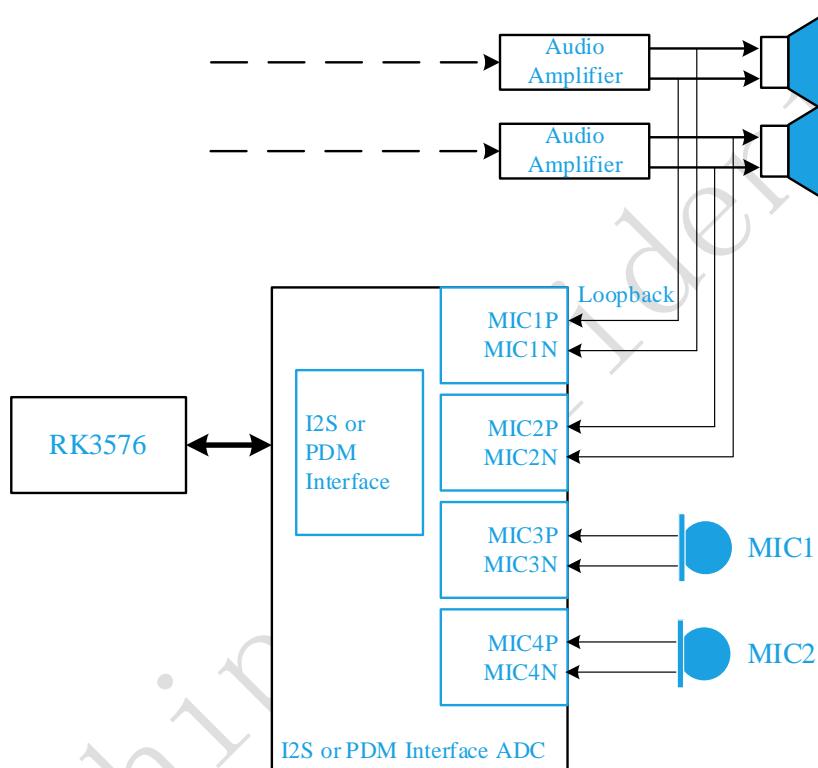


图 2-138 RK3576 多麦克风方案示意图

在 AIOT 的参考图中，给出了一种通过多颗 ES7202 连接多颗模拟硅麦以及回采的电路参考，如下图。在实际图纸设计中，请注意和音频 ADC 连接的控制信号、I2C 信号、PDM 信号的电平配置，确保匹配。

多麦克风场景中，麦克风的用量、布局，需要结合实际算法来决定，建议咨询算法提供商，以确定相关参数、规格。对于麦克风的选型，给出一种常规的建议：

- (1) 敏感度 (sensitivity) 期望值 $\geq -38 \text{ dBV}$ @94dB、1kHz，模拟 MEMS 硅麦克风基本能够满足该限
定，驻极体 ECM 麦克风则需要认真选型，一些-42 dBV 的不推荐使用；有条件情况下，建议多麦
克风之间的焊接前器件灵敏度差异 $\leq \pm 1 \text{ dB}$ ；
- (2) 信噪比 (SNR)，期望值 $\geq 64 \text{ dB}$ ，一些设计出于成本考虑，可以平衡效果的需求，适当放宽到 $\geq 60 \text{ dB}$ ；
- (3) 声学过载点 (AOP)，典型值 $\geq 120 \text{ dB SPL}$ 。若设备自身播音输出功率较大，如大音箱、或者电视
回音壁音箱等可能接收到大分贝声音输入的，需要提高；
- (4) 频率响应 (freq response)，典型值 $\leq \pm 2 \text{ dB}$ @ 100Hz - 8kHz (1/2 sample rate，一般采样 16k 计)；
有条件可以 $\leq \pm 1.5 \text{ dB}$ ；

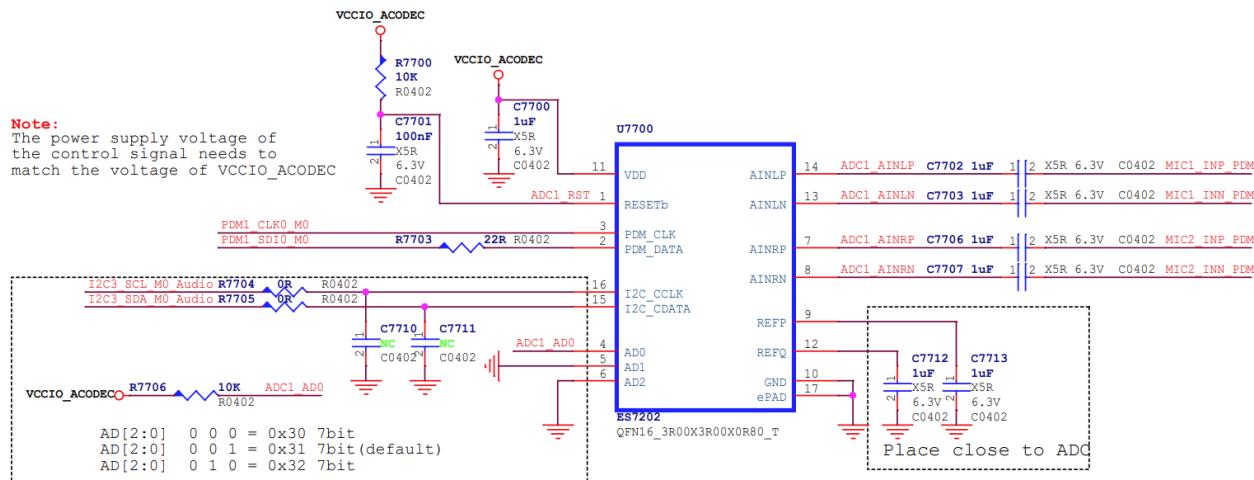
(5) 总体谐波失真 (THD), 典型值 $\geq 110\text{dB SPL@1\%}$ 。

图 2-139 多颗模拟硅麦及回采的电路参考图

2.3.10 GMAC 接口电路

RK3576 芯片拥有 2 个 GMAC 控制器，提供 RMII 或 RGMII 接口连接外置的 Ethernet PHY。

GMAC 控制器支持以下功能：

- 支持 10/100/1000 Mbps 数据传输速率的 RGMII 接口
- 支持 10/100 Mbps 数据传输速率的 RMII 接口

GMAC0 复用在两个不同的电源域，GMAC0_M0 复用在 VCCIO5 电源域，GMAC0_M1 复用在 VCCIO4 电源域。二处复用不能同时使用，每次只能用其中一组。

FLEXBUS1_D11	DSMC RDYN	SAI4 SDI M1	ETH CLK0_25M OUT M0	VO EBC SDSHR	VO_LCDC_D23	GPIO3_A4_d	1D13
FLEXBUS0_D7	DSMC DATA13	PDM1_SD13_M2	ETH0_MDI0_M0	VO_EBC_GDS5	VO_LCDC_D22	GPIO3_A5_d	1A9
FLEXBUS0_D6	DSMC DATA14	PDM1_SD12_M2	ETH0_MDC_M0	VO_EBC_GDOE	VO_LCDC_D21	GPIO3_A6_d	1A7
FLEXBUS0_D5	DSMC DATA13	PDM1_CLK1_M2	ETH0_RXCTL_M0	VO_EBC_VCOM	VO_LCDC_D20	GPIO3_A7_d	B13
FLEXBUS0_D8	DSMC CSN1	SAI4_MCLK_M1	ETH0_MCLK_M0	VO_EBC_SDCE3	VO_LCDC_D19	GPIO3_B0_d	B14
FLEXBUS0_D4	DSMC DATA12	PDM1_CLK0_M2	ETH0_RXD1_M0	VO_EBC_SDCE2	VO_LCDC_D18	GPIO3_B1_d	1A11
FLEXBUS0_D3	DSMC DATA11	PDM1_SD11_M2	ETH0_RXD0_M0	VO_EBC_SDCE1	VO_LCDC_D17	GPIO3_B2_d	A13
FLEXBUS0_D2	DSMC DATA10	PDM1_SD10_M2	ETH0_TXCTL_M0	VO_EBC_SDCE0	VO_LCDC_D16	GPIO3_B3_d	A11
FLEXBUS0_D1	DSMC DATA9	SPDIF_RX1_M0	ETH0_RXD1_M0	VO_EBC_SDD015	VO_LCDC_D15	GPIO3_B4_d	B10
FLEXBUS0_D0	DSMC DATA8	SPDIF_RX1_M0	ETH0_RXD0_M0	VO_EBC_SDD014	VO_LCDC_D14	GPIO3_B5_d	1A9
FLEXBUS0_CLK	DSMC DQS1	--	ETH0_TXCLK_M0	VO_EBC_SDD013	VO_LCDC_D13	GPIO3_B6_d	B11
FLEXBUS1_D10	DSMC DQS0	SAI1_SD10_M1	ETH0_PPSTRIG_M0	VO_EBC_SDD012	VO_LCDC_D12	GPIO3_B7_d	1D12
FLEXBUS1_D9	DSMC DATA7	SAI1_SD03_M1	ETH0_PPCLK_M0	VO_EBC_SDD011	VO_LCDC_D11	GPIO3_C0_d	E9
FLEXBUS1_D8	DSMC DATA6	SAI1_SD02_M1	ETH0_PTP_REFCLK_M0	VO_EBC_SDD010	VO_LCDC_D10	GPIO3_C1_d	1B10
FLEXBUS0_D9	DSMC INT1	SAI2_SCLK_M2	ETH0_RXD3_M0	VO_EBC_SDD09	VO_LCDC_D9	GPIO3_C2_d	B9
FLEXBUS0_D10	DSMC INT3	SAI2_LRCK_M2	ETH0_RXD2_M0	VO_EBC_SDD08	VO_LCDC_D8	GPIO3_C3_d	1A8
FLEXBUS1_D7	DSMC DATA5	SAI1_SD01_M1	--	VO_EBC_SDD07	VO_LCDC_D7	GPIO3_C4_d	D19
FLEXBUS1_D6	DSMC DATA4	SAI1_SD00_M1	--	VO_EBC_SDD06	VO_LCDC_D6	GPIO3_C5_d	1B9
FLEXBUS1_D5	DSMC DATA3	SAI1_LRCK_M1	--	VO_EBC_SDD05	VO_LCDC_D5	GPIO3_C6_d	1D7
FLEXBUS1_D4	DSMC DATA2	SAI1_SCLK_M1	--	VO_EBC_SDD04	VO_LCDC_D4	GPIO3_C7_d	IC7
FLEXBUS1_D3	DSMC DATA1	SAI1_MCLK_M1	--	VO_EBC_SDD03	VO_LCDC_D3	GPIO3_D0_d	1C12
FLEXBUS0_D11	DSMC CSN2	SAI2_MCLK_M2	ETH0_RXCLK_M0	VO_EBC_SDD02	VO_LCDC_D2	GPIO3_D1_d	1A12
FLEXBUS0_D12	DSMC CSN3	SAI2_SD1_M2	ETH0_RXD3_M0	VO_EBC_SDD01	VO_LCDC_D1	GPIO3_D2_d	B10
FLEXBUS1_D2	DSMC CSN0	SAI2_SD0_M2	ETH0_RXD2_M0	VO_EBC_SDD00	VO_LCDC_D0	GPIO3_D3_d	1E12
FLEXBUS1_D1	DSMC DATA0	SAI1_SD11_M1	--	VO_EBC_SDCE	VO_LCDC_DEN	GPIO3_D4_d	1D10
FLEXBUS1_D0	DSMC CLKP	SAI1_SD12_M1	--	VO_EBC_GDCLK	VO_LCDC_HSYNC	GPIO3_D5_d	1C10
FLEXBUS1_CLK	DSMC CLKN	SAI1_SD13_M1	--	VO_EBC_SDCLR	VO_LCDC_VSYNC	GPIO3_D6_d	1E7
FLEXBUS0_D15_M0	DSMC RESEEN	SAI4_SCLK_M1	CAM_CLK0_OUT_M0	VO_EBC_SD05	VO_LCDC_CLK	GPIO3_D7_d	1B12
FLEXBUS0_D13_M0	DSMC INTO	SAI4_LRCK_M1	CAM_CLK1_OUT_M0	SPDIF_RX0_M1	--	GPIO4_A0_d	IB7
FLEXBUS0_D14_M0	DSMC INT2	SAI4_SD0_M1	CAM_CLK2_OUT_M0	SPDIF_RX0_M1	VO_POST_EMPTY	GPIO4_A1_d	VCCIO5_VCC_0
							VCCIO5_VCC_1

图 2-140 RK3576 GMAC0_M0 功能管脚

--	SAI0_SDO0_M0	ETH0_RXDO_M1	SDMMC1_D0_M1	VI_CIF_D15	GPIO2_A6_d	B22
--	SAI0_SDO1_M0	ETH0_RXCTL_M1	SDMMC1_D1_M1	VI_CIF_D14	GPIO2_A7_d	B20
PDM0_SD13_M3	SAI0_SD10_M0	ETH0_TXD1_M1	SDMMC1_D2_M1	VI_CIF_D13	GPIO2_B0_d	B19
PDM0_SD12_M3	SAI0_SD11_M0	ETH0_RXDO_M1	SDMMC1_D3_M1	VI_CIF_D12	GPIO2_B1_d	1A18
PDM0_SD11_M3	SAI0_SD12_M0	ETH0_RXD3_M1	SDMMC1_CMD_M1	VI_CIF_D11	GPIO2_B2_d	1A17
PDM0_CLK1_M3	SAI0_SD02_M0	ETH0_TXCLK_M1	SDMMC1_CLK_M1	VI_CIF_D10	GPIO2_B3_d	1B16
PDM0_SD10_M3	SAI0_SD13_M0	ETH0_RXD2_M1	SDMMC1_PREN_M1	VI_CIF_D9	GPIO2_B4_d	A19
PDM0_CLK0_M3	SAI0_MCLK_M0	ETH0_RXCLK_M1	SDMMC1_DETN_M1	VI_CIF_D8	GPIO2_B5_d	1C18
--	SAI0_SCLK_M0	ETH0_RXD3_M1	ETH1_PTP_REFCLK_M1	VI_CIF_D7	GPIO2_B6_d	A21
--	SAI0_LRCK_M0	ETH0_RXD2_M1	--	VI_CIF_D6	GPIO2_B7_d	B21
PDM1_SD11_M0	--	ETH0_PTP_REFCLK_M1	ETH1_RXD2_M0	VI_CIF_D5	GPIO2_C0_d	A17
PDM1_CLK1_M0	SAI2_MCLK_M1	ETH0_PPSSCLK_M1	ETH1_RXD3_M0	VI_CIF_D4	GPIO2_C1_d	1A15
PDM1_SD12_M0	SAI2_SCLK_M1	ETH0_PPSTRIG_M1	ETH1_RXCLK_M0	VI_CIF_D3	GPIO2_C2_d	1D15
PDM1_SD13_M0	SAI2_LRCK_M1	--	ETH1_TXD2_M0	VI_CIF_D2	GPIO2_C3_d	A15
PDM1_SD10_M0	SAI2_SD0_M1	--	ETH1_RXD3_M0	VI_CIF_D1	GPIO2_C4_d	1A13
PDM1_CLK0_M0	SAI2_SD1_M1	--	ETH1_TXCLK_M0	VI_CIF_D0	GPIO2_C5_d	1C15
--	SAI4_SCLK_M3	--	ETH1_TXD0_M0	--	GPIO2_C6_d	A14
--	SAI4_LRCK_M3	--	ETH1_TXD1_M0	--	GPIO2_C7_d	B15
--	SAI4_SDI_M3	--	ETH1_RXCTL_M0	--	GPIO2_D0_d	B16
--	SAI4_SDO_M3	--	ETH1_RXDO_M0	--	GPIO2_D1_d	1A16
--	SAI4_MCLK_M3	--	ETH1_RXD1_M0	CAM_CLK0_OUT_M1	GPIO2_D2_d	B17
--	--	--	ETH1_RXCTL_M0	--	GPIO2_D3_d	B18
--	--	--	ETH1_MDC_M0	ISP_PRELIGHT_TRIG_M0	GPIO2_D4_d	1B13
--	--	--	ETH1_MDI0_M0	ISP_FLASH_TRIGOUT_M0	GPIO2_D5_d	1D18
SPDIF_RX0_M2	SAI3_MCLK_M2	ETH0_MCLK_M1	ETH1_CLK1_25M_OUT_M0	CAM_CLK1_OUT_M1	GPIO2_D6_d	1E15
SPDIF_TX0_M2	SAI0_SD03_M0	ETH0_CLK0_25M_OUT_M1	ETH1_MCLK_M0	CAM_CLK2_OUT_M1	GPIO2_D7_d	1D16
--	SAI3_SCLK_M2	ETH0_MDIO_M1	--	VI_CIF_HREF	GPIO3_A0_d	1B18
--	SAI3_LRCK_M2	ETH0_MDC_M1	ETH1_PPSTRIG_M0	VI_CIF_VSYNC	GPIO3_A1_d	1A20
SPDIF_RX1_M1	SAI3_SDO_M2	ETH0_RXCTL_M1	ETH1_PPSSCLK_M0	VI_CIF_CLK0	GPIO3_A2_d	1A19
SPDIF_TX1_M1	SAI3_SDI_M2	ETH0_RXD1_M1	ETH1_PTP_REFCLK_M0	VI_CIF_CLK1	GPIO3_A3_d	2A7
						VCCIO4_VCC

图 2-141 RK3576 GMAC0_M1 功能管脚

GMAC1 复用在两个不同的电源域，GMAC1_M0 复用在 VCCIO4 电源域，GMAC1_M1 复用在 VCCIO3 电源域。二处复用不能同时使用，每次只能用其中一组。

--	SAI0_SDO0_M0	ETH0_RXDO_M1	SDMMC1_D0_M1	VI_CIF_D15	GPIO2_A6_d	B22
--	SAI0_SDO1_M0	ETH0_RXCTL_M1	SDMMC1_D1_M1	VI_CIF_D14	GPIO2_A7_d	B20
PDM0_SD13_M3	SAI0_SD10_M0	ETH0_TXD1_M1	SDMMC1_D2_M1	VI_CIF_D13	GPIO2_B0_d	B19
PDM0_SD12_M3	SAI0_SD11_M0	ETH0_RXDO_M1	SDMMC1_D3_M1	VI_CIF_D12	GPIO2_B1_d	1A18
PDM0_SD11_M3	SAI0_SD12_M0	ETH0_RXD3_M1	SDMMC1_CMD_M1	VI_CIF_D11	GPIO2_B2_d	1A17
PDM0_CLK1_M3	SAI0_SD02_M0	ETH0_TXCLK_M1	SDMMC1_CLK_M1	VI_CIF_D10	GPIO2_B3_d	1B16
PDM0_SD10_M3	SAI0_SD13_M0	ETH0_RXD2_M1	SDMMC1_PREN_M1	VI_CIF_D9	GPIO2_B4_d	A19
PDM0_CLK0_M3	SAI0_MCLK_M0	ETH0_RXCLK_M1	SDMMC1_DETN_M1	VI_CIF_D8	GPIO2_B5_d	1C18
--	SAI0_SCLK_M0	ETH0_RXD3_M1	ETH1_PTP_REFCLK_M1	VI_CIF_D7	GPIO2_B6_d	A21
--	SAI0_LRCK_M0	ETH0_RXD2_M1	--	VI_CIF_D6	GPIO2_B7_d	B21
PDM1_SD11_M0	--	ETH0_PTP_REFCLK_M1	ETH1_RXD2_M0	VI_CIF_D5	GPIO2_C0_d	A17
PDM1_CLK1_M0	SAI2_MCLK_M1	ETH0_PPSSCLK_M1	ETH1_RXD3_M0	VI_CIF_D4	GPIO2_C1_d	1A15
PDM1_SD12_M0	SAI2_SCLK_M1	ETH0_PPSTRIG_M1	ETH1_RXCLK_M0	VI_CIF_D3	GPIO2_C2_d	1D15
PDM1_SD13_M0	SAI2_LRCK_M1	--	ETH1_TXD2_M0	VI_CIF_D2	GPIO2_C3_d	A15
PDM1_SD10_M0	SAI2_SD0_M1	--	ETH1_RXD3_M0	VI_CIF_D1	GPIO2_C4_d	1A13
PDM1_CLK0_M0	SAI2_SD1_M1	--	ETH1_TXCLK_M0	VI_CIF_D0	GPIO2_C5_d	1C15
--	SAI4_SCLK_M3	--	ETH1_TXD0_M0	--	GPIO2_C6_d	A14
--	SAI4_LRCK_M3	--	ETH1_TXD1_M0	--	GPIO2_C7_d	B15
--	SAI4_SDI_M3	--	ETH1_RXCTL_M0	--	GPIO2_D0_d	B16
--	SAI4_SDO_M3	--	ETH1_RXDO_M0	--	GPIO2_D1_d	1A16
--	SAI4_MCLK_M3	--	ETH1_RXD1_M0	CAM_CLK0_OUT_M1	GPIO2_D2_d	B17
--	--	--	ETH1_RXCTL_M0	--	GPIO2_D3_d	B18
--	--	--	ETH1_MDC_M0	ISP_PRELIGHT_TRIG_M0	GPIO2_D4_d	1B13
--	--	--	ETH1_MDI0_M0	ISP_FLASH_TRIGOUT_M0	GPIO2_D5_d	1D18
SPDIF_RX0_M2	SAI3_MCLK_M2	ETH0_MCLK_M1	ETH1_CLK1_25M_OUT_M0	CAM_CLK1_OUT_M1	GPIO2_D6_d	1E15
SPDIF_TX0_M2	SAI0_SD03_M0	ETH0_CLK0_25M_OUT_M1	ETH1_MCLK_M0	CAM_CLK2_OUT_M1	GPIO2_D7_d	1D16
--	SAI3_SCLK_M2	ETH0_MDIO_M1	--	VI_CIF_HREF	GPIO3_A0_d	1B18
--	SAI3_LRCK_M2	ETH0_MDC_M1	ETH1_PPSTRIG_M0	VI_CIF_VSYNC	GPIO3_A1_d	1A20
SPDIF_RX1_M1	SAI3_SDO_M2	ETH0_RXCTL_M1	ETH1_PPSSCLK_M0	VI_CIF_CLK0	GPIO3_A2_d	1A19
SPDIF_TX1_M1	SAI3_SDI_M2	ETH0_RXD1_M1	ETH1_PTP_REFCLK_M0	VI_CIF_CLK1	GPIO3_A3_d	2A7
						VCCIO4_VCC

图 2-142 RK3576 GMAC1_M0 功能管脚

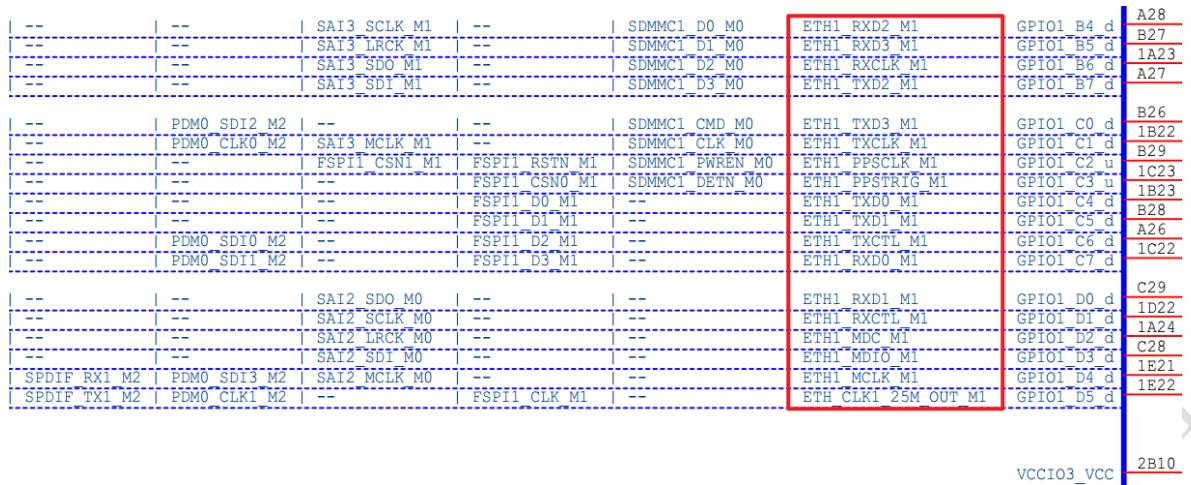


图 2-143 RK3576 GMAC1_M1 功能管脚

RGMII/RMII 接口设计中请注意：

- GMAC0 存在两组复用。GMAC0_M0 复用在 VCCIO5 电源域，可支持 1.8V 或 3.3V 电平，由 VCCIO5_VCC（Pin 2A4+2A5）决定。GMAC0_M1 复用在 VCCIO4 电源域，可支持 1.8V 或 3.3V 电平，由 VCCIO4_VCC（Pin 2A7）决定。
- GMAC1 存在两组复用。GMAC1_M0 复用在 VCCIO4 电源域，可支持 1.8V 或 3.3V 电平，由 VCCIO4_VCC（Pin 2A7）决定。GMAC1_M1 复用在 VCCIO3 电源域，可支持 1.8V 或 3.3V 电平，由 VCCIO3_VCC（Pin 2B10）决定。
- GMACx_M0, GMACx_M1 两处复用，只能使用其中一组，不能同时使用，例如不能同时使用 GMAC0_M0 和 GMAC0_M1。
- 建议 RGMII/RMII 优先采用 1.8V 电平，能获得更好的信号质量。
- 为提高 RGMII/RMII 接口性能，所在 VCCIOx_VCC 电源的去耦电容不得删除，布局时请靠近管脚放置。
- ETH_CLK0_25M_OUT_Mx 需在 RK3576 端预留串接 0 ohm 电阻，根据实际情况有条件提高信号质量。
- ETH_CLK1_25M_OUT_Mx 需在 RK3576 端预留串接 0 ohm 电阻，根据实际情况有条件提高信号质量。
- TXD0~TXD3, RXCLK, RXCTL 需在 PHY 端串接 22 ohm 电阻，以提高信号质量。
- RGMII/RMII 接口上下拉和匹配设计推荐如表：

表 2-61 RK3576 RGMII/RMII 接口设计

信号	IO类型 (3576端)	连接方式	RGMII接口	信号描述	RMII接口	信号描述
ETHx_RXD[3: 0]_Mx	输出	预留串接0ohm电 阻，靠近RK3576端	RGMIIx_RXD[3: 0]	数据发送	RMIIx_RXD[1: 0]	数据发送
ETHx_TXCLK_Mx	输出	预留串接0ohm电 阻，靠近RK3576端	RGMIIx_TXCLK	数据发送参考时钟	--	--
ETHx_TXCTL_Mx	输出	预留串接0ohm电 阻，靠近RK3576端	RGMIIx_TXCTL	数据发送使能（上升 沿）和数据发送错误 (下降沿)	RMIIx_TXEN	数据发送使用信号

信号	IO类型 (3576端)	连接方式	RGMII接口	信号描述	RMII接口	信号描述
ETHx_RXD[3: 0]_Mx	输入	串接22ohm电阻，靠近PHY端	RGMIIx_RXD[3: 0]	数据接收	RMIIx_RXD[1: 0]	数据接收
ETHx_RXCLK_Mx	输入	串接22ohm电阻，靠近PHY端	RGMIIx_RXCLK	数据接收参考时钟	--	--
ETHx_RXCTL_Mx	输入	串接22ohm电阻，靠近PHY端	RGMIIx_RXCTL	数据接收有效（上升沿）和接收错误（下降沿）	RMIIx_RXCTL	数据接收有效和载波侦听
ETHx_MCLK_Mx	输入/输出	输出模式： 预留串接0ohm电 阻，靠近RK3576端 输入模式： 串接22ohm电阻，靠近PHY端	RGMIIx_MCLKIN 125M	PHY送125MHz给 MAC，可选	RMII_MCLKIN 50M or RMII_MCLKOUT 50M	RMII数据发送和数 据接收参考时钟
ETH_CLKx_25M_OUT_Mx	输出	预留串接0ohm电 阻，靠近RK3576端	ETH_CLKx_25M_O UT_Mx	RK3576提供25MHz 时钟替代PHY晶体	ETH_CLKx_25M_O UT_Mx	RK3576提供25MHz 时钟替代PHY晶体
ETHx_MDC_Mx	输出	预留串接0ohm电 阻，靠近RK3576端	RGMIIx_MDC	管理数据时钟	RMIIx_MDC	管理数据时钟
ETHx_MDIO_Mx	输入/输出	外部上拉1.5K- 1.8Kohm电阻	RGMIIx_MDIO	管理数据输出/输入	RMIIx_MDIO	管理数据输出/输入

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻（22ohm-100ohm 之间，具体以能满足 SI 测试为准），并预留 TVS 器件。
- RGMII 连接示图 1，具体电路请见参考图（GEPHY 工作时钟使用外置 25MHz 晶体）：

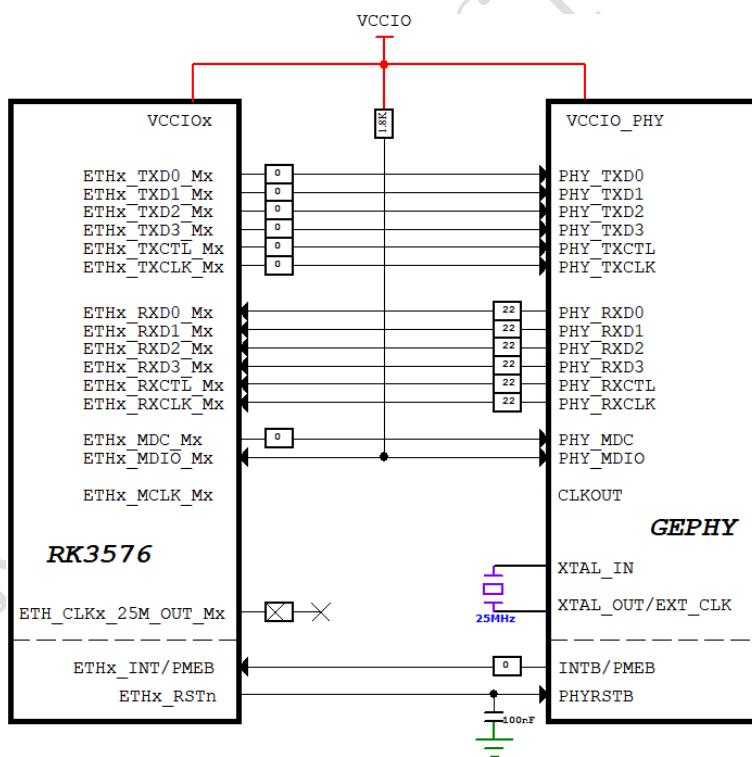


图 2-144 RGMII 连接示意图 1

- RGMII 连接示图 2（以 RTL8211F/YT8531C 为例），具体电路请见参考图（GEPHY 工作时钟使
用 RK3576 提供的 25MHz）：

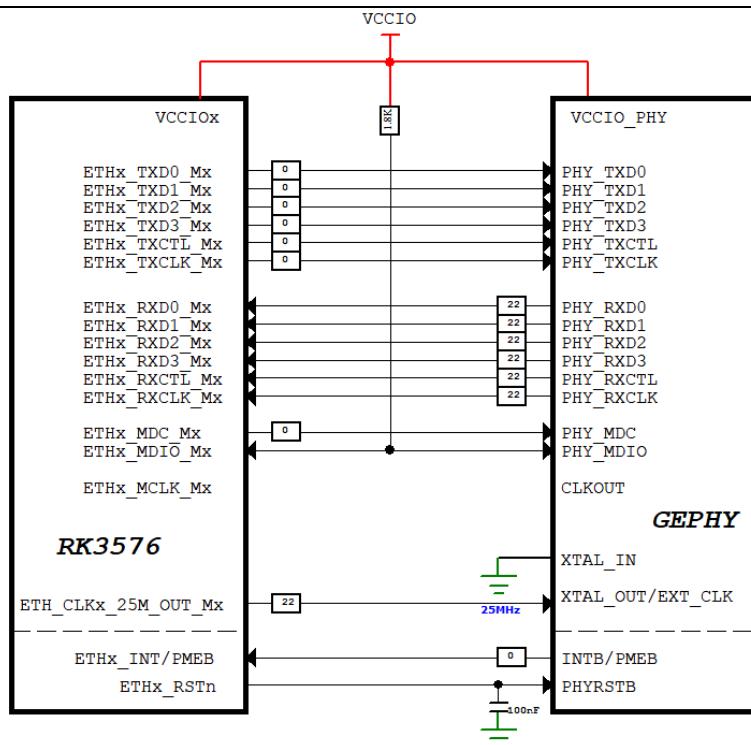


图 2-145 RGMII 连接示意图 2

- RMII 连接示图 1（以 RTL8201F/YT8512C 为例），具体电路请见参考图（ETHx_MCLK_Mx 采用输出模式，即当 FEPHY 工作时钟也当 RMII 接口的参考时钟，有些 FEPHY 不支持这个模式，需注意）：

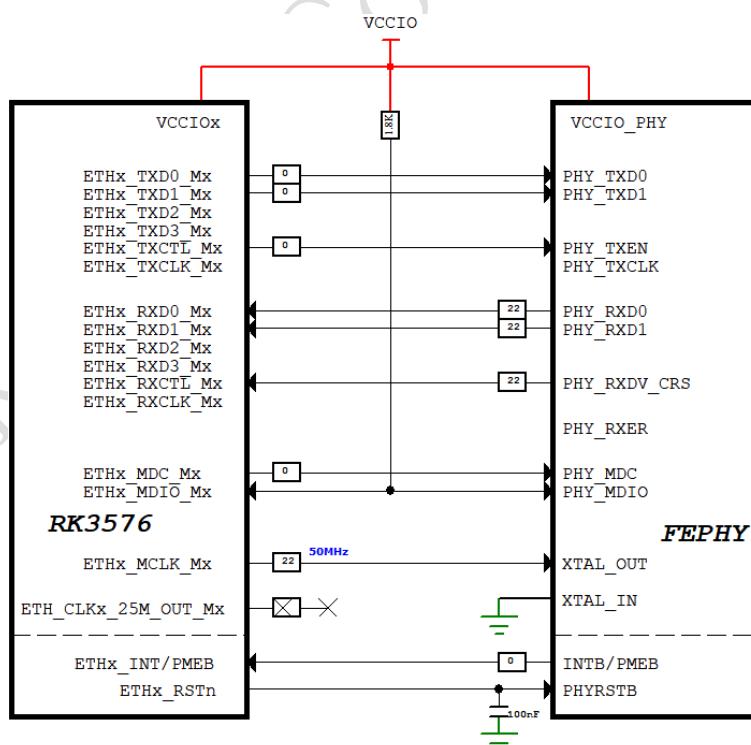


图 2-146 RMII 连接示意图 1

- RMII 连接示图 2，具体电路请见参考图（FEPHY 工作时钟使用 25MHz 晶体，ETHx_MCLK_Mx 采用输出模式，当 RMII 接口的参考时钟，FEPHY 的 TXCLK 需要配置为输入模式）：

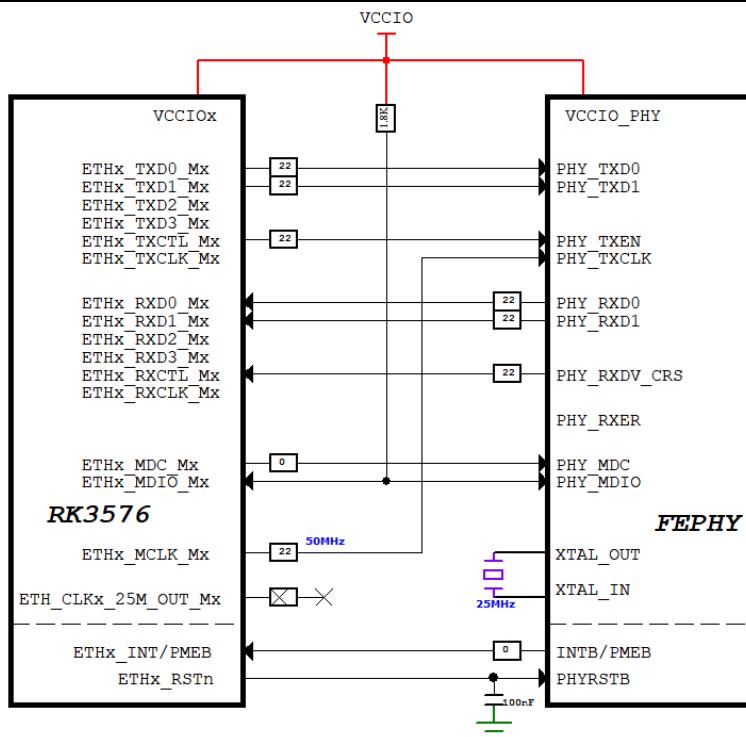


图 2-147 RMII 连接示意图 2

- RMII 连接示图 3（以 RTL8201F/YT8512C 为例），具体电路请见参考图（使用 RK3576 提供的 25MHz 替代 FEPHY 晶体，ETHx_MCLK_Mx 采用输出模式，当 RMII 接口的参考时钟，FEPHY 的 TXCLK 需要配置为输入模式）：

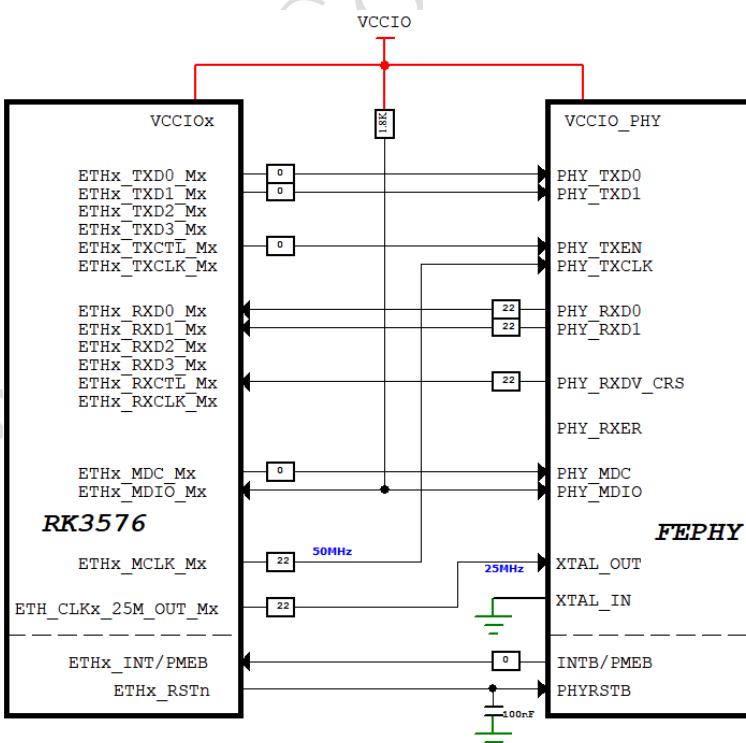


图 2-148 RMII 连接示意图 3

- RMII 连接示图 4，具体电路请见参考图（FEPHY 工作时钟使用外置 25MHz 晶体，ETHx_MCLK_Mx 采用输入模式，RMII 接口的参考时钟由 FEPHY 提供，FEPHY 的 TXCLK 需要配置为输出模式）：

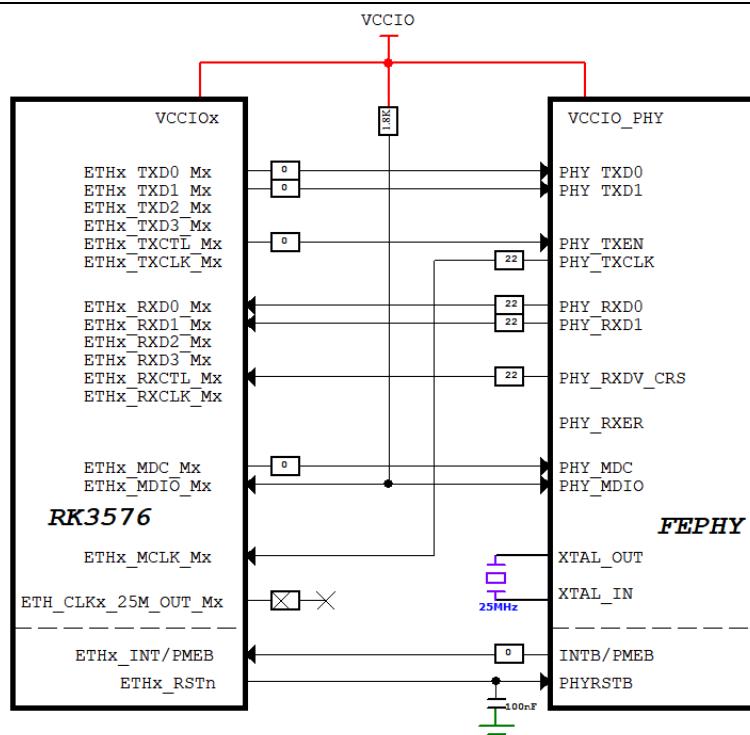


图 2-149 RMII 连接示意图 4

- RMII 连接示图 5 (以 RTL8201F/YT8512C 为例) , 具体电路请见参考图(使用 RK3576 提供的 25MHz 替代 FEPHY 晶体, ETHx_MCLK_Mx 采用输入模式, RMII 接口的参考时钟由 FEPHY 提供, FEPHY 的 TXCLK 需要配置为输出模式):

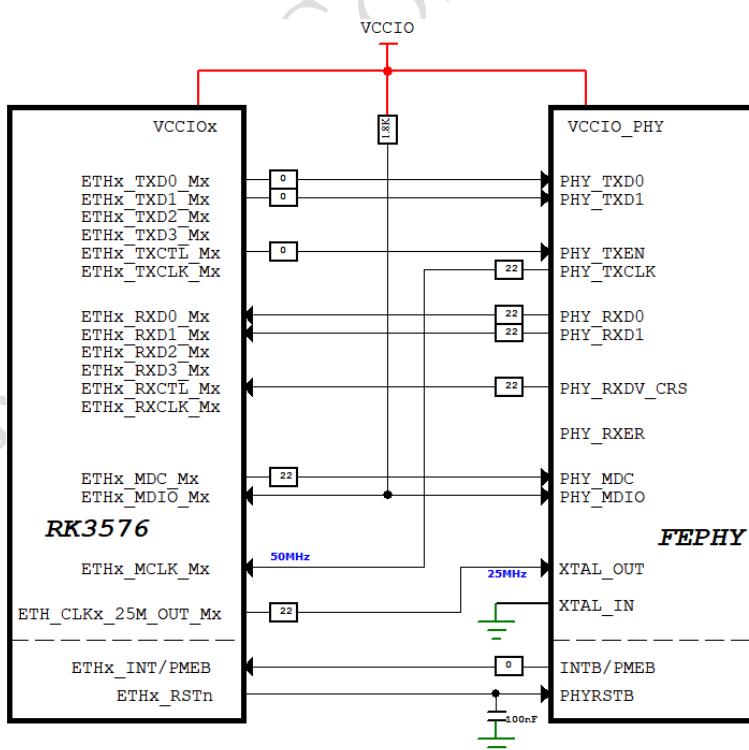


图 2-150 RMII 连接示意图 5

- 在 RGMII 模式下, RK3576 芯片内部 TX/RX 时钟路径集成了 delayline, 支持调整; 参考图默认配置是: TXCLK 与 data 之间时序由 MAC 来控制, RXCLK 与 data 之间时序由 PHY 来控制 (如使用 RTL8211F/FI 即 RXCLK 默认开启 2nS delay, 其它 PHY 要注意这个配置)。

- Ethernet PHY 的 Reset 信号需要用 GPIO 来控制，GPIO 电平必须和 PHY IO 电平匹配，靠近 PHY 管脚必须增加 100nF 电容，加强抗静电能力，注意： RTL8211F/FI 的复位管脚只支持 3.3V 电平。
- RTL8211F/FI 的 INTB/PMEB 为开漏输出，外部必须增加上拉电阻。
- PHY 使用外置晶体时，晶体电容请根据实际使用的晶体的负载电容值选择，控制频偏在+/- 20ppm 以内。
- RTL8211F/FI 的 RSET 管脚外接电阻为 2.49K ohm 精度为 1%，不得随意修改。
- PHY 的初始化硬件配置必须和实际需求匹配。
- MDIO 必须外部加上拉电阻，推荐 1.5-1.8Kohm，上拉电源必须和 IO 电源保持一致。
- RTL8211F/FI 的变压器中心抽头的连接必须按照参考图接，如果换其它 Ethernet PHY，那么变压器中心抽头的连接，建议参考各 Ethernet PHY 厂家的参考设计，因为不同的 PHY 厂家会有不同的连接方式。
- 1000pF 隔离电容建议采用高压安规电容，有足够的电气间隙保证雷击的安全性。
- 网络变压器高压侧的 75 ohm 电阻建议采用 0805 以上的封装。
- 雷击防护等级达到 4KV 以上需要增加防雷管，普通的隔离变压器只能满足 2KV 等级要求。
- 如果有雷击差分测试要求，MDI 差分对间需要增加 TVS 管。
- 务必确认 RJ45 封装和原理图是否一致，RJ45 有分 Tab down 和 Tab up，信号顺序刚好是相反，如果使用 RTL8211F/FI 建议采用 Tab down，MDI 顺序是顺的。

2.3.11 FlexBus 接口电路

RK3576 芯片拥有 1 个灵活的并行总线接口——FlexBus 接口，可实现高速 IO 切换，可以模仿一些标准的协议，也可以模仿一些不规则的协议。

FlexBus 控制器的特征如下：

- 由 2 组 16bit FlexBus 组成，其中 FlexBus0 的数据线可用于 TX 和 RX，FlexBus1 的数据线只能用于 RX；
- 支持 2/4/8/16bit 并行数据传输。对于想要发送数据宽度为 3/5/6/7bit 模式，3bit 按照 4bit 模式发送，一个时钟周期，只有 TXDATA[2:0]有数据，其余为 0，要求放进 ddr 里的数据是每 4bit 存放，5bit/6bit 这种按照 8bit 发送，从 FlexBus 这边看，只有 2/4/8/16Bit 模式；
- 最高速率可以达到 100MHz。

表 2-62 RK3576 FlexBus 的信号方向

管脚名	信号方向	管脚名	信号方向
FLEXBUS0_D0	output/input	FLEXBUS1_D0	input
FLEXBUS0_D1	output/input	FLEXBUS1_D1	input
FLEXBUS0_D2	output/input	FLEXBUS1_D2	input
FLEXBUS0_D3	output/input	FLEXBUS1_D3	input
FLEXBUS0_D4	output/input	FLEXBUS1_D4	input
FLEXBUS0_D5	output/input	FLEXBUS1_D5	input
FLEXBUS0_D6	output/input	FLEXBUS1_D6	input
FLEXBUS0_D7	output/input	FLEXBUS1_D7	input
FLEXBUS0_D8	output/input	FLEXBUS1_D8	input

管脚名	信号方向	管脚名	信号方向
FLEXBUS0_D9	output/input	FLEXBUS1_D9	input
FLEXBUS0_D10	output/input	FLEXBUS1_D10	input
FLEXBUS0_D11	output/input	FLEXBUS1_D11	input
FLEXBUS0_D12	output/input	FLEXBUS1_D12	input
FLEXBUS0_D13	output/input	FLEXBUS1_D13	input
FLEXBUS0_D14	output/input	FLEXBUS1_D14	input
FLEXBUS0_D15	output/input	FLEXBUS1_D15	input
FLEXBUS0_CLK	output	FLEXBUS1_CLK	output/input
FLEXBUS0_CS	output	FLEXBUS1_CS	output

FlexBus 接口复用在 VCCIO2 和 VCCIO5 电源域:

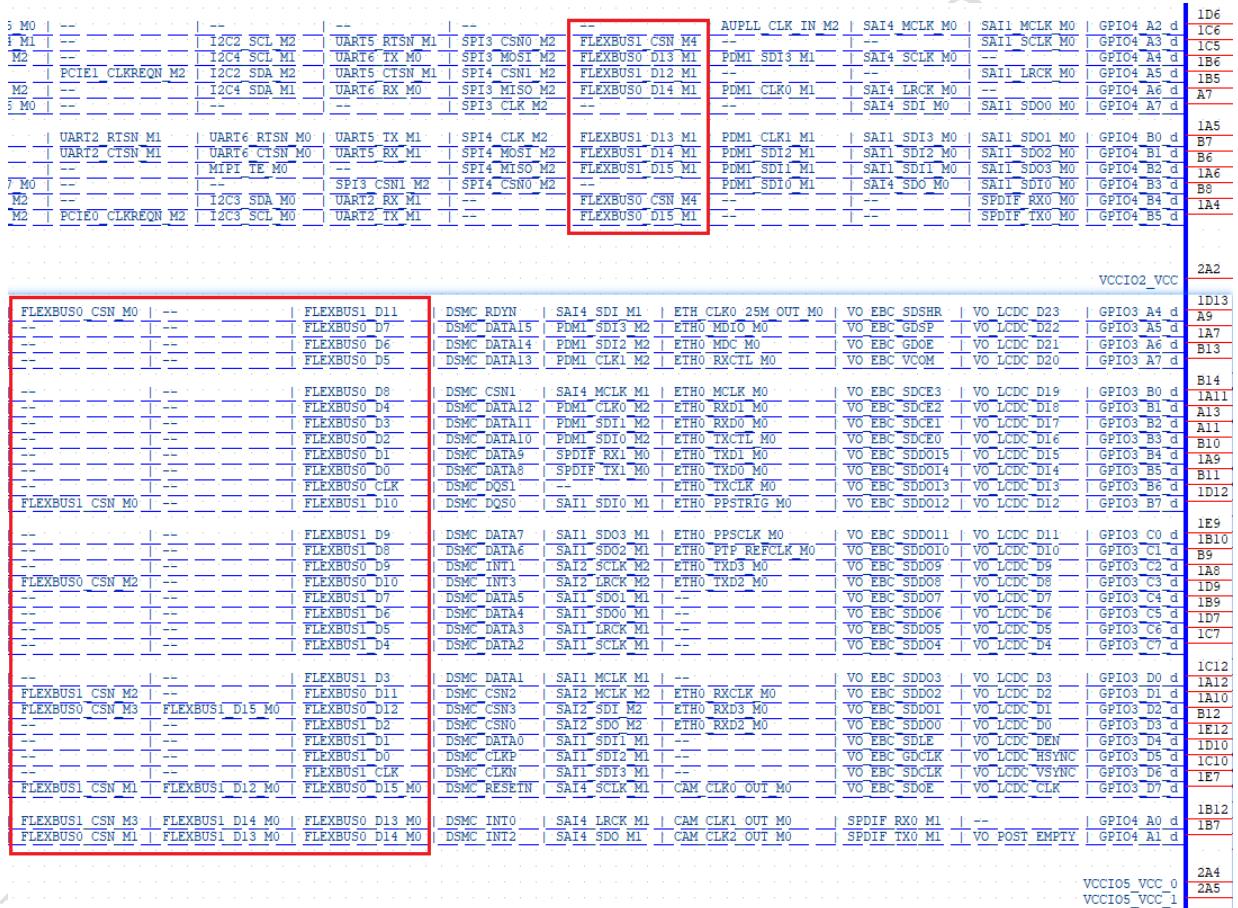


图 2-151 RK3576 FlexBus 功能管脚

FlexBus 接口设计中注意事项:

- FlexBus 复用在 VCCIO2 和 VCCIO5 电源域, 可支持 1.8V 或 3.3V 电平, 实际产品设计中, 需要根据外设的实际 IO 供电要求 (1.8V or 3.3V) 选择对应的供电, 必须保持一致。FlexBus 的主要功能 Pin 复用于 VCCIO5 中, 只使用 VCCIO5 电源域的 FlexBus 功能管脚时, 可以实现: (1) 支持最大 16bit 的 FlexBus0 单独使用, 此时 FlexBus1 最多接 10bit 的外设(FlexBus1 也是工作于 16bit 模式, 但只有 10bit 的有效数据, 其余数据位用 0 填充); (2) 支持最大 16bit 的 FlexBus1 单独使用, 此时 FlexBus0 最多接 10bit 的外设(FlexBus0 也是工作于 16bit 模式, 但只有 10bit 的有效数

据，其余数据位用 0 填充)。

- VCCIO2 的电源域的 FlexBus 的复用管脚是对 VCCIO5 的 FlexBus 功能做补充。采用 VCCIO5 和 VCCIO2 的 FlexBus 功能引脚组合，可以实现 16bit FlexBus0+16bi FlexBus1 的模式，此时需要注意，VCCIO2 和 VCCIO5 的电源域供电需要保持一致。典型的应用场景为高速 16bit 的 ADC 和 16bit 的 DAC 组合使用的场景。

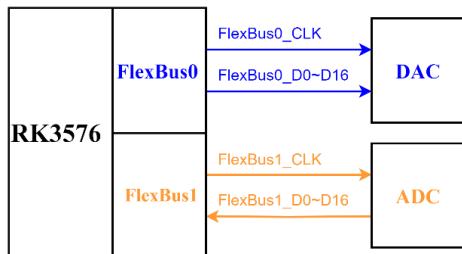


图 2-152 RK3576 FlexBus 的典型应用

- 为了保证 FlexBus 的性能，建议优先使用 VCCIO5 电源域中的 FlexBus 数据信号和时钟信号，比如需要实现 14bit FlexBus0+14bit FlexBus1 的模式，采用 VCCIO5 中的 FlexBus0_D0~FlexBus0_D13、FlexBus0_CLK、FlexBus1_D0~FlexBus1_D13 和 FlexBus1_CLK 信号，片选信号 FlexBus0_CS_N_M4 和 FlexBus1_CS_N_M4 由 VCCIO2 中的 FlexBus 的复用管脚提供。
- FlexBus0_CLK 和 FlexBus1_CLK 需在 RK3576 端预留串接 0 ohm 电阻，根据实际情况有条件提高信号质量；
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.12 DSMC 接口电路

Double Data Rate Serial Memory Controller(DSMC)是双倍数据速率串行接口。主要应用于 PSRAM 设备通信或者 LocalBus 的外设通信(如 FPGA)。

DSMC 控制器的特征如下：

- 支持双倍数据速率接口；
- 支持 8 线和 16 线串行传输模式；
- 最多支持 4 个片选；
- DSMC_CLKP/N 最高速率为 100MHz。

DSMC 接口复用在 VCCIO5 电源域：

DSMC_RDYN	SAI4_SDI_M1	ETH_CLK0_25M_OUT_M0	VO_EBC_SDSHR	VO_LCDC_D23	GPIO3_A4_d	1D13
DSMC_DATA15	PDM1_SDI3_M2	ETH0_MDIO_M0	VO_EBC_GDSP	VO_LCDC_D22	GPIO3_A5_d	A9
DSMC_DATA14	PDM1_SDI2_M2	ETH0_MDC_M0	VO_EBC_GDOE	VO_LCDC_D21	GPIO3_A6_d	1A7
DSMC_DATA13	PDM1_CLK1_M2	ETH0_RXCTL_M0	VO_EBC_VCOM	VO_LCDC_D20	GPIO3_A7_d	B13
DSMC_CSN1	SAI4_MCLK_M1	ETH0_MCLK_M0	VO_EBC_SDCE3	VO_LCDC_D19	GPIO3_B0_d	B14
DSMC_DATA12	PDM1_CLK0_M2	ETH0_RXDI_M0	VO_EBC_SDCE2	VO_LCDC_D18	GPIO3_B1_d	1A11
DSMC_DATA11	PDM1_SDI1_M2	ETH0_RXDO_M0	VO_EBC_SDCE1	VO_LCDC_D17	GPIO3_B2_d	A13
DSMC_DATA10	PDM1_SDIO_M2	ETH0_TXCTL_M0	VO_EBC_SDCE0	VO_LCDC_D16	GPIO3_B3_d	B10
DSMC_DATA9	SPDIF_RX1_M0	ETH0_TXDI_M0	VO_EBC_SDDO15	VO_LCDC_D15	GPIO3_B4_d	1A9
DSMC_DATA8	SPDIF_TX1_M0	ETH0_TXDO_M0	VO_EBC_SDDO14	VO_LCDC_D14	GPIO3_B5_d	B11
DSMC_DQS1	--	ETH0_TXCLK_M0	VO_EBC_SDDO13	VO_LCDC_D13	GPIO3_B6_d	1D12
DSMC_DQS0	SAI1_SDIO_M1	ETH0_PPSTRIG_M0	VO_EBC_SDDO12	VO_LCDC_D12	GPIO3_B7_d	
DSMC_DATA7	SAI1_SDO3_M1	ETH0_PPSCLK_M0	VO_EBC_SDDO11	VO_LCDC_D11	GPIO3_C0_d	1E9
DSMC_DATA6	SAI1_SDO2_M1	ETH0_PTP_REFCLK_M0	VO_EBC_SDDO10	VO_LCDC_D10	GPIO3_C1_d	1B10
DSMC_INT1	SAI2_SCLK_M2	ETH0_TXD3_M0	VO_EBC_SDDO9	VO_LCDC_D9	GPIO3_C2_d	B9
DSMC_INT3	SAI2_LRCK_M2	ETH0_TXD2_M0	VO_EBC_SDDO8	VO_LCDC_D8	GPIO3_C3_d	1A8
DSMC_DATA5	SAI1_SDO1_M1	--	VO_EBC_SDDO7	VO_LCDC_D7	GPIO3_C4_d	1D9
DSMC_DATA4	SAI1_SD00_M1	--	VO_EBC_SDDO6	VO_LCDC_D6	GPIO3_C5_d	1B9
DSMC_DATA3	SAI1_LRCK_M1	--	VO_EBC_SDDO5	VO_LCDC_D5	GPIO3_C6_d	1D7
DSMC_DATA2	SAI1_SCLK_M1	--	VO_EBC_SDDO4	VO_LCDC_D4	GPIO3_C7_d	1C7
DSMC_DATA1	SAI1_MCLK_M1	--	VO_EBC_SDDO3	VO_LCDC_D3	GPIO3_D0_d	1C12
DSMC_CSN2	SAI2_MCLK_M2	ETH0_RXCLK_M0	VO_EBC_SDDO2	VO_LCDC_D2	GPIO3_D1_d	1A12
DSMC_CSN3	SAI2_SDI_M2	ETH0_RXD3_M0	VO_EBC_SDDO1	VO_LCDC_D1	GPIO3_D2_d	B12
DSMC_CSN0	SAI2_SDO_M2	ETH0_RXD2_M0	VO_EBC_SDDO0	VO_LCDC_D0	GPIO3_D3_d	1E12
DSMC_DATA0	SAI1_SDI1_M1	--	VO_EBC_SDLE	VO_LCDC_DEN	GPIO3_D4_d	1D10
DSMC_CLKP	SAI1_SDI2_M1	--	VO_EBC_GDCLK	VO_LCDC_HSYNC	GPIO3_D5_d	1C10
DSMC_CLKN	SAI1_SDI3_M1	--	VO_EBC_SDCLK	VO_LCDC_VSYNC	GPIO3_D6_d	1E7
DSMC_RESETN	SAI4_SCLK_M1	CAM_CLK0_OUT_M0	VO_EBC_SDDE	VO_LCDC_CLK	GPIO3_D7_d	
DSMC_INTO	SAI4_LRCK_M1	CAM_CLK1_OUT_M0	SPDIF_RX0_M1	--	GPIO4_A0_d	1B12
DSMC_INT2	SAI4_SDO_M1	CAM_CLK2_OUT_M0	SPDIF_TX0_M1	VO_POST_EMPTY	GPIO4_A1_d	1B7
			VCCIO5_VCC_0		2A4	
			VCCIO5_VCC_1		2A5	

图 2-153 RK3576 DSMC 功能管脚

DSMC 接口设计中注意事项：

- DSMC 复用在 VCCIO5 电源域，可支持 1.8V 或 3.3V 电平，实际产品设计中，需要根据外设的实际 IO 供电要求（1.8V or 3.3V）选择对应的供电，必须保持一致；
- DSMC 的时钟支持单端时钟模式，也支持差分时钟模式，根据实际外设需求来定；
- DSMC 的 INT0 和 INT1 支持硬件中断，响应速度快；INT2 和 INT3 只支持软件中断；
- DSMC_CLKP 和 DSMC_CLKN 需在 RK3576 端预留串接 0 ohm 电阻，根据实际情况有条件提高信号质量；
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

表 2-63 RK3576 的工作模式及注意事项

管脚名	16bit 模式	8bit 模式	注意事项
DSMC_DQS1	DSMC_DQS1	/	
DSMC_DATA8~ DSMC_DATA15	DSMC_DATA8~ DSMC_DATA15	/	
DSMC_DQS0	DSMC_DQS0	DSMC_DQS0	
DSMC_DATA0~ DSMC_DATA7	DSMC_DATA0~ DSMC_DATA7	DSMC_DATA0~ DSMC_DATA7	
DSMC_CLKN	DSMC_CLKN	DSMC_CLKN	差分时钟时使用
DSMC_CLKP	DSMC_CLKP	DSMC_CLKP	支持单端时钟模式
DSMC_CSN0	DSMC_CSN0	DSMC_CSN0	最大支持 4 个片选
DSMC_CSN1	DSMC_CSN1	DSMC_CSN1	
DSMC_CSN2	DSMC_CSN2	DSMC_CSN2	

管脚名	16bit 模式	8bit 模式	注意事项
DSMC_CSN3	DSMC_CSN3	DSMC_CSN3	
DSMC_INT0	DSMC_INT0	DSMC_INT0	硬件中断，响应速度快
DSMC_INT1	DSMC_INT1	DSMC_INT1	
DSMC_INT2	DSMC_INT2	DSMC_INT2	只支持软件中断，响应速度没有 硬件中断快
DSMC_INT3	DSMC_INT3	DSMC_INT3	
DSMC_RDYN	DSMC_RDYN	DSMC_RDYN	
DSMC_RESETN	DSMC_RESETN	DSMC_RESETN	根据外设需求

2.3.13 UART 接口电路

RK3576 芯片拥有 12 个 UART 控制器，支持以下功能：

- 支持全双工和半双工的通信；
- 均包含两个 64 字节的 FIFO 用于数据接收和传输；
- 支持 115.2Kbps、460.8Kbps、921.6Kbps、1.5Mbps、3Mbps、4Mbps、8Mbps；
- 支持可编程波特率，支持非整数时钟分频器；
- 支持基于中断或基于 DMA 的模式；
- 支持 5-8 位宽度传输；
- 支持 RS485 自动收发功能。

RS485 的自动收发功能，是指 SoC 通过 UART 转 RS485 与外设通信时，在发送数据结束后，会立刻控制 RS485 芯片从发送模式切换为接收模式，避免有的外设收到数据后会立即返回数据，SoC 没有及时控制 RS485 从发数据切换为收数据进而导致数据丢失。

UART 与 RS485 通信时，有 3 线模式和 4 线模式，如下图所示。3 线模式时，UART 的 RSTN 与 RS485 的 RE 和 DE 引脚连接在一起。4 线模式时，RSTN 与 RS485 的 RE 连接一起，CTSN 与 RS485 的 DE 连接在一起。

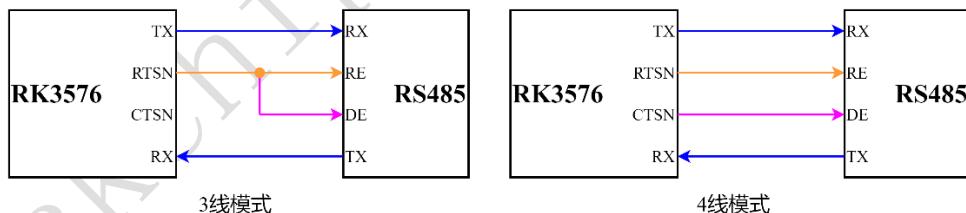


图 2-154 RK3576 UART 的 RS485 自动收发示意图

考虑不同产品应用灵活性，12 个 UART 分别复用在几个不同的电源域，用后缀_M0/_M1/_M2/_M3 区分不同复用位置。_M0/_M1/_M2/_M3 不能同时使用，分配时只能选择其中一组，不能有些信号选择 M0，有些选择 M1，有些选择 M2，这个功能不支持。

RK3576 UART 接口分布情况：

表 2-64 RK3576 UART 接口分布

UART 编号	复用情况	复用电源域
UART0	M0, M1	M0: PMUIO1 M1: VCCIO1

UART 编号	复用情况	复用电源域
UART1	M0, M1, M2	M0: PMUIO1 M1: VCCIO4 M2: VCCIO5
UART2	M0, M1, M2	M0: VCCIO3 M1: VCCIO2 M2: VCCIO5
UART3	M0, M1, M2	M0: VCCIO4 M1: VCCIO5 M2: VCCIO3
UART4	M0, M1, M2	M0: VCCIO4 M1: VCCIO3 M2: PMUIO1
UART5	M0, M1, M2	M0: VCCIO5 M1: VCCIO2 M2: VCCIO1
UART6	M0, M1, M2, M3	M0: VCCIO2 M1: VCCIO4 M2: VCCIO0 M3: VCCIO6
UART7	M0, M1, M2	M0: VCCIO4 M1: VCCIO0 M2: VCCIO1
UART8	M0, M1, M2	M0: VCCIO5 M1: VCCIO4 M2: PMUIO1
UART9	M0, M1, M2	M0: VCCIO4 M1: VCCIO5 M2: VCCIO6
UART10	M0, M1, M2	M0: VCCIO5 M1: VCCIO3 M2: PMUIO1
UART11	M0, M1, M2	M0: VCCIO5 M1: VCCIO4 M2: VCCIO6

表 2-65 RK3576 UART 流控接口分布

UART编号	复用情况	复用电源域
UART0_RTSN UART0_CTSN	无	
UART1_RTSN UART1_CTSN	M0, M1, M2	M0: PMUIO1 M1: VCCIO4 M2: VCCIO5
UART2_RTSN UART2_CTSN	M0, M1, M2	M0: VCCIO3 M1: VCCIO2 M2: VCCIO5
UART3_RTSN UART3_CTSN	M0, M1, M2	M0: VCCIO4 M1: VCCIO5 M2: VCCIO3
UART4_RTSN UART4_CTSN	M0, M1	M0: VCCIO4 M1: VCCIO3

UART编号	复用情况	复用电源域
UART5_RTSN UART5_CTSN	M0 , M1 , M2	M0: VCCIO5 M1: VCCIO2 M2 : VCCIO1
UART6_RTSN UART6_CTSN	M0 , M1 , M2	M0: VCCIO2 M1: VCCIO4 M2: VCCIO0
UART7_RTSN UART7_CTSN	M0 , M1	M0: VCCIO4 M1: VCCIO0
UART8_RTSN UART8_CTSN	M0 , M1	M0: VCCIO5 M1: VCCIO4
UART9_RTSN UART9_CTSN	M0 , M1	M0: VCCIO4 M1: VCCIO5
UART10_RTSN UART10_CTSN	M0 , M1	M0: VCCIO5 M1: VCCIO3
UART11_RTSN UART11_CTSN	M0 , M1	M0: VCCIO5 M1: VCCIO4

其中 UART0 M0 默认是 RK3576 的 Debug UART。

根据 UART 外设的 IO 电平，调整对应的电源域供电，必须保持一致。

UART 接口上下拉和匹配设计推荐如表：

表 2-66 RK3576 UART 接口设计

信号	连接方式	描述（芯片端）
UARTx_RX	直连	UART 数据输入
UARTx_TX	直连	UART 数据输出
UARTx_CTSn	直连	UART 允许发送信号
UARTx_RTSn	直连	UART 请求发送信号

当通过连接器实现板对板连接时，预留 TVS 器件。

2.3.14 I3C 接口电路

RK3576 芯片拥有 2 个 I3C 控制器，支持以下功能：

- 支持 I3C 总线主模式，纯 I3C 设备传输速率高达 12.5Mbit/s;
- 兼容 I2C 总线主模式，纯 I2C 设备传输速率高达 400K bit/s;
- 支持 7 位和 10 位寻址模式。

工作于 I3C 兼容 I2C 模式时，需要用到 3 个 Pin，分别是 I3C_SCL、I3C_SDA、I3C_SDA_PU，其中 I3C_SDA 通过上拉电阻接到 I3C_SDA_PU，I3C_SCL 通过上拉电阻接到上拉电源，上拉电源必须和 GPIO 电源域电源保持一致。

当只需要工作于 I2C 模式时，则只需要用到 2 个 Pin，分别是 I3C_SCL、I3C_SDA，硬件接线方法和 I2C 一样。

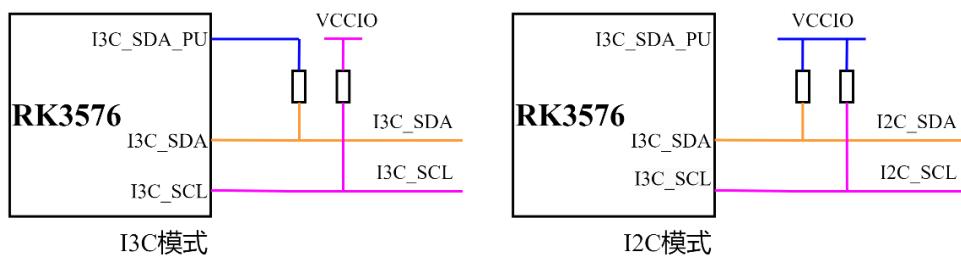


图 2-155 RK3576 I3C 的 I3C 模式和 I2C 模式接线示意图

考虑不同产品应用灵活性，2个I3C分别复用在几个不同的电源域，用后缀_M0/_M1/_M2区分不同复用位置。_M0/_M1/_M2不能同时使用，分配时只能选择其中一组，例如：不能选择了I3C1_M0，又选择了I3C1_M1或其它M*。

RK3576 I3C 接口分布情况如下表：

表 2-67 RK3576 I3C 接口分布

I3C编号	复用情况	复用电源域
I3C0	M0, M1	M0: PMUIO1 M1: VCCIO3
I3C1	M0, M1, M2	M0: VCCIO4 M1: VCCIO1 M2: VCCIO5

根据 I3C 外设的 IO 电平，调整对应的电源域供电，必须保持一致。

I3C 信号 SCL 需要外接上拉电阻，根据总线负载不同，选择不同阻值的电阻，推荐接 2.2kohm 上拉电阻。

I3C 总线上各设备地址不要冲突，上拉电源必须和电源保持一致。

I3C 接口上下拉和匹配设计推荐如表：

表 2-68 RK3576 I3C 接口设计

信号	连接方式	描述（芯片端）
I3Cx_SCL	直连	I3C 时钟
I3Cx_SDA	直连	I3C 数据输出/输入
I3Cx_SDA_PU	通过上拉电阻接到 I3Cx_SDA	I3Cx_SDA 的上拉电源

当通过连接器实现板对板连接时，预留 TVS 器件。

2.3.15 I2C 接口电路

RK3576 芯片拥有 11 个 I2C 控制器，支持以下功能：

- 支持 I2C 总线主模式；
- 支持软件可编程时钟频率和传输速率高达 400K bit/s；
- 支持 7 位和 10 位寻址模式。

考虑不同产品应用灵活性，11 个 I2C 分别复用在几个不同的电源域，用后缀_M0/_M1/_M2/_M3 区分不同复用位置。_M0/_M1/_M2/_M3不能同时使用，分配时只能选择其中一组，例如：不能选择了I2C1_M0，又选择了I2C1_M1或其它M*。

RK3576 I2C 接口分布情况如下表：

表 2-69 RK3576 I2C 接口分布

I2C编号	复用情况	复用电源域
I2C0	M0, M1	M0: PMUIO0 M1: PMUIO1
I2C1	M0, M1	M0: PMUIO0 M1: PMUIO1
I2C2	M0, M1, M2, M3	M0: PMUIO1 M1: VCCIO0 M2: VCCIO2 M3: VCCIO6
I2C3	M0, M1, M2, M3	M0: VCCIO2 M1: PMUIO1 M2: VCCIO5 M3: VCCIO6
I2C4	M0, M1, M2, M3	M0: PMUIO1 M1: VCCIO2 M2: VCCIO4 M3: VCCIO5
I2C5	M0, M1, M2, M3	M0: VCCIO1 M1: VCCIO3 M2: VCCIO4 M3: VCCIO5
I2C6	M0, M1, M2, M3	M0: PMUIO0 M1: VCCIO3 M2: VCCIO4 M3: VCCIO6
I2C7	M0, M1, M2, M3	M0: VCCIO0 M1: VCCIO4 M2: VCCIO5 M3: VCCIO6
I2C8	M0, M1, M2, M3	M0: VCCIO1 M1: VCCIO3 M2: VCCIO4 M3: VCCIO5
I2C9	M0, M1, M2, M3	M0: VCCIO0 M1: VCCIO3 M2: VCCIO4 M3: VCCIO5
HDMI_TX_I2C	无	VCCIO6

HDMI_TX_SCL/HDMI_TX_SDA 是 HDMI TX 控制器的 I2C/DDC 总线，为专用总线。

I2C1 默认分配给 PMIC，方便软件，不建议改动。

根据 I2C 外设的 IO 电平，调整对应的电源域供电，必须保持一致。

I2C 信号 SCL、SDA 需要外接上拉电阻，根据总线负载不同，选择不同阻值的电阻，推荐接 2.2kohm 上拉电阻。

I2C 总线上各设备地址不要冲突，上拉电源必须和 GPIO 电源域电源保持一致。

I2C 接口上下拉和匹配设计推荐如表：

表 2-70 RK3576 I2C 接口设计

信号	连接方式	描述（芯片端）
I2Cx_SCL	直连	I2C 时钟
I2Cx_SDA	直连	I2C 数据输出/输入

当通过连接器实现板对板连接时，预留 TVS 器件。

2.3.16 SPI 接口电路

RK3576 芯片除了 FSPI 控制器外，还拥有 5 个通用 SPI 控制器，支持以下功能：

- 支持 master 和 slave 两种模式；
- 支持 4、8、16 位串行数据传输；
- 支持全双工和半双工模式传输。

考虑不同产品应用灵活性，5 个 SPI 分别复用在几个不同的电源域，用后缀_M0/_M1/_M2/_M3 区分不同复用位置。_M0/_M1/_M2/_M3 不能同时使用，分配时只能选择其中一组，不能有些信号选择 M0，有些选择 M1，这个功能不支持。

RK3576 SPI 接口分布情况：

表 2-71 RK3576 SPI 接口分布

SPI编号	复用情况	复用电源域
SPI0	M0, M1, M2	M0: PMUIO1 M1: VCCIO1 M2: VCCIO0
SPI1	M0, M1, M2	M0: VCCIO3 M1: VCCIO4 M2: VCCIO5
SPI2	M0, M1, M2	M0: PMUIO0 M1: VCCIO3 M2: VCCIO5
SPI3	M0, M1, M2	M0: VCCIO4 M1: VCCIO5 M2: VCCIO2
SPI4	M0, M1, M2, M3	M0: VCCIO6 M1: VCCIO5 M2: VCCIO2 M3: VCCIO4

根据 SPI 外设的 IO 电平，调整对应的电源域供电，必须保持一致。

SPI 接口上下拉和匹配设计推荐如表：

表 2-72 RK3576 SPI 接口设计

信号	连接方式	描述（芯片端）
SPIx_CLK	直连	SPI 时钟
SPIx_MOSI	直连	SPI 数据输出(Master)
SPIx_MISO	直连	SPI 数据输入(Master)
SPIx_CS0	直连	SPI 片选 0
SPIx_CS1	直连	SPI 片选 1

当通过连接器实现板对板连接时，预留 TVS 器件。

2.3.17 CAN 接口电路

RK3576 芯片拥有 2 个 CAN 控制器，支持以下功能：

- 支持 CAN FD；
- 支持 1Mbps。

考虑不同产品应用灵活性，2 个 CAN 分别复用在几个不同的电源域，用后缀_M0/_M1/_M2/_M3 区分不同复用位置。_M0/_M1/_M2/_M3 不能同时使用，分配时只能选择其中一组，例如：选择了 CAN_M0，就不能再选择 CAN_M1。

RK3576 CAN 接口分布情况：

表 2-73 RK3576 CAN 接口分布

CAN编号	复用情况	复用电源域
CAN0	M0, M1, M2, M3	M0: VCCIO1 M1: VCCIO6 M2: VCCIO2 M3: VCCIO5
CAN1	M0, M1, M2, M3	M0: VCCIO1 M1: VCCIO6 M2: VCCIO2 M3: VCCIO4

根据 CAN 外设的 IO 电平，调整对应的电源域供电，必须保持一致。

CAN 接口上下拉和匹配设计推荐如表：

表 2-74 RK3576 CAN 接口设计

信号	连接方式	描述（芯片端）
CANx_RX	直连	CAN数据输入
CANx_TX	直连，外部必须接上拉电阻，阻值推荐 4.7K ohm	CAN数据输出

当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.18 PWM 接口电路

RK3576 芯片集成了 3 个独立的 PWM 控制器，最多可以有 16 个 PWM 通道。PWM0 控制器有 2 个通道，分别是 PWM0_CH0~PWM0_CH1，PWM1 控制器有 6 个通道，分别是 PWM1_CH0~PWM1_CH5，PWM2 控制器有 8 个通道，分别是 PWM2_CH0~PWM2_CH7。

3 个 PWM 控制器的功能汇总如下：

表 2-75 RK3576 PWM 功能情况

功能	PWM0--2CH	PWM1--6CH	PWM2--8CH
波形发生器	NO	六个通道都支持，共享查找表（深度 768）。举例：1 路 768 粒度；3 路 256 粒度；6 路 128 粒度。	NO
IR 输入	只支持 1 个，可在 PWM0_CH0 ~PWM0_CH1 任意配置	NO	只支持 1 个，可在 PWM2_CH0~PWM2_CH7 任意配置
IR 输出	NO	NO	只支持 1 个，可在 PWM2_CH0~PWM2_CH7 任意配置
双相计数器	NO	支持 3 路双相计数器(只用单相，也可用作频率计，支持频率 20M) CH0+CH3 组成一路双相计数器 CH1+CH4 组成一路双相计数器 CH2+CH5 组成一路双相计数器	支持 4 路双相计数器(只用单相，也可用作频率计，支持频率 20M) CH0+CH4 组成一路双相计数器 CH1+CH5 组成一路双相计数器 CH2+CH6 组成一路双相计数器 CH3+CH7 组成一路双相计数器
全局控制模式 (支持多通道配置的同步更新)	YES	YES	YES
输出偏移模式 (PWM 输出波形偏移指定的时间)	YES	YES	YES

除此之外，PWM 支持以下功能：

- 支持捕获模式；
- 支持连续模式或一次性模式；
- 每个通道都有两种时钟输入可选，一个是从晶振输入的固定频率，一个是从 PLL 总线分频，频率可配置的。

考虑不同产品应用灵活性，16 个 PWM 分别复用在几个不同的电源域，用后缀_M0/_M1/_M2/_M3 区分不同复用位置。

RK3576 PWM 接口分布情况如下表所示：

表 2-76 RK3576 PWM 接口分布

PWM 编号	复用情况	复用电源域
PWM0_CH0	M0, M1, M2, M3	M0: PMUIO1 M1: VCCIO3 M2: VCCIO4 M3: VCCIO5
PWM0_CH1	M0, M1, M2, M3	M0: PMUIO1 M1: VCCIO6 M2: VCCIO4 M3: VCCIO5
PWM1_CH0	M0, M1, M2, M3	M0: PMUIO1 M1: VCCIO3 M2: VCCIO4 M3: VCCIO5
PWM1_CH1	M0, M1, M2, M3	M0: PMUIO1 M1: VCCIO3 M2: VCCIO4 M3: VCCIO5
PWM1_CH2	M0, M1, M2, M3	M0: PMUIO1 M1: VCCIO3 M2: VCCIO4 M3: VCCIO5
PWM1_CH3	M0, M1, M2, M3	M0: PMUIO1 M1: VCCIO3 M2: VCCIO4 M3: VCCIO5
PWM1_CH4	M0, M1, M2, M3	M0: PMUIO1 M1: VCCIO3 M2: VCCIO4 M3: VCCIO5
PWM1_CH5	M0, M1, M2, M3	M0: PMUIO1 M1: VCCIO6 M2: VCCIO4 M3: VCCIO5
PWM2_CH0	M0, M1, M2, M3	M0: PMUIO1 M1: VCCIO6 M2: VCCIO4 M3: VCCIO5
PWM2_CH1	M0, M1, M2, M3	M0: VCCIO0 M1: VCCIO6

PWM 编号	复用情况	复用电源域
		M2: VCCIO4 M3: VCCIO5
PWM2_CH2	M0, M1, M2, M3	M0: PMUIO1 M1: VCCIO6 M2: VCCIO4 M3: VCCIO5
PWM2_CH3	M0, M1, M2, M3	M0: PMUIO1 M1: VCCIO6 M2: VCCIO4 M3: VCCIO5
PWM2_CH4	M0, M1, M2, M3	M0: VCCIO1 M1: VCCIO2 M2: VCCIO4 M3: VCCIO5
PWM2_CH5	M0, M1, M2, M3	M0: VCCIO2 M1: VCCIO6 M2: VCCIO4 M3: VCCIO5
PWM2_CH6	M0, M1, M2, M3	M0: VCCIO2 M1: VCCIO6 M2: VCCIO4 M3: VCCIO5
PWM2_CH7	M0, M1, M2, M3	M0: VCCIO2 M1: VCCIO0 M2: VCCIO4 M3: VCCIO5

- 根据 PWM 外设的 IO 电平，调整对应的电源域供电，必须保持一致。
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。
- 当红外接收头信号输入时，需要注意以下：
 - 待机下，要支持红外接收头唤醒，而且考虑低功耗（即 LOGIC_DVDD 电源断电方案），只能选择 PWM0_CH0/ PWM0_CH1 当红外接收头输入；
 - 红外接收头的电源需要使用 VCC_3V3_S3 供电；
 - 红外接收头的电源需要 22-100ohm 电阻和 10uF 以上电容进行 RC 滤波；
 - 红外接收头默认采用 38KHz，如果换成其它频率软件需要相应稍调；
 - 红外接收头输出脚电平必须和 RK3576 IO 电平匹配；
 - 红外接收头输出脚建议串 22 ohm 电阻并对 1nF 电容，再连接到 RK3576，加强抗静电浪涌能力。

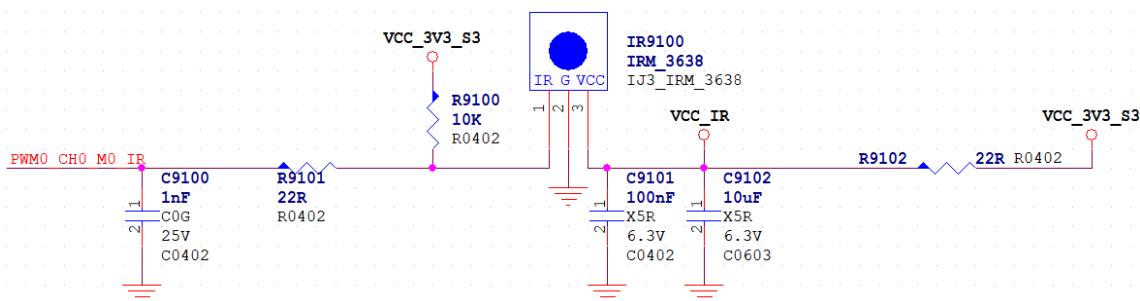


图 2-156 红外接收头电路

- 红外接收头布局时，应远离无线模块天线，如 Wi-Fi 天线，以免无线传输数据时，影响红外信号接收。
- 红外接收头布局应避开板上 LED 光源直射，避免 LED 闪烁频率影响红外接收。
- IR 信号建议全程包地处理，无法包地处理，建议和其它信号间隔： ≥ 2 倍线宽。

2.3.19 RK3576 未使用模块的管脚处理

请见《RK3576 Methods for Processing Unused Pins_V1.0》文档。

各个模拟 PHY 未使用时，如果电源未供电，需要注意，软件 DTS 配置中，要 Disable 对应的模拟 PHY 功能。

3 PCB 设计建议

3.1 PCB 叠层设计

为了减少在高速信号传输过程中的反射现象，必须在信号源、接收端以及传输线上保持阻抗的匹配。单端信号线的具体阻抗取决于它的线宽以及与参考平面之间的相对位置。特定阻抗要求的差分对间的线宽/线距则取决于选择的 PCB 叠层结构。由于最小线宽和最小线距是取决于 PCB 类型以及成本要求，选择的 PCB 叠层结构必须能实现板上的所有阻抗需求，包括内层和外层、单端和差分线等。

层的定义设计原则：

- 原则上应该采用对称结构设计。对称的含义包括：介质层厚度及种类、铜箔厚度、图形分布类型（大铜箔层、线路层）的对称。
- 主芯片相邻层应为完整的地平面，提供器件面布线参考平面；
- 主电源尽可能与其对应地平面层相邻；
- 所有信号层尽可能与地平面相邻，尽量避免两信号层直接相邻，提供完整的参考地平面；
- 若需要两相邻层布线时，两相邻层距离尽量远，信号尽量互相垂直，减小层间的信号串扰；

PCB 的层定义推荐方案：具体的 PCB 层设置时，要对以上原则进行灵活掌握，根据实际的需求，确定层的排布，切忌生搬硬套。RK3576 目前主要使用 6 层通孔和 8 层通孔等叠构，以下叠构做为范例，可以给工程师在叠层结构的选择和评估上提供帮助。如果选择其他类型的叠构，请根据 PCB 厂商给出的规格，重新计算阻抗。

3.1.1 8 层板叠构

在 8 层板叠构设计中，建议层叠为 TOP-Gnd-Power-Power/Signal-Gnd-Signal-Gnd-Bottom，顶层信号 L1 的参考平面为 L2，底层信号 L8 的参考平面为 L7，L6 层信号参考平面为 L5 和 L7，主要参考平面为 L5，具体视叠构情况而定，所有层的铜厚必须采用 1oz，下图为 1.6mm 板厚的参考叠构，可以根据板厚要求调整 Core 厚度。

8层通孔1.6+/-0.16mm					Impedance									
Layer	Mother Board	Typical layer thickness (mil)	Dielectric Constant	DF	Reference Layer	40 ohm	45 ohm	50 ohm	55 ohm	80 ohm	85 ohm	90 ohm	95 ohm	100 ohm
	Solder Mask	1.10				width	width	width	width	width/spacing	width/spacing	width/spacing	width/spacing	width/spacing
L1	1/3oz+plating	1.20			L1	6.5	5.4	4.5	3.5	5/3.8	4.6/4.2	4.2/4.6	3.85/4.95	3.5/5.3
	Prepreg(1080)	2.70	4.00	0.019				22.5						
L2	copper	1.20			L1									
	Core	8.00	4.2	0.015										
L3	copper	1.20			L3									
	Prepreg (1080)	3.30	4.00	0.019										
L4	copper	1.20			L3	5.7	4.5	3.6		4.7/5.3	4.2/5.8	3.8/6.2	3.5/7.5	3/7
	Core	24.00	4.2	0.015										
L5	copper	1.20			L2/L4									
	Prepreg (1080)	3.30	4.00	0.019										
L6	copper	1.20			L5/L7	5.7	4.5	3.6		4.7/5.3	4.2/5.8	3.8/6.2	3.5/7.5	3/7
	Core	8.00	4.2	0.015										
L7	copper	1.20			L6									
	Prepreg(1080)	2.70	4.00	0.019										
L8	1/3oz+plating	1.20			L7	6.5	5.4	4.5	3.5	5/3.8	4.6/4.2	4.2/4.6	3.85/4.95	3.5/5.3
	Solder Mask	1.10												
		63.80												

Note: The unit of line width and line spacing is mil. Line space refers to the air gap.

图 3-1 8 层板叠构

3.1.2 6 层板(假 8 层)叠构

为了更好的信号质量，6 层板叠构推荐使用假 8 层设计（L3 和 L4 层距离比较远的结构），建议层叠为 TOP-GND-POWER-Signal/POWER-GND-Bottom，顶层信号 L1 的参考平面为 L2，底层信号 L6 的参考平面为 L5，L4 层信号参考平面为 L3 和 L5，主要参考平面为 L5，具体视叠构情况而定，所有层的铜厚必须采用 1oz。下图为 1.6mm 板厚的参考叠层，可以根据板厚要求调整 Core 厚度。

假 8 层的 6 层板建议和 8 层板的实际采购成本做比较，若假 8 层和 8 层板比没有成本优势，请直接使用 8 层板方案。

6层通孔(假8层) 1.6+-0.16mm					Impedance									
Layer	Mother Board	Typical layer thickness (mil)	Dielectric Constant	DF	width	40 ohm	45 ohm	50 ohm	55 ohm	80 ohm	85 ohm	90 ohm	95 ohm	100 ohm
	Solder Mask	1.1				width	width	width	width	width/spacing	width/spacing	width/spacing	width/spacing	width/spacing
L1	1/3oz+plating	1.2												
	Prepreg (1080)	2.7	4	0.019										
L2	copper	1.2												
	Core	3	4.2	0.015										
L3	copper	1.2												
	Prepreg (2116)	4	4	0.019										
L4	Core	32	4.2	0.015										
	Prepreg (2116)	4	4	0.019										
L5	copper	1.2												
	Core	3	4.2	0.015										
L6	Prepreg (1080)	2.7	4	0.019										
	1/3oz+plating	1.2												
Solder Mask		1.1												
		60.8												

Note: The unit of line width and line spacing is mil. Line space refers to the air gap.

图 3-2 6 层板(假 8 层)叠构

3.1.3 6 层板叠层

6 层板叠构设计中，建议层叠为 TOP-GND-POWER-Signal/POWER-GND-Bottom，顶层信号 L1 的参考平面为 L2，底层信号 L6 的参考平面为 L5，L4 层信号参考平面为 L3 和 L5，主要参考平面为 L3，具体视叠构情况而定，所有层的铜厚必须采用 1oz。下图为 1.6mm 板厚的参考叠层，可以根据板厚要求调整 Core 厚度。

6层通孔1.6+-0.16mm					Impedance									
Layer	Mother Board	Typical layer thickness (mil)	Dielectric Constant	DF	width	40 ohm	45 ohm	50 ohm	55 ohm	80 ohm	85 ohm	90 ohm	95 ohm	100 ohm
	Solder Mask	1.1				width	width	width	width	width/spacing	width/spacing	width/spacing	width/spacing	width/spacing
L1	1/3oz+plating	1.2												
	Prepreg (1080)	2.7	4	0.019										
L2	copper	1.20												
	Core	21.60	4.2	0.015										
L3	copper	1.20												
	Prepreg (1080)	3	4	0.019										
L4	copper	1.20												
	Core	21.60	4.2	0.015										
L5	copper	1.20												
	Prepreg (1080)	2.70	4	0.019										
L6	1/3oz+plating	1.20												
	Solder Mask	1.10												
		61												

Note: The unit of line width and line spacing is mil. Line space refers to the air gap.

图 3-3 6 层板叠构

3.2 RK3576 扇出设计

RK3576 封装总共 698 个 ball，球位由 0.55mm、0.6mm、0.65mm 三种混合 pitch 组成，如下图所示。

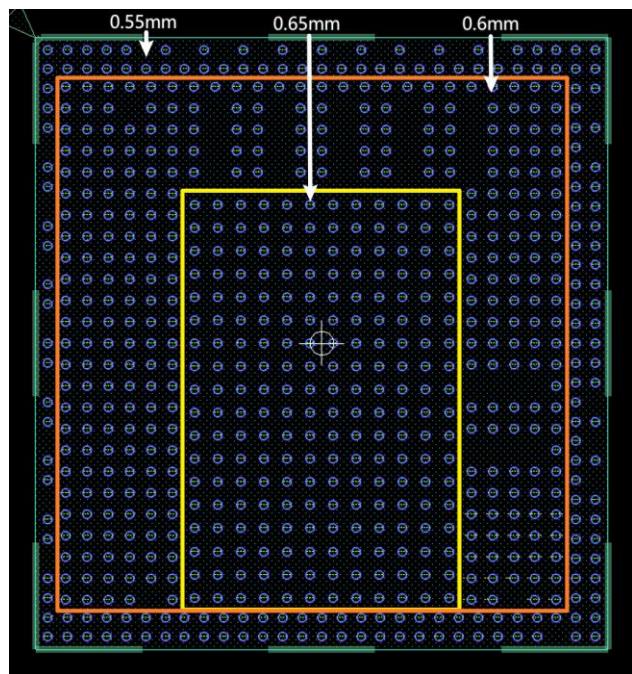


图 3-4 6 RK3576 封装

- 最外面两圈的 Ball 扇出设计

RK3576 (SoC) 靠最外的两圈 ball 及部分挖球后的第三圈 ball，从 TOP 层可以走最小线宽 3.5mil 局部扇出，之后应尽快按照相应的特性阻抗线的线宽线距 Fan-out，最小线宽的出线长度尽可能短。

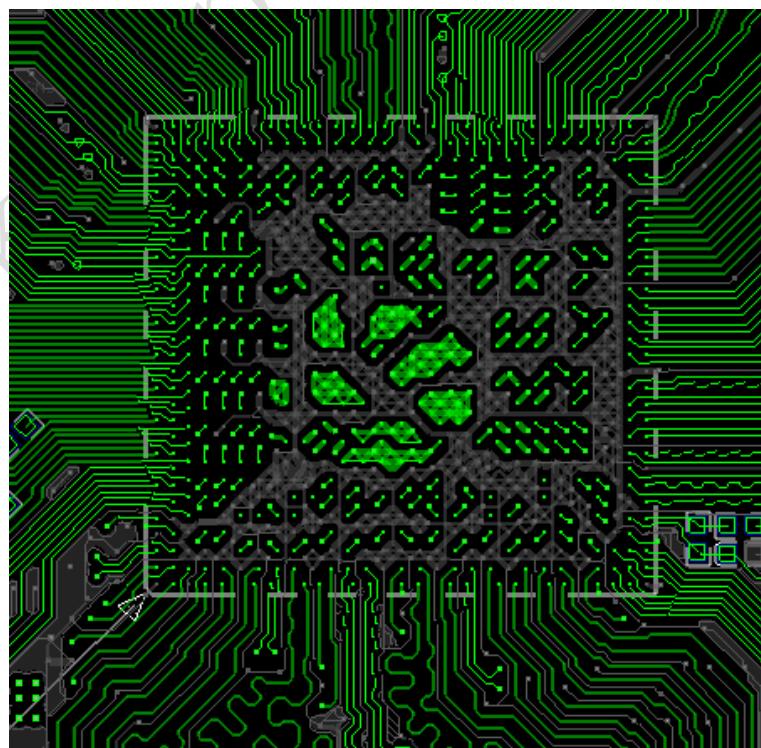


图 3-5 RK3576 扇出示意图 1

- 内圈的 Ball 扇出设计

第 4 圈及部分 3 圈开始，需要换层到内层，换层过孔务必规则放置，并且建议间隔 2-4 排换层过孔，空一排不放置换层过孔，给地平面以及电源平面留出尽量大的通道。

如下图地层平面覆铜情况，有多条通道和外面的地连接，有利于 SI/PI 以及散热。

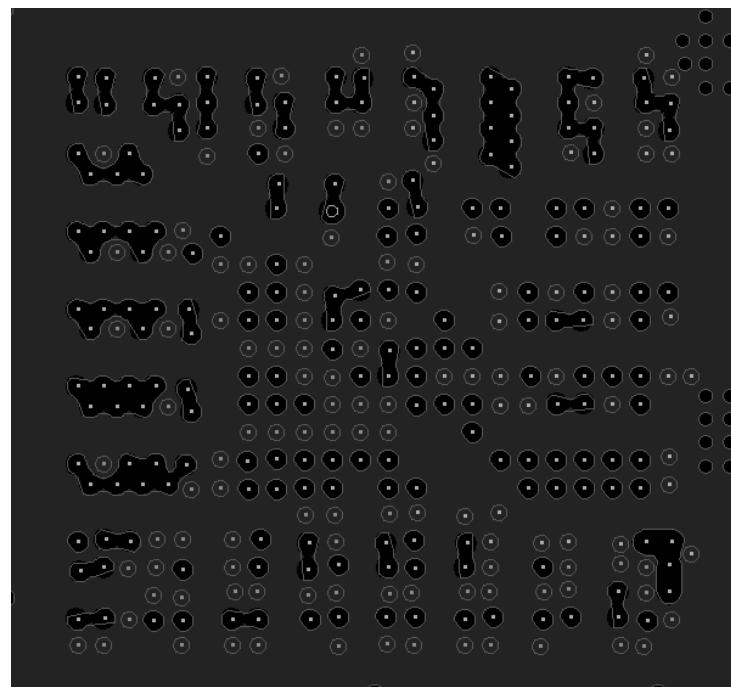


图 3-6 RK3576 扇出示意图 2

如下图电源层平面覆铜情况，有规则的放置过孔，可使各种电源有尽量大覆铜通道，有效提高电源供电质量。

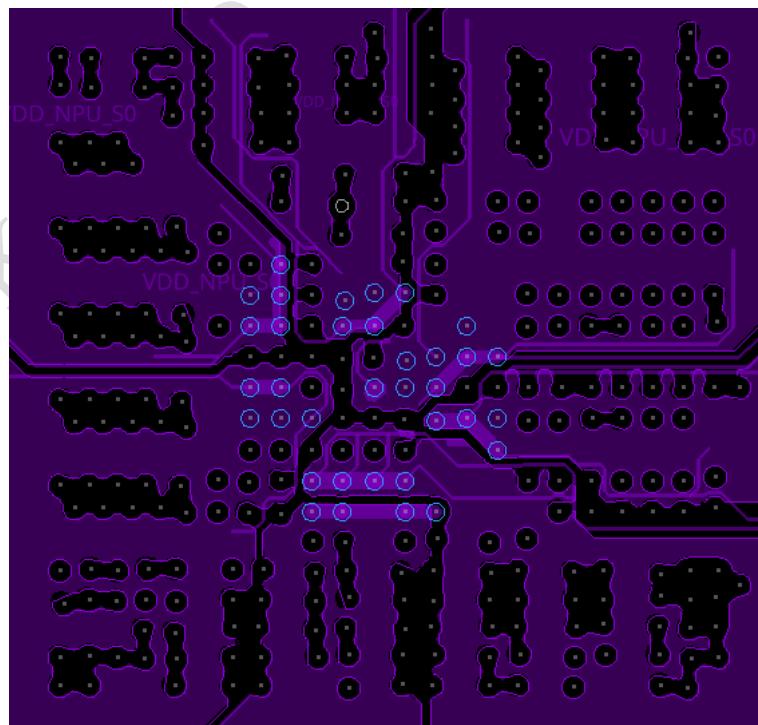


图 3-7 RK3576 扇出示意图 3

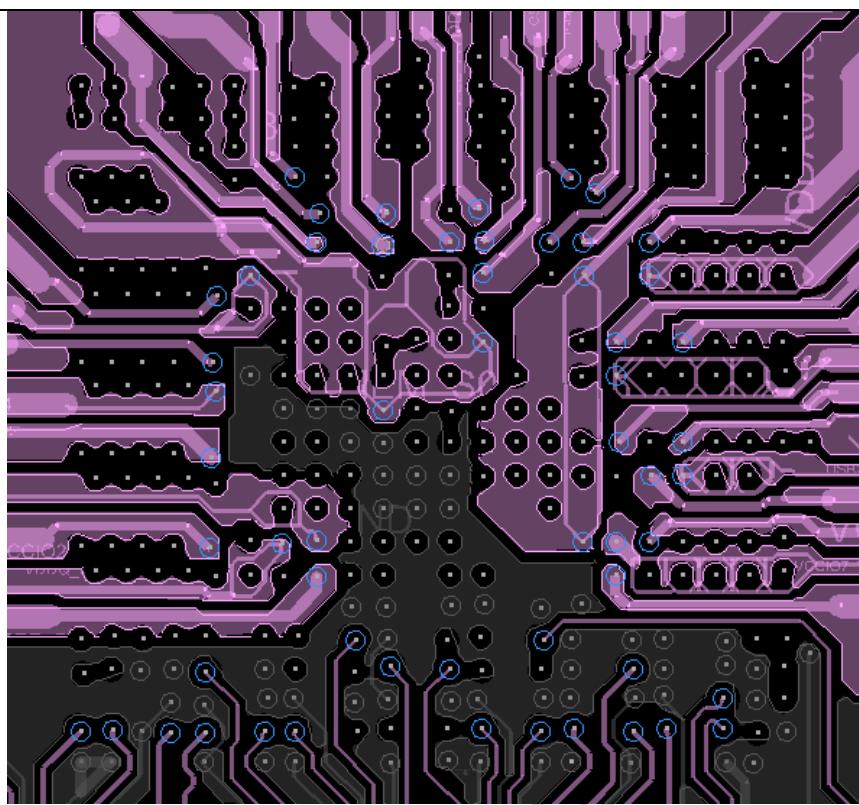


图 3-7 RK3576 扇出示意图 4

如下图，有规则的放置过孔后，Bottom 层走线可以使用 4mil 线宽 Fan-out。

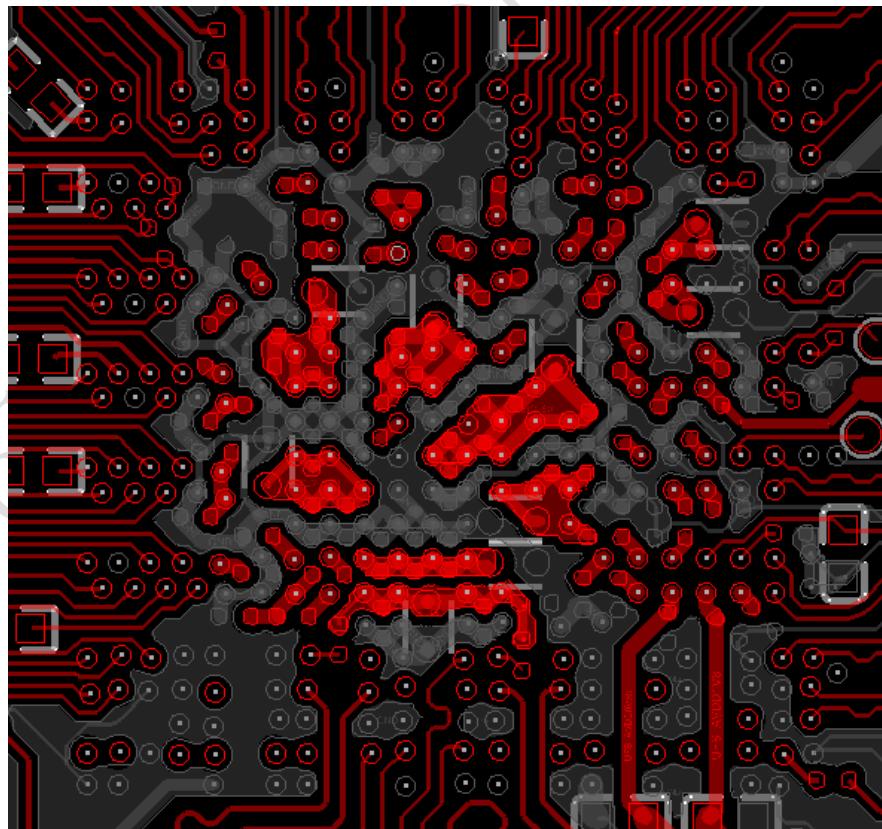


图 3-8 RK3576 扇出示意图 5

3.3 Layout 通用建议

3.3.1 Capture 与 allegro 建议

- OrCAD Capture 生成网表 (create netlist) 的时候如果出现如下报错, 需要将 Char Limit 设为 255。

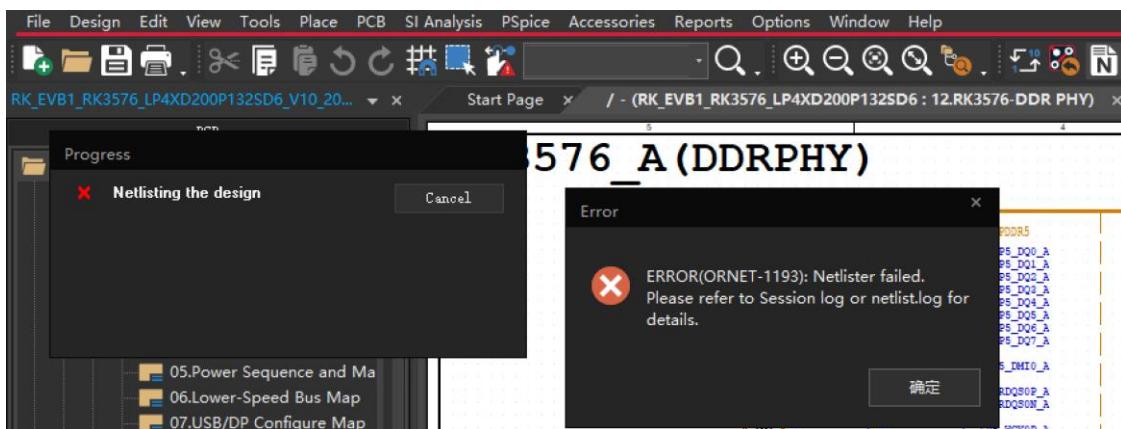


图 3-5 Create Netlist 报错

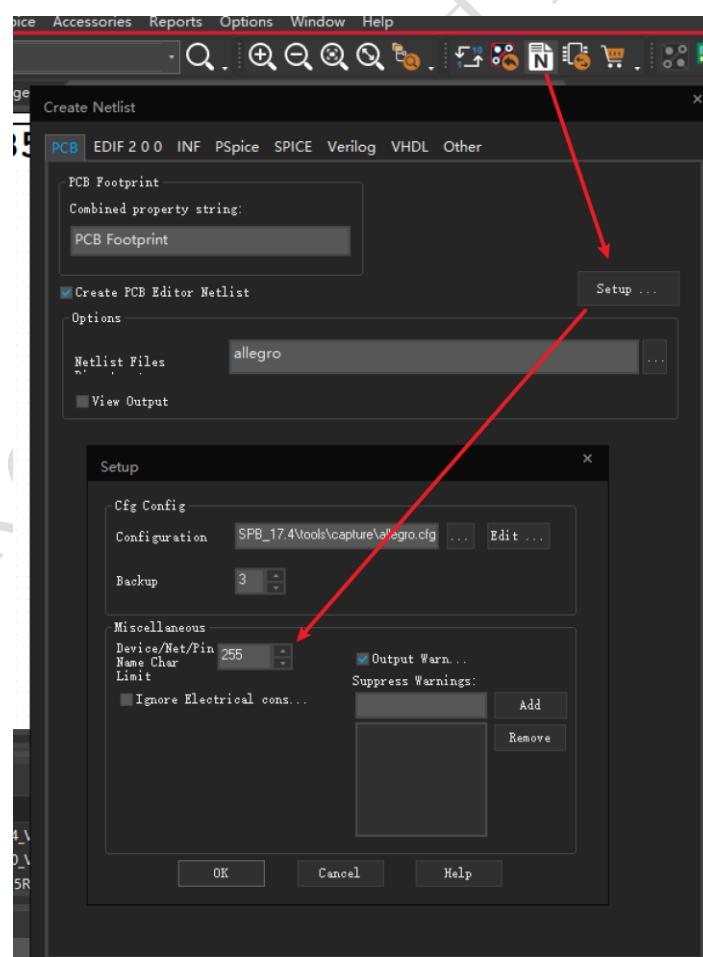


图 3-6 Char Limit 设置

- Allegro 导入网表 (import logic) 的时候如果出现如下报错, 需要同步将 Long name size 改为 255。

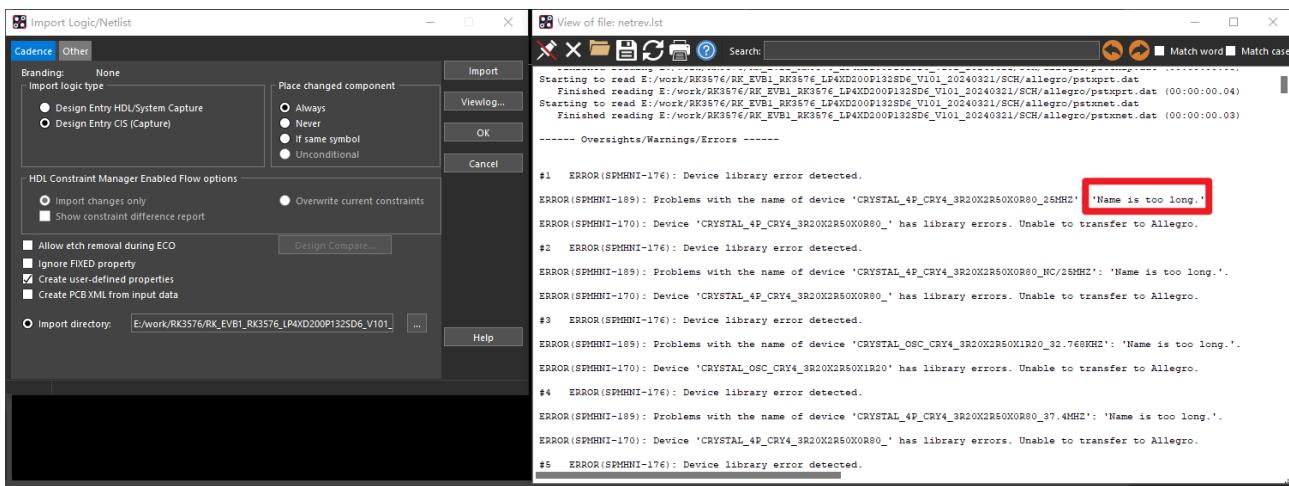


图 3-7 import logic 报错

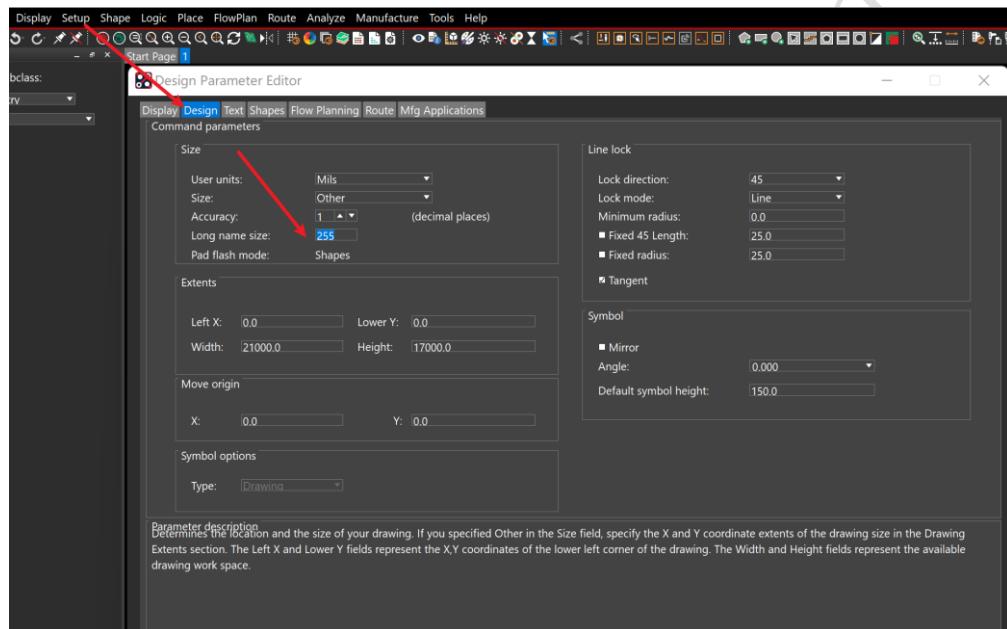


图 3-8 Long name size 设置

- 非功能孔环会破坏铜皮以及增大过孔的寄生电容，建议删除内层的非功能孔环及插件焊环，增强平面铺铜的完整性。allegro 中取消内层非功能性孔环及插件焊环的设置方式：
- allegro 16.6 版本：Setup-Unused Pads Suppression，勾选要取消的 Pins 及 Vias。

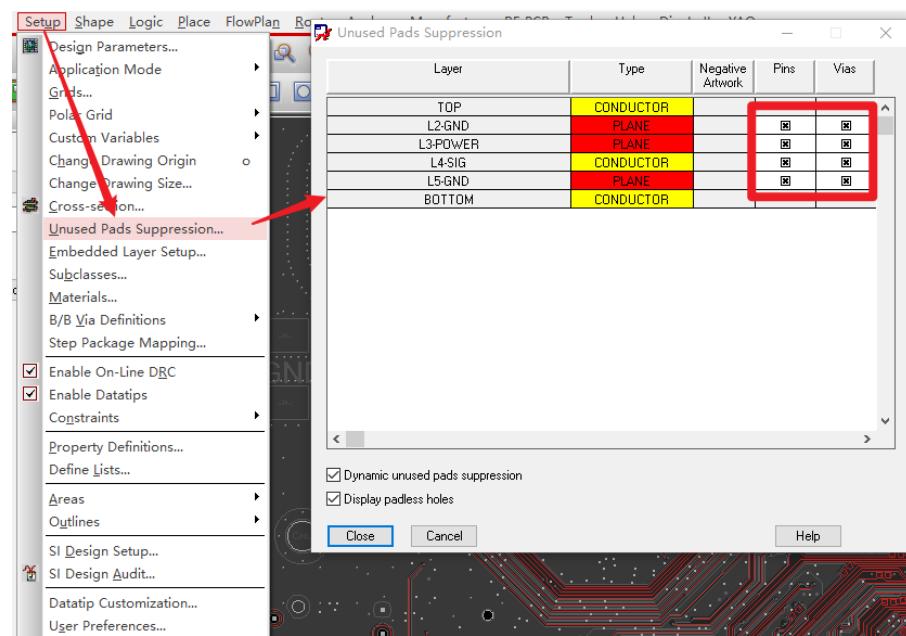


图 3-9 allegro16.6 取消内层孔环及插件焊环的设置方式

- allegro 17.4版本：Xsection-Physical-Unused Pads/Via Suppression，勾选要取消的Pins及Vias。

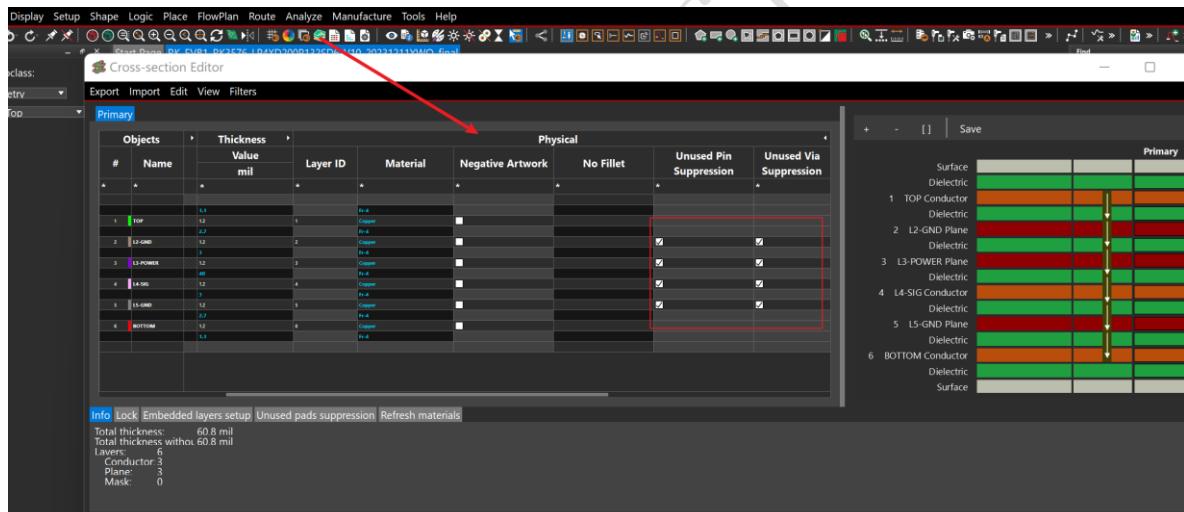


图 3-10 allegro17.4 取消内层孔环及插件焊环的设置方式

3.3.2 布局建议

- 除非结构限制及等长需求，各个接口尽量靠近主芯片 RK3576 放置，总的连线尽可能短，特别是关键信号线尽量短。
- 元器件的排布要充分考虑调试、维修及散热。
- 满足工艺前提下，各个电路模块布局尽量均衡、紧凑、美观，减少环路面积。
- 不同的电路模块间可适当拉开间距，减小模块间的相互干扰，特别是高频元器件的间隔要充分。
- 去耦电容的布局要尽量靠近 IC 的电源管脚，使电源和地之间形成的回路最短。
- 时钟信号的串接电阻靠近发送端放置，如 eMMC clk 的串接电阻，靠近 RK3576（SoC）侧放置，建议电阻离管脚不超过 400mil。

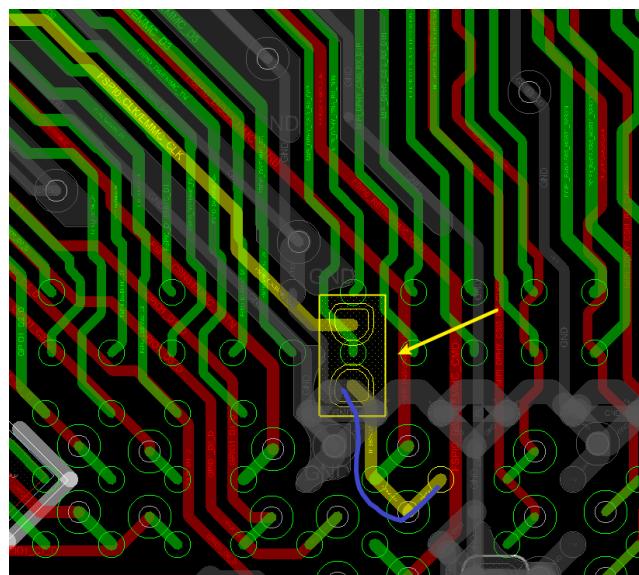


图 3-11 时钟串接电阻放置

- TX 串接电阻靠近发送端放置，RX 串接电阻靠近接收端放置，管脚和电阻之间走线建议控制在 400mil 以内。比如 GMAC 的 TXD0-TXD3,TXCLK,TXEN 的串联匹配电阻靠近 RK3576（源端），RXD0-RXD3,RXCLK,RXDV 的串联匹配电阻靠近 PHY 端。

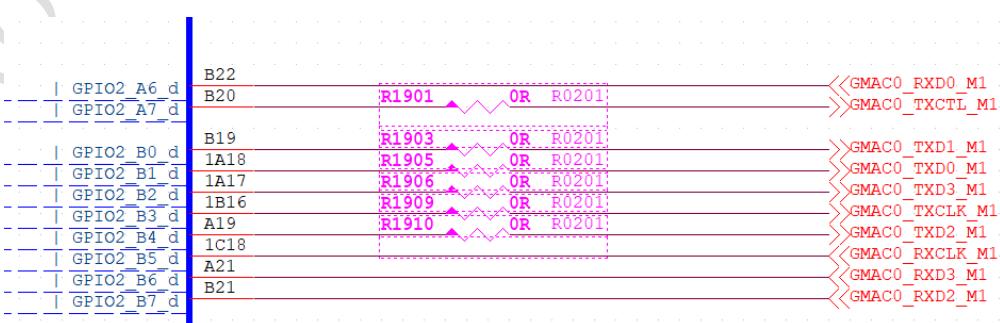
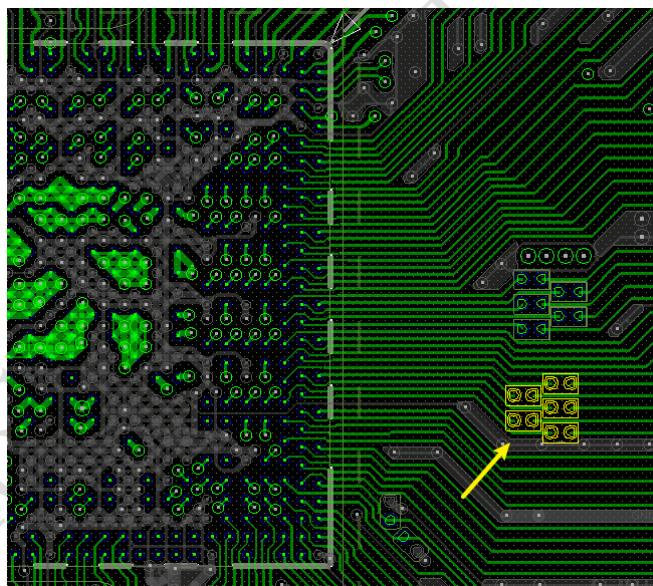
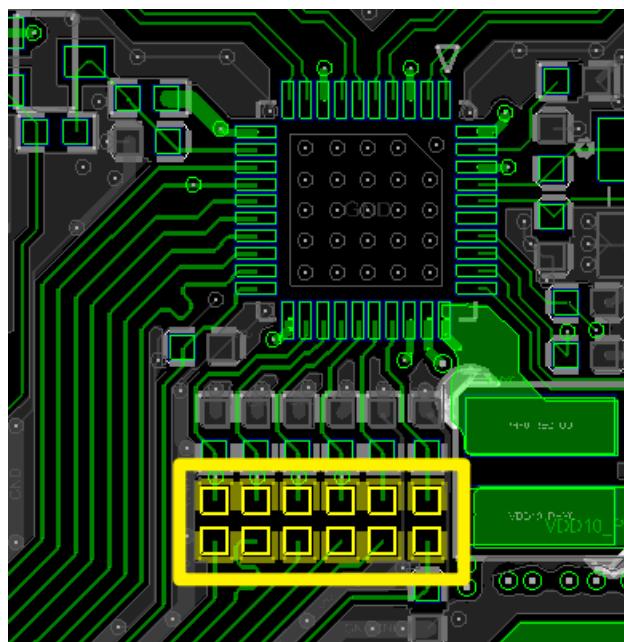


图 3-12 TX 串接电阻放置

**Close to PHY**

PHY0_RXD0/RXDLY	R6744 OR R0402	GMAC0_RXD0_M1
PHY0_RXD1/TXDLY	R6745 OR R0402	GMAC0_RXD1_M1
PHY0_RXD2/PLLOFF	R6746 OR R0402	GMAC0_RXD2_M1
PHY0_RXD3/PHYAD0	R6747 OR R0402	GMAC0_RXD3_M1
PHY0_RXCLK/PHYAD1	R6748 OR R0402	GMAC0_RXCLK_M1 C6734 1 2 NC C0402
PHY0_RXCTL/PHYAD2	R6749 OR R0402	GMAC0_RXCTL_M1

图 3-13 RX 串接电阻放置

- ESD 必须靠近接口放置，耦合电容建议靠连接器放置。

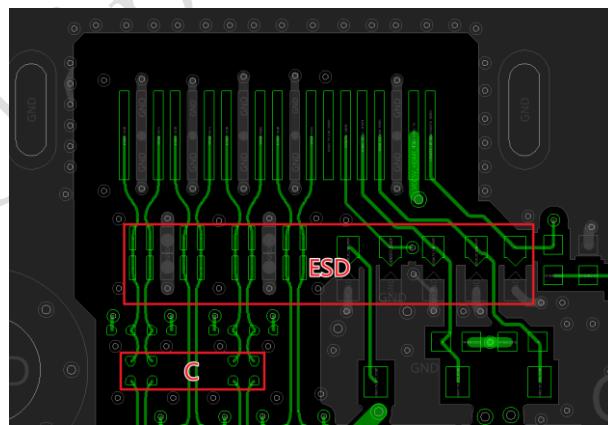


图 3-14 ESD 和耦合电容放置

3.3.3 走线建议

- (1) 走线长度应包含过孔和封装。
- (2) 走线尽量减少拐角，拐角建议用 135 度代替 90 度。
- (3) 移除所有非功能焊盘。
- (4) 避免在时钟器件（如晶体、晶振、时钟 buffer）、开关电源、磁类器件、插件过孔等周边布线。

- (5) 建议不要在高速信号上放置测试点。
- (6) 建议走线距离同层的地铜皮大于等于 4 倍线宽。

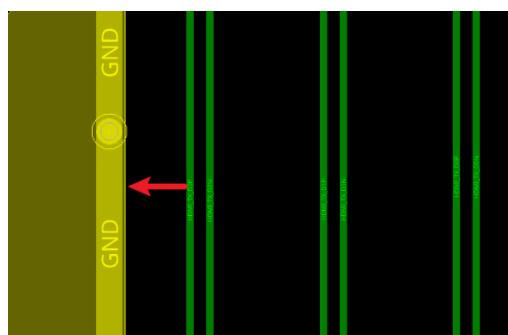


图 3-15 走线与同层地铜皮间距示意图

- (7) 避免高速信号跨区，建议高速信号距离参考平面的边沿至少有 40mil（如下右图所示）。

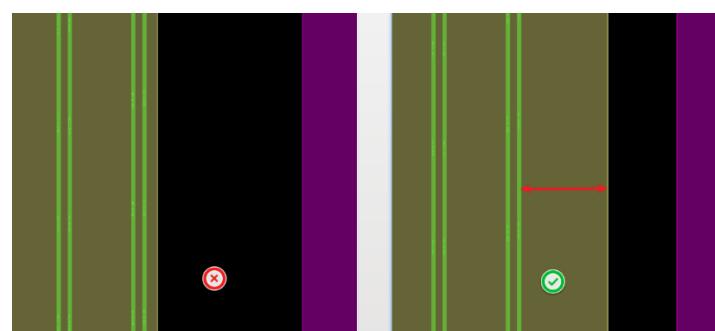


图 3-16 高速信号参考面边沿示意图

- (8) 建议按下图走蛇形绕线，以降低绕线带来的串扰。

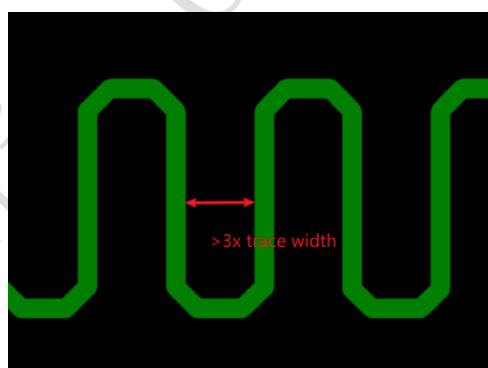


图 3-17 蛇形绕线示意图

- (9) 尽量减小残桩长度，建议残桩长度为零。

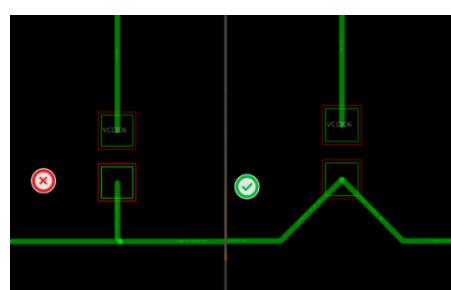


图 3-18 走线残桩示意图

(10) 由于表贴器件的焊盘会导致阻抗降低, 为减小阻抗突变的影响, 建议在表贴焊盘的正下方挖去一层参考层。常用的表贴器件有: 电容、ESD、共模抑制电感、连接器等。

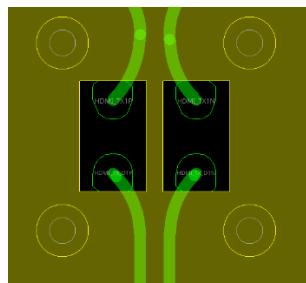


图 3-19 参考层挖空示意图

(11) 连接器位置铺铜时, 注意地铜皮不要超过地焊盘。

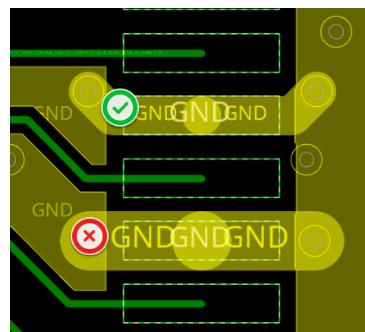


图 3-20 焊盘铺铜示意图

(12) 连接器的地铜皮距离信号 PAD 至少要大等于 3 倍线宽。

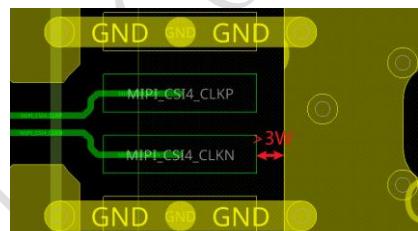


图 3-21 连接器地铜皮示意图

(13) 建议在高速连接器的每个地焊盘至少打一个地通孔, 并且通孔要尽量靠近焊盘。

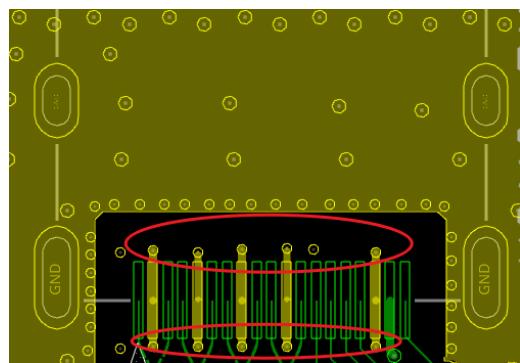


图 3-22 连接器焊盘通孔示意图

(14) 在 BGA 区域的平面断开处用走线连接。

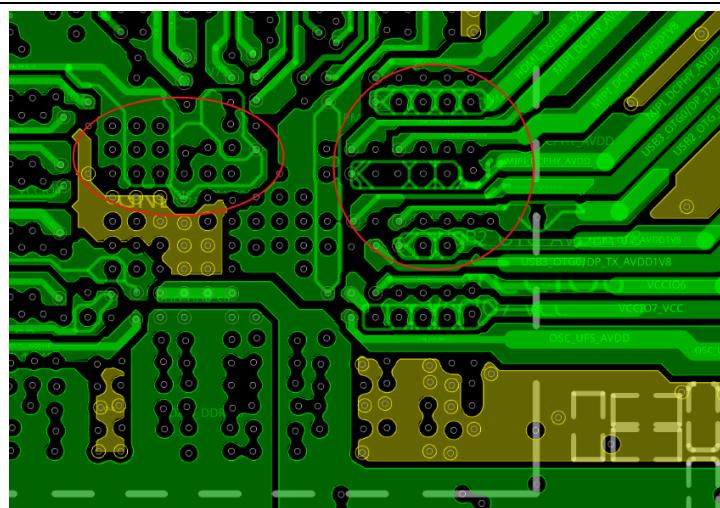


图 3-23 BGA 区域走线示意图

(15) 避免过孔残桩效应，尤其是残桩长度超过 12mil 时，建议通过仿真来评估过孔残桩对信号完整性的影响。

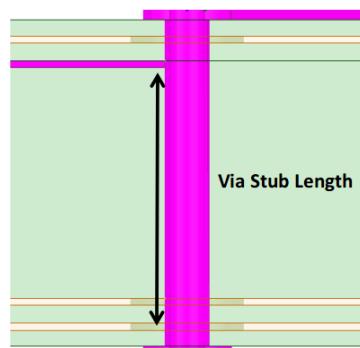


图 3-24 过孔尾柱示意图

(16) 建议在 IC (如 eMMC 颗粒、FLASH 颗粒等) 的每个 GND Pin 各打 1 个地通孔。

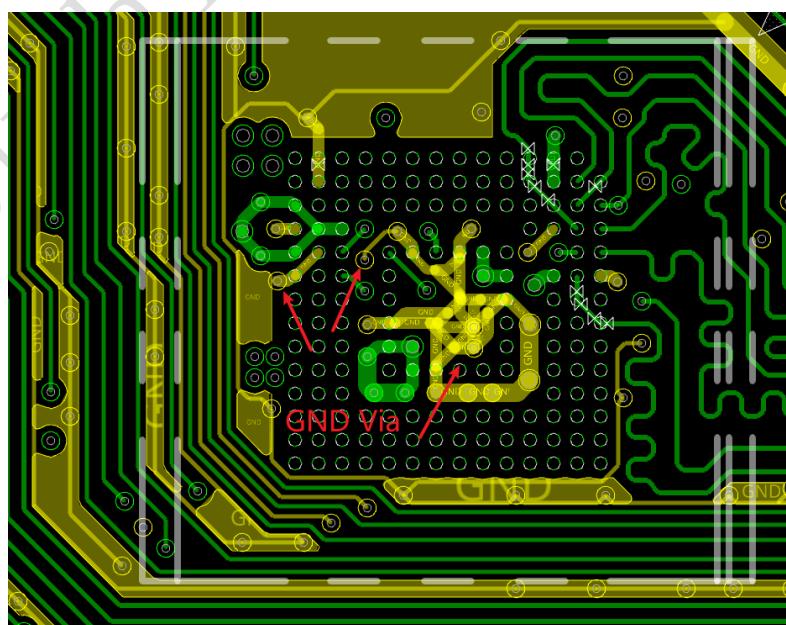


图 3-25 地通孔示意图

(17) 建议 ESD 器件的每个 GND Pin 都打一个地通孔，且通孔要尽量靠近焊盘。

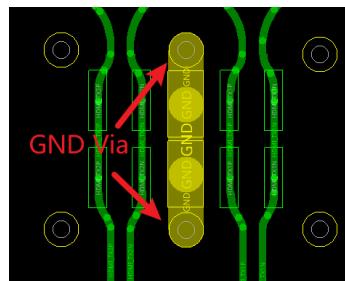


图 3-26 ESD 器件焊盘加地通孔示意图

(18) 换层且换层前、后参考层为地平面时，需要在信号过孔旁边放一个伴随过孔，以保证回流路径的连续性。单端信号，建议在信号过孔旁边放置一个回流过孔以降低过孔之间的串扰。

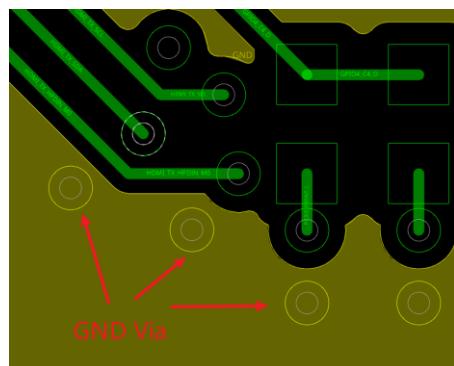


图 3-27 单端信号换层过孔示意图

(19) 有些重要的高速单端信号，比如时钟信号、复位信号等（如 emmc_clk、emmc_datastrobe、RGMII_CLK 等等）建议包地。包地线每隔 500mil 至少要打一个地孔。

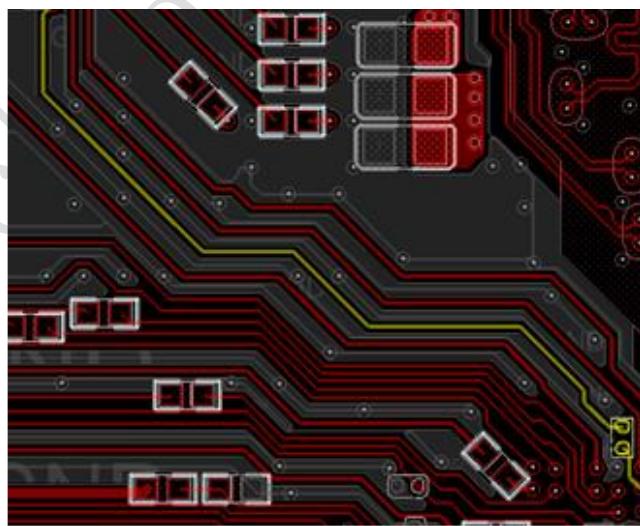


图 3-28 单端信号包地示意图

(20) 差分对内时延差是指同一对差分信号的 2 根走线之间的时延差；而差分对间时延差是指不同差分对之间的时延差。信号间距是指空气间距。

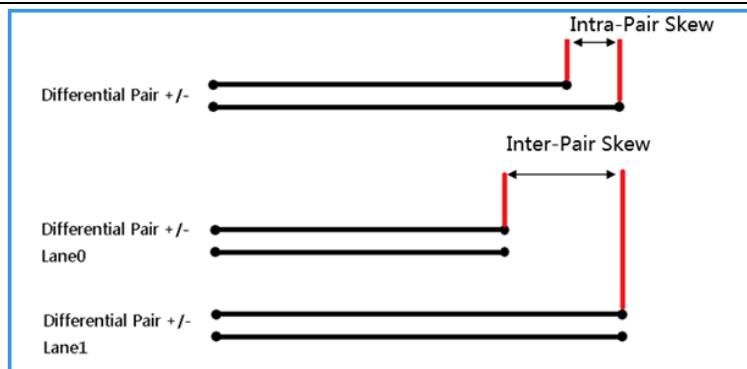


图 3-29 差分对时延差示意图

(21) 走线应有完整且连续的参考层平面。

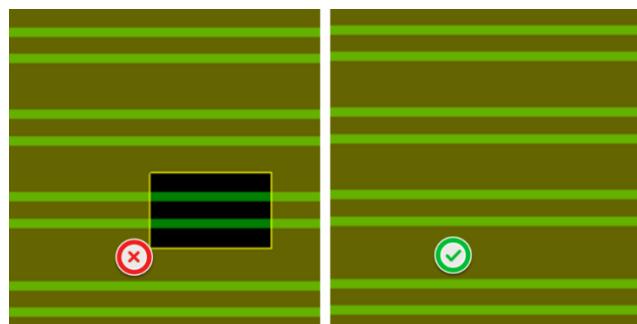


图 3-30 不完整参考平面示意图

(22) 当走线的参考平面有跨电源层时，建议在 2 个电源层分别加对地电容以提供完整的回流路径。

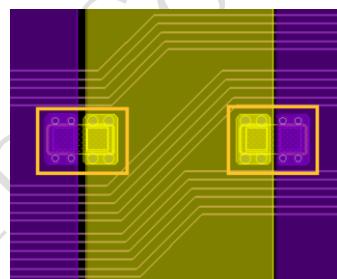


图 3-31 跨电源平面示意图

(23) 差分信号要求对内等长，即 P、N 之间的时延差要尽可能小。因此，当差分线 P、N 之间出现时延差时，就近绕线补偿。绕线尺寸需要特别注意，应满足如下图所示要求，以降低阻抗突变带来的影响。

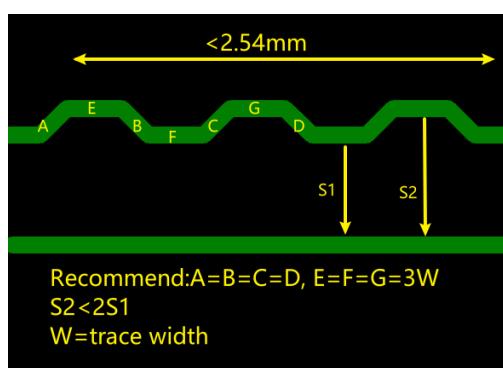


图 3-32 绕线补偿示意图

(24) 在差分线对内出现不等长（300mil 以内）就近做绕线补偿。

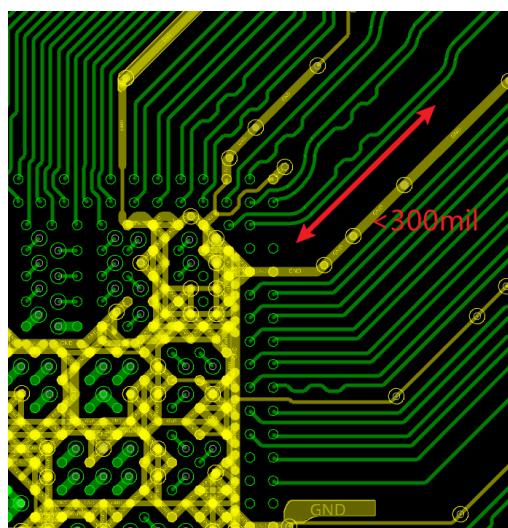


图 3-33 差分对内绕线补偿示意图

(25) 差分信号走线换层，且换层前后参考层为地平面时，需要在信号过孔旁边放一个伴随过孔，以保证回流路径的连续性。且信号过孔、回流过孔均应对称放置。

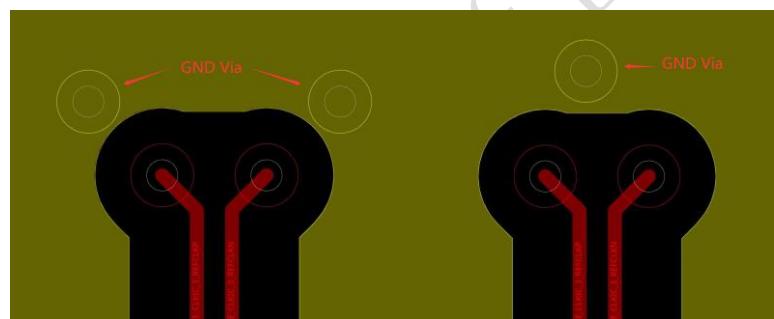


图 3-34 信号过孔与伴随过孔

(26) 差分对走线应对称。

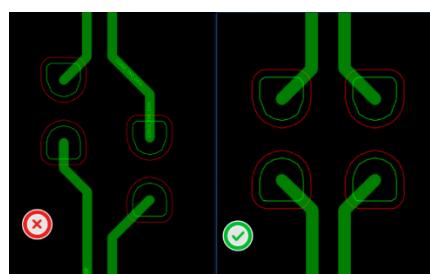


图 3-35 对称走线示意图

(27) 差分信号推荐包地方式如下：

L 为包地线地过孔间隔；

D 为包地线距离信号线之间的空气间距，建议 $\geq 4*W$ 。

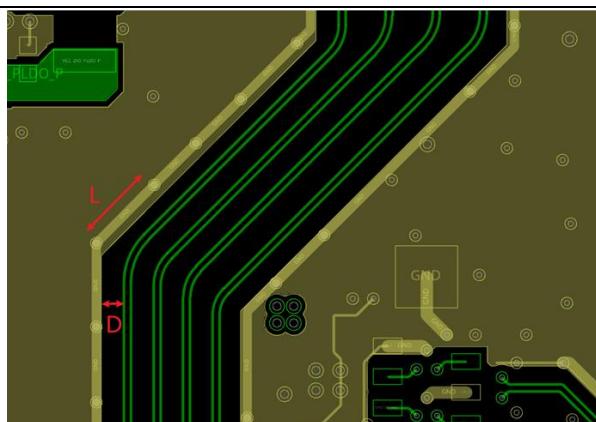


图 3-36 包地示意图

3.4 8GT/s 及以上高速信号布线建议

RK3576 以下接口的信号能工作在 8GT/s 及以上速率，由于速率很高，PCB 设计要求会更严格，在“3.3Layout 通用建议”章节基础上，需要按本章节的要求来布线。

表 3-1 RK3576 8GT/s 及以上差分信号

接口	高速差分信号
DP1.4@8.1Gbps	DP_TX_D0P;DP_TX_D0N; DP_TX_D1P;DP_TX_D1N; DP_TX_D2P;DP_TX_D2N; DP_TX_D3P;DP_TX_D3N;
HDMI2.1@12Gbps	HDMI_TX_D0P;HDMI_TX_D0N; HDMI_TX_D1P;HDMI_TX_D1N; HDMI_TX_D2P;HDMI_TX_D2N; HDMI_TX_D3P;HDMI_TX_D3N;

3.4.1 BGA 焊盘区域挖参考层

如果表 3-1 接口的工作速率 $\geq 8\text{GT/s}$ ，建议在 RK3576 BGA 区域，挖掉这些信号正下方的 L2 层参考层以减小焊盘电容效应。挖空尺寸 R 约为 7mil。

如果表 3-1 接口的工作速率低于 8GT/s，例如 DP 接口只工作在 5.4GT/s，那么不用挖 BGA 区域的参考层。

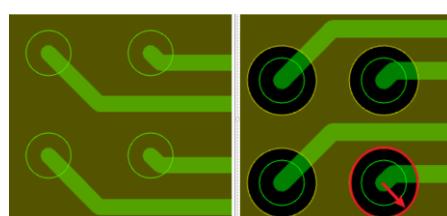


图 3-37 焊盘参考层挖空示意图

3.4.2 避免玻纤编织效应

玻纤编织效应是指：PCB 基板是由玻璃纤维和环氧树脂填充压合而成，这两种材料的介电常数不一样。当差分线的 D+走线的下方是树脂填充而 D-走线下方是玻璃纤维作为填充时，会导致 D+和 D-走线的特性阻抗不同，两条走线的时延也会不同，导致差分对内的时延差进而影响眼图质量。

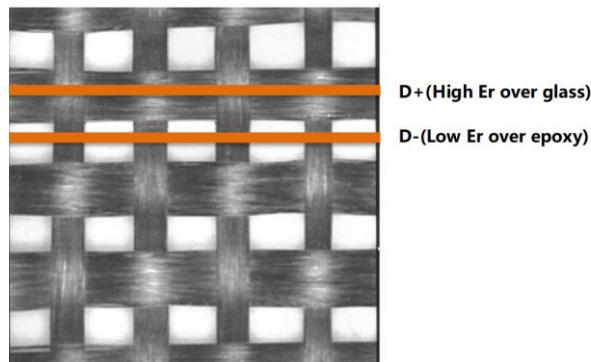


图 3-38 玻纤编织效应示意图

当表 3-1 接口的速率达到 8GT/s 且走线长度超过 1.5inch，需谨慎处理好玻纤编织效应。建议采用以下方式之一来避免玻纤编织效应带来的影响。

方式一：改变走线角度，如按 $10^\circ \sim 35^\circ$ ；或 PCB 加工时，将板材旋转 10° 以保证所有走线都不与玻纤平行。

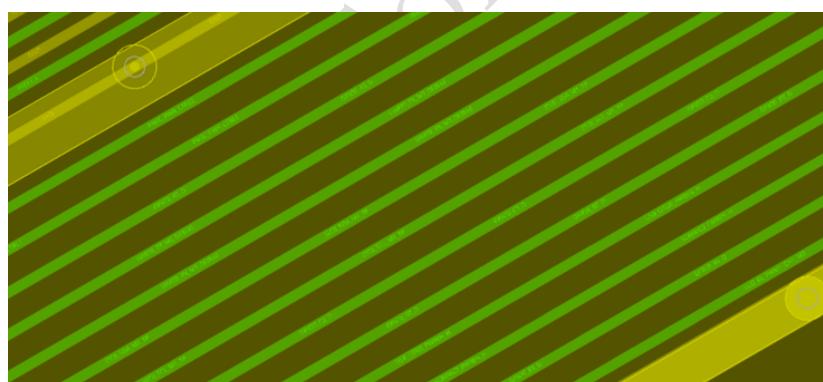


图 3-39 改变走线角度示意图

方式二：使用如下走线(zigzag)，下图中的 W 至少要大于 3 倍的玻纤编织间距。推荐值 $W=60\text{mil}$, $\theta=10^\circ$, $L=340\text{mil}$:

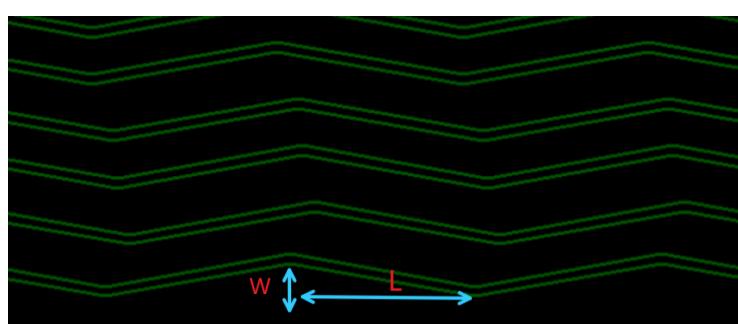


图 3-40 zigzag 走线示意图

3.4.3 差分过孔建议

如果表 3-1 接口的工作速率 $\geq 8\text{GT/s}$, 那么这些接口差分对的过孔尺寸建议根据实际叠层进行仿真优化。以下给出基于 EVB 通孔板叠层的过孔参考尺寸:

$R_{\text{Drill}}=0.1\text{mm}$ (钻孔半径)

$R_{\text{Pad}}=0.2\text{mm}$ (过孔焊盘半径)

D1: 差分过孔中心间距

D2: 表层到底层的反焊盘尺寸

D3: 信号过孔与回流地过孔的中心间距

表 3-2 差分过孔的参考尺寸

方式	D1(mil)	D2(mil)	D3(mil)	差分过孔阻抗
1	26	18	22~26	100 ohm
2	24	18	22~26	95 ohm
3	22	18	22~26	90 ohm
4	22	15	22~26	85 ohm

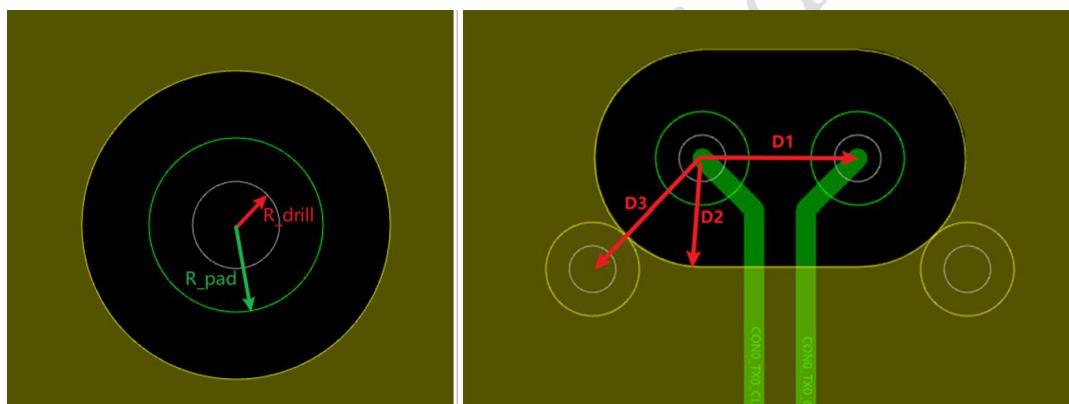


图 3-41 差分对孔尺寸示意图

3.4.4 耦合电容焊盘参考层挖空优化建议

如果表 3-1 接口的工作速率 $\geq 8\text{GT/s}$, 那么这些接口的差分隔直电容建议按如下方式进行优化。

根据接口选择挖空一层或者两层地平面, 如果挖空电容焊盘正下方 L2 地参考层, 需要隔层参考, 即 L3 层要为地参考层; 如果挖空 L2 和 L3 地参考层, 那么 L4 层要为地参考层。挖空尺寸需根据实际叠层通过仿真确定, 以下给出基于 EVB 的参考尺寸。

同时, 在耦合电容四周打 4 个地通孔以将 L2~L4 层的地参考层连接起来。

表 3-3 耦合电容焊盘挖空尺寸参考值

接口	挖空层	D1	H	L
DP1.4	L2 层和 L3 层	25mil	22mil	与焊盘等长
HDMI2.1	L2 层和 L3 层	25mil	20mil	与焊盘等长

D1: 差分耦合电容之间的中心距; L: 挖空长度; H: 挖空宽度。

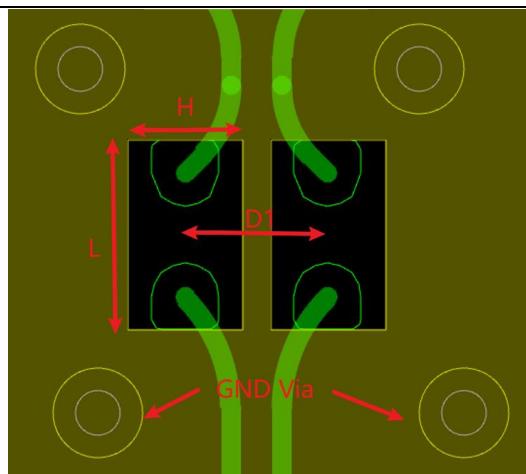


图 3-42 椅合电容焊盘挖空尺寸示意图

3.4.5 ESD 焊盘参考层挖空优化建议

如果表 3-1 的接口的工作速率 $\geq 8\text{GT/s}$, 那么这些接口的差分对 ESD 器件建议按以下方式优化。

挖空 ESD 焊盘正下方 L2 和 L3 地参考层, L4 层作为隔层参考层, 需要为地平面。挖空尺寸需结合 ESD 型号并根据实际叠层通过仿真确定, 以下给出基于 EVB 所用 ESD 型号为 ESD73034D 的参考尺寸。

同时在每个 ESD 四周打 4 个地通孔以将 L2~L4 层的地参考层连接起来。

表 3-4 ESD 器件焊盘挖空参考尺寸

接口	挖空层	H	W
DP1.4	L2 和 L3 层	22mil	与焊盘等长
HDMI2.1	L2 和 L3 层	22mil	与焊盘等长

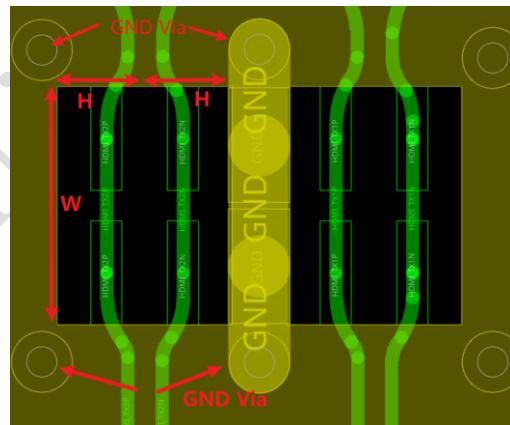


图 3-43 ESD 器件焊盘挖空参考尺寸示意图

3.4.6 连接器焊盘参考层挖空优化建议

如果表 3-1 接口的工作速率 $\geq 8\text{GT/s}$, 那么这些接口的连接器要能符合相应的标准要求(如 HDMI2.1/DP1.4)。推荐使用这些厂商的连接器: Molex、Amphenol、HRS 等等。

根据接口选择挖空一层或者两层地平面, 如果挖空连接器焊盘正下方的 L2 地参考层, 需隔层参考, 即 L3 层要作为地参考层; 如果挖空 L2 和 L3 的地参考层, 那么 L4 层需要为地平面, 作为隔层参考层。挖空尺寸需结合连接器型号并根据实际叠层通过仿真确定。

建议在连接器的每个地焊盘各打 2 个地通孔，且地孔要尽可能靠近焊盘。

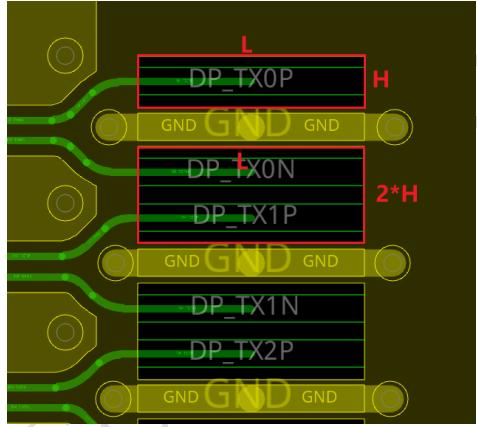
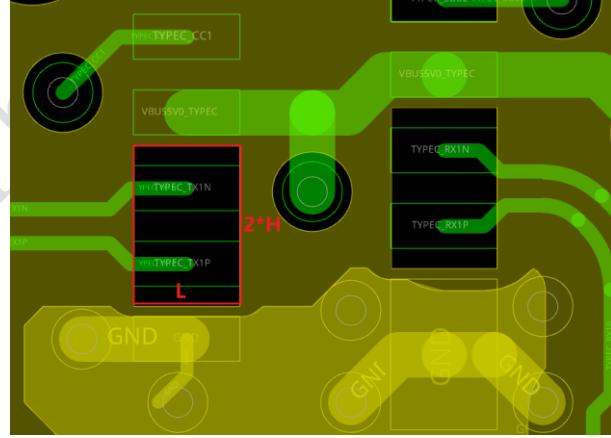
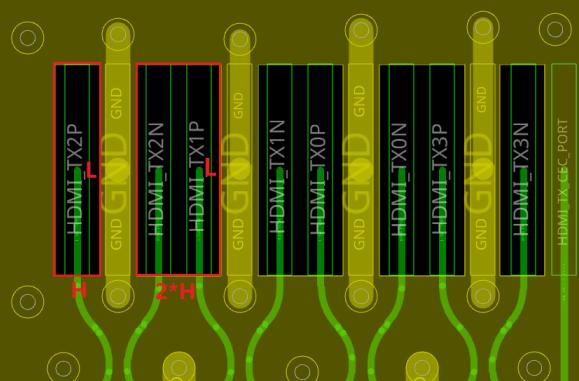
以下给出基于 EVB 的挖空参考尺寸。

表 3-5 连接器焊盘挖空尺寸参考值

连接器	型号	挖空层	H	L
DP	Molex 472720029	L2 和 L3 层	22mil	与焊盘等长
Type-C	Molex 1054500101	L2 和 L3 层	21mil	与焊盘等长
HDMI2.1	Molex 2086581051	L2 和 L3 层	22mil	与焊盘等长

连接器推荐布线方式：

表 3-6 连接器推荐布线方式

DP	
Type-C	
HDMI2.1	

3.5 模块 PCB 设计建议

- 各个接口/功能模块布局时，除非结构限制及等长需求，各个接口尽量靠近 RK3576 放置，走线尽量短，少换层，不交叉。
- 建议最小系统包含 RK3576、LPDDR4/4x/5 以及 PMIC RK806S-5 的布局布线完全拷贝 RK 提供的参考模板。
- 不影响电源平面的前提下，RK3576（SoC）下方的各个功能区域应尽量多的打回流地过孔。
- 各个接口电路/功能模块的所有信号尽量按组走在一起，并整组包地，与其它模块的信号做隔离，降低相互间的干扰，包地的过孔间距 $\leq 300\text{mil}$ ，所有信号的参考层尽量为完整的地平面，避免出现连续的过孔阻断信号的回流路径的情况。
- 信号需要换层时，建议在小于 30mil 距离的位置添加回流地孔，差分信号的两个回流地孔需要对称放置。
- RK3576（SoC）下方相应的电源域的去耦电容务必靠近对应的电源管脚放置，每个电容尽量配对一比一及以上的电源孔和地孔，电源 Fan-out 尽量宽，并尽快加粗到 20mil 及以上。
- 颗粒端\接口电路的去耦电容必须靠近对应的管脚放置，走线尽量短粗，需要满足各自的电流需求。
- 请参考 3.3 章节的“Layout 通用建议”及以下各个接口的几点建议。

3.5.1 Clock/Reset 电路 PCB 设计

在时钟电路的 PCB 设计中，请注意：

- 晶体电路布局需要优先考虑，布局时应与芯片在同一层并尽量靠近放置以避免打过孔，晶体走线尽可能的短，远离干扰源，尽量远离板边缘；
- 晶体以及时钟信号需要全程包地处理，包地线每隔 200-300mil 至少添加一个 GND 过孔，并且必须保证邻层的地参考面完整；
- 晶体电路布局时如果与芯片不同层放置，晶体走线及必须全程包地处理，避免被干扰；
- 时钟走线 XIN 和 XOUT 以及晶体下方投影区域禁止任何走线，避免噪声耦合进入时钟电路；
- 晶体下方的顶层，可以围绕放置地环。地环通过过孔与相邻的接地层连接，以隔离噪声；
- 晶体下方的第二层保持完整的地参考平面，避免任何走线分割，有助于隔离噪声保持晶体输出的；

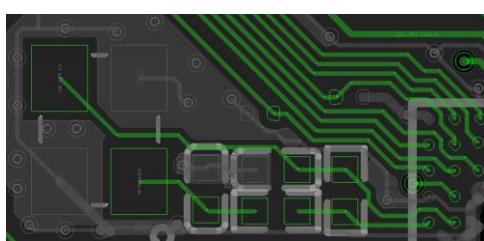


图 3-44 RK3576 晶体布局和走线

- 供电电源 PLL_DVDD0V75, PLL_AVDD1V8, OSC_AVDD1V8, PMU_LOGIC_DVDD0V75 的去耦电容，必须放在芯片管脚背面，走线时，尽量形成先经过电容焊盘再到芯片管脚。

在 Reset 电路的 PCB 设计中，请注意：

- 在布局时，RESET_L 复位信号远离板边缘和金属接插件，以防止因 ESD 引起的异常而导致复位模块死机；
- RESET_L 的滤波电容应尽量靠近芯片管脚布局，信号需先经过电容，再进入芯片，注意滤波电容

的地焊盘必须有一个 0402 地过孔，空间允许建议打两个以上，更良好的接地；

- RESET_L 信号应远离 DCDC、RF 等强干扰信号，以防止受到干扰。如果走线较长，建议包地处理，并且包地线每隔 400mil 至少添加一个 GND 过孔；
- RESET_L 按键的 TVS 保护二级管应尽量靠近按键放置，信号拓扑为：按键--->TVS--->100 ohm--->电容（靠近 CPU&PMIC）-->CPU&PMIC；出现 ESD 现象时，ESD 电流必须先经过 TVS 器件衰减。

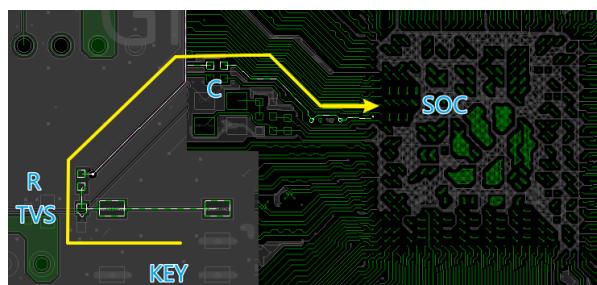


图 3-45 RESET_L 路径 PCB 分布分布

3.5.2 PMIC/Power 电路 PCB 设计

3.5.2.1 RK806S-5 电源方案的 PCB 设计

整体布局时从电源质量角度上看 RK806S-5 尽量靠近 RK3576（考虑散热设计时，需要适当放置，不要太靠近也不能离的太远），摆放方向时，尽量优先考虑 RK806S-5 的 BUCK 输出电流比较大的电源到 RK3576 的走线（覆铜）是顺的，尽量不要交叉。

注意事项：

- RK806S-5 的 RESETB 的 10nF 电容必须靠近 RK806S-5 管脚，提高芯片抗干扰能力；
- 过孔数以 0503 的过孔为例，高压电源单个过孔推荐走 0.8A，低压电源（1V 以下）按 0.4A 计算；
- 大电流 BUCK 输入输出电容的负极要有和正极有一样多数量的过孔，才能起到比较好的滤波效果（很多工程师容易忽略电容负极的电源过孔）；
- 不建议电源部分器件的焊盘及或孔做“热焊盘”，应该用铺铜全部覆盖；
- RK806S-5 的管脚部分建议禁止覆铜，所有管脚通过走线方式和外面连接，走线线宽不得超过管脚宽度，防止制板焊盘变大后，贴片容易连锡；
- RK806S-5 的 ePad 接地焊盘要优先保证有足够的过孔，必须保证 7*7 个 0503 或是 8*8 个 0402 以上的过孔数量(如 RK3576 EVB1 采用 9*9 个 0503)，用于降低接地阻抗和加强热量传导。

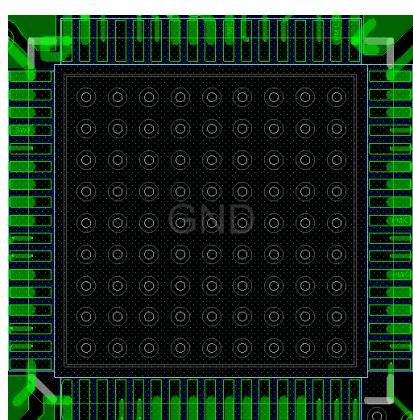


图 3-46 RK806S-5 ePad 过孔分布

- RK806S-5 的 BUCK1\3 PCB 设计要求:

- (1) 电源输入过孔要求: 对于需要打过孔的地方, VCC1/3 如果合并供电至少需要 5 个 0503 过孔, 如果分开各自需要 3 个及以上的 0503 过孔;
- (2) 输入电容要求: 必须离芯片尽可能近(如果输入电容放在芯片的背面, 需保证电容的 GND 端靠近 RK806S-5 芯片的 ePad), 让输入电容与 VCC 和 GND 的连接环路尽可能小。
- (3) SW 路径要求: 应当保证 SW 的走线尽可能短粗 (芯片引脚出线后尽可能早的让面积变大) 以提高过流能力及电源效率;
- (4) 输出电容要求: 根据实际的负载情况以及纹波要求来定, 必须按照参考图的电容来分配;
- (5) 电源输出过孔要求: 根据实际应用电流情况来确定过孔数量。如 RK3576 应用中, BUCK1 给 4A 的 CPU_BIG 供电, BUCK3 给 2A 的 CPU_LIT 供电, 过孔要求为: (a) BUCK1 和 BUCK3 的输出电容的 GND 端可以靠在一起共用但至少要 15 个以上的 0503 过孔, 如果有位置可以打小过孔补充; (b) BUCK1 输出如果有换层至少保证 10 个及以上的 0503 过孔, BUCK3 要保证 **5 个及以上的 0503 过孔**。

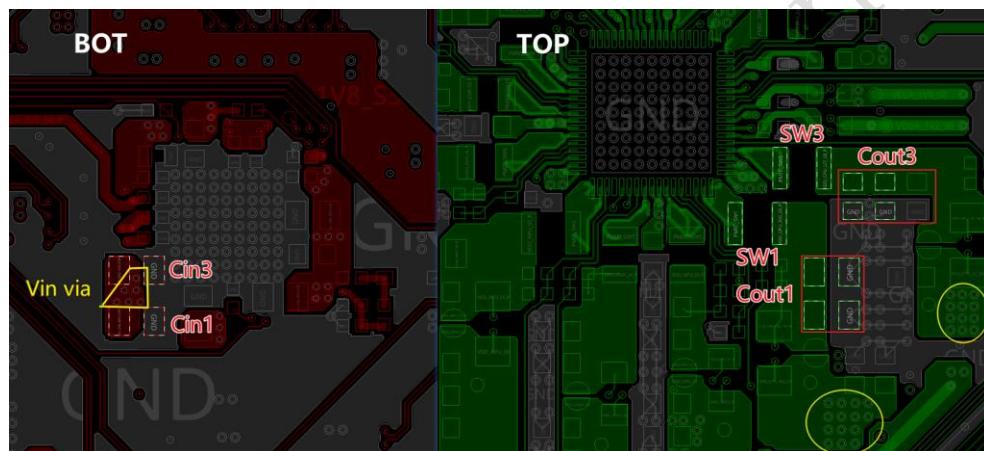


图 3-47 RK806S-5 BUCK1/BUCK3 布局和走线

- RK806S-5 的 BUCK2 PCB 设计要求:

- (1) 电源输入过孔要求: 对于需要打过孔的地方, VCC2 供电至少需要 3 个 0503 过孔;
- (2) 输入电容要求: 必须离芯片尽可能近(如果输入电容放在芯片的背面, 需保证电容的 GND 端靠近 RK806S-5 芯片的 ePad), 让输入电容与 VCC 和 GND 的连接环路尽可能小。
- (3) SW 路径要求: 应当保证 SW 的走线尽可能短粗 (芯片引脚出线后尽可能早的让面积变大) 以提高过流能力及电源效率;
- (4) 输出电容要求: 根据实际的负载情况以及纹波要求来定, 必须按照参考图的电容来分配;
- (5) 电源输出过孔要求: 根据实际应用电流情况来确定过孔数量。如 RK3576 应用中, BUCK2 给 4A 的 NPU 供电, 过孔要求为: 输出电容的 GND 端至少要 10 个以上的 0503 过孔, 如果有位置可以打小过孔补充; 输出如果有换层至少保证 10 个及以上的 0503 换层过孔。

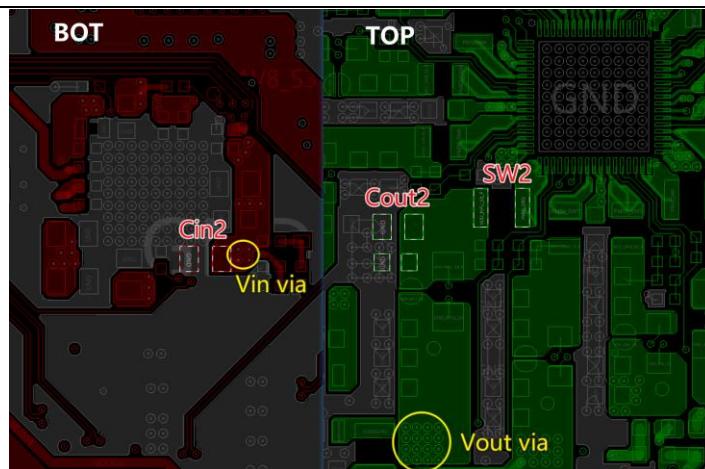


图 3-48 RK806S-5 BUCK2 布局和走线

- RK806S-5 的 BUCK4 PCB 设计要求:

- (1) 电源输入过孔要求: 对于需要打过孔的地方, VCC4 供电至少需要 3 个 0503 过孔;
- (2) 输入电容要求: 必须离芯片尽可能近(如果输入电容放在芯片的背面, 需保证电容的 GND 端靠近 RK806S-5 芯片的 ePad), 让输入电容与 VCC 和 GND 的连接环路尽可能小;
- (3) SW 路径要求: 应当保证 SW 的走线尽可能短粗 (芯片引脚出线后尽可能早的让面积变大) 以提高过流能力及电源效率;
- (4) 输出电容要求: 根据实际的负载情况以及纹波要求来定;
- (5) 电源输出过孔要求: 根据实际应用电流情况来确定过孔数量。如 RK3576 应用中, BUCK4 给 3.5A 的 3.3V 电源供电, 过孔要求为: 输出电容的 GND 端至少要 6 个以上的 0503 过孔, 如果不足可以打小孔补充; 输出如果有换层至少保证 6 个及以上的 0503 换层过孔。需要注意, 如果 BUCK4 有更大的负载场景, 比如带 5A 的负载时, 过孔数量需要相应增加: 输出电容的 GND 端至少要 9 个以上的 0503 过孔, 如果不足可以打小孔补充; 输出如果有换层至少保证 9 个及以上的 0503 换层过孔。



图 3-49 RK806S-5 BUCK4 布局和走线

- RK806S-5 的 BUCK5/6/7/8/9/10 PCB 设计要求:

BUCK5/6/7/8/9/10 的输出满载电流为 3A。

- (1) 电源输入过孔要求: 对于需要打过孔的地方, VCCx 至少需要 2 个 0503 的过孔;
- (2) 输入电容要求: 必须离芯片尽可能近(如果输入电容放在芯片的背面, 需保证电容的 GND 端靠近 RK806S-5 芯片的 ePad), 让输入电容与 VCCx 和 GND 的连接环路尽可能小;
- (3) SW 路径要求: 应当保证 SW 的走线尽可能短粗 (芯片引脚出线后尽可能早的让面积变大) 以提高过流能力及电源效率;

- (4) 输出电容要求：根据实际的负载情况以及纹波要求来定，必须按照参考图的电容来分配；
- (5) 电源输出过孔要求：输出电容的 GND 端至少需要 6 个 0503 的过孔，VOUTx 输出如果有换层至少保证 6 个及以上的 0503 换层过孔。特别注意输入输出电容的 GND 端要有和正端一样多数量的过孔，才能起到比较好的滤波效果。

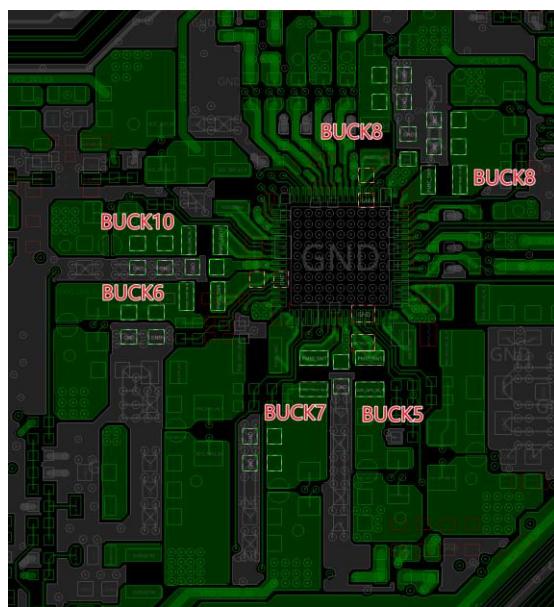


图 3-50 RK806S-5 BUCK5/6/7/8/9/10 布局和走线

- RK806S-5 的 LDO PCB 设计要求：

RK806-5 集成了 11 路 LDO，5 路为 NMOS LDO，6 路为 PMOS LDO。其中 NLDO1/2/5 与 PLDO2/3/5/6 可以带 300mA 负载；NLDO3/4 与 PLDO1/4 可以带 500mA 负载。

输入电容必须离芯片尽可能近，输入电容与 VCC11/12/13/14 和 GND 的连接环路尽可能小。RK806S-5 的 VCCA 电容必须靠近管脚放置，远离其它干扰源，电容的地焊盘必须良好接地，即 VCCA 电容地焊盘和 RK806-5 ePad 之间路径必须保证最短，不得被其他信号分割

输出电容必须离芯片尽可能近，输出电容与 PLDO1/2/3/4/5/6 及 NLDO1/2/3/4/5 和 GND 的连接环路尽可能小。

大于等于 1.8V 以上的 LDO 走线粗线一般按 1mm 宽度走 1A 来设计，小于 1.8V 的 LDO 走线推荐按 1mm 走 0.5A 且长度如果超过 10cm 应该增加宽度来设计。

LDO 输出的电流根据后端实际供电需求，走线在从芯片引出后应尽快变粗到需求大小，要特别关注低压大电流 NLDO 的走线长度及损耗，以满足目标芯片的供电电压及纹波需求。

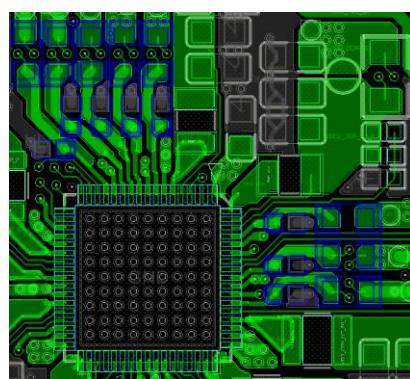


图 3-51 RK806S-5 LDO 布局和走线示例

3.5.2.2 分立电源 DC-DC PCB 设计

输入电容 Cin、输出电容 Cout 放置于 Vin Pin、Vout Pin 与 DC/DC 的 GND 之间，尽量减小 Vin、Vout 与 DC/DC 的 GND 之间的环路面积，这样可以减小电源的 EMI 幅度，大大提高 DCDC 电路的稳定性，如下图：

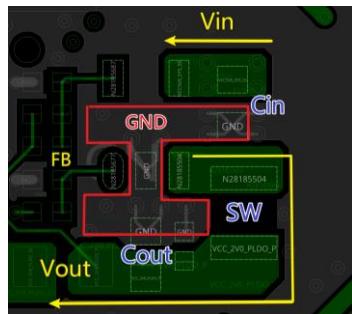


图 3-52 分立电源 DC/DC 布局和走线

输入电容 Cin、输出电容 Cout 以及 DC/DC 的 GND，要尽量多打一些过孔，建议 4 个以上的 0503 过孔，如果 Vin, Vout 电源有换层，建议过孔也要多打一些过孔，建议 4 个以上的 0503 过孔（和电流有关系，下面会相关描述）。电感要尽量靠近 DC/DC，走线要尽量粗而短，FB 端的电阻地尽量远离干扰源。

3.5.2.3 分立电源 LDO PCB 设计

输入电容 Cin、输出电容 Cout 放置于 Vin Pin、Vout Pin 与 LDO 的 GND 之间，尽量减小 Vin、Vout 与 LDO 的 GND 之间的环路面积，这样可以减小电源的 EMI 幅度，大大提高 LDO 电路的稳定性。



图 3-53 分立电源 LDO 布局和走线

输入电容 Cin、输出电容 Cout 以及 LDO 的 GND，要尽量多打一些地过孔，建议 4 个以上的 0503 过孔，如果 Vin, Vout 电源有换层，过孔也要多打一些过孔，建议 4 个以上的 0503 过孔，电源孔及地孔数量最好按芯片最大供电能力计算，至少需要满足实际应用的负载供电需求。

LDO 效率不高，自身产生热量较大，需要着重考虑 LDO 的散热问题，可以适当加大铺铜面积，多打些过孔，有利散热。

3.5.2.4 DC-DC 低压大电流供电反馈补偿建议

RK3576 的 PMIC 方案中，针对几个大电流 BUCK 供电电源，结合电压、电流、纹波以及 PCB 布局情况，分为三类反馈补偿策略：

- 近端反馈（小电流，或高压应用）

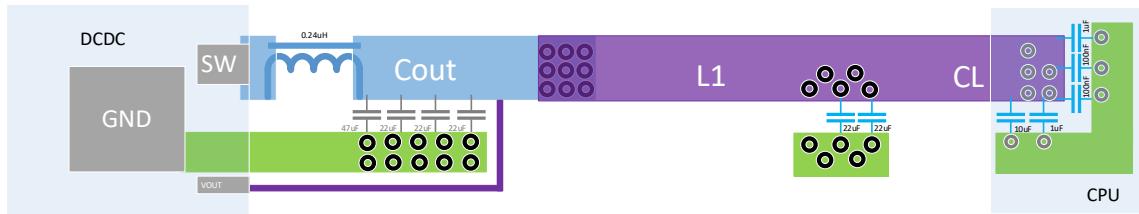


图 3-54 近端反馈 PCB Layout 示意图

输出电容 Cout 靠近 DCDC，反馈采样点(FB/VOUT)接在输出滤波电容 Cout 的末端：

优点：相比后面的其它方案，DCDC 稳定性更好。

缺点：DCDC 距离负载较远时，走线的阻抗和感抗在大电流及高瞬态下会引入很大的纹波。

主要推荐应用在负载电流小、PCB 走线短或输出电压比较高的应用。

● 远端反馈（RK 常规用法）

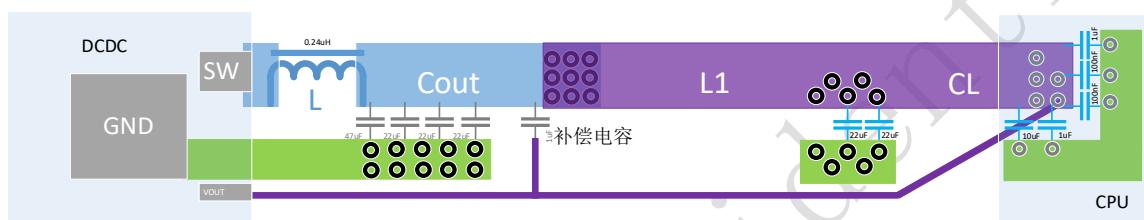


图 3-55 远端反馈（RK 常规用法）PCB Layout 示意图

将 DCDC 的反馈采样点(FB/VOUT)取到负载的最末端。

优点：该方法能补偿大电流情况下因为 IR drop 带来的电压损失，保证重载下的供电电压。

缺点：从 DCDC 系统角度看多引入了一级 LC (L1 和 CL)，需要在 DCDC 端做适当的前馈补偿以抵消该部份影响，实际使用中如果负载突变速率比较快，纹波还是比 DCDC 本身近端反馈要大。

采用该补偿方案虽纹波会有所增加，但相比方案一利大于弊，固采用此方案。但随着工艺的提高，Core 供电电压越来越低，对纹波要求也越来越小，特别是大模型应用中 NPU 对电源瞬态有了新的需求，所以该方案渐渐无法满足需求。

● PCB 等效为电感的远端反馈（新引入）

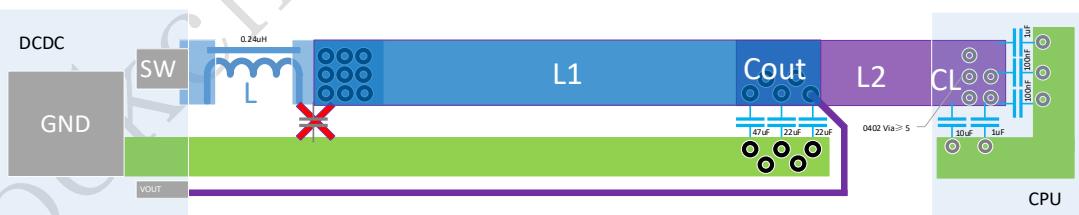


图 3-56 PCB 等效为电感的远端反馈 PCB Layout 示意图

将靠近 DCDC 端的输出主电容(Cout)去掉，主电容 Cout 移到尽量靠近负载端，FB/Vout 采样在主电容上，从主电容上再走极短的平面 (L2) 到负载。

设计理念：上图 PCB 走线 L1 就是一个 PCB 电感，和电感 L 是串联关系，L+L1 等效为同一个电感。

设计要点：L2 要尽可能的短宽以降低压降，因为该段走线没有补偿了，L2 前后的压差尽可能控制在 10mV 以内。

特点：

- 因为去掉 DCDC 侧电容，只适当增加负载侧电容，所以降低了成本；
- L1 走线当电感后，对 L1 段走线要求变低，只要铜皮过流能力足够就不会对纹波有什么影响；

- PCB 走线相当于一个感量在几 nH 到十几 nH 级的空心线圈;
- 走线的 DCR 只对 DCDC 效率有影响;
- 因为 DCDC 对电感的容忍度比较高而且一般电感本身的感量误差就是 $\pm 20\%$, 所以该段感抗对 DCDC 基本无影响。

缺点:

- L2 没有补偿, 所以需要严格控制 L2 的长度及宽度。

3.5.2.5 RK3576 CPU_BIG_DVDD 电源

CPU_BIG_DVDD 采用如下图所示 RK 常规用法的远端反馈方案(由于该路电源纹波可以满足要求, 且考虑靠近 RK3576 位置电容摆放空间不够, 因此未采用 PCB 等效为电感的远端反馈)。

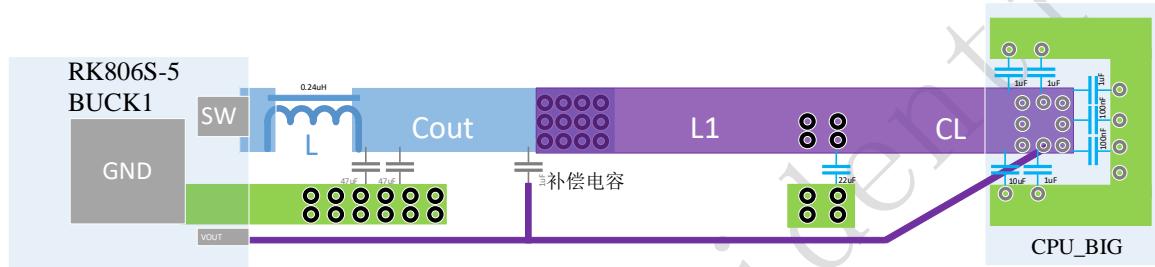


图 3-57 CPU_BIG PCB Layout 示意图

总体要求如下:

- (1) DCDC 输出端有 2 个 47uF 电容, 靠近 RK3576 有 1 个 22uF 电容, RK3576 管脚处有 1 个 10uF、4 个 1uF 电容以及 2 个 100nF 电容;
- (2) 参考 RK 的常规用法, 电压反馈点从 RK3576 球位引出;
- (3) CPU_BIG_DVDD 电源覆铜严格参考下方 PCB 的要求;
- (4) 电源 DCR 值建议小于 13mohm;
- (5) 电源 PDN 和目标阻抗建议值如下表和下图所示。

表 3-7 CPU_BIG_DVDD 电源 PDN 目标阻抗建议值

频率	阻抗值 (单位: 欧)
100Khz~1Mhz	≤ 0.025
1Mhz ~30Mhz	≤ 0.035
30Mhz~100Mhz	≤ 0.11

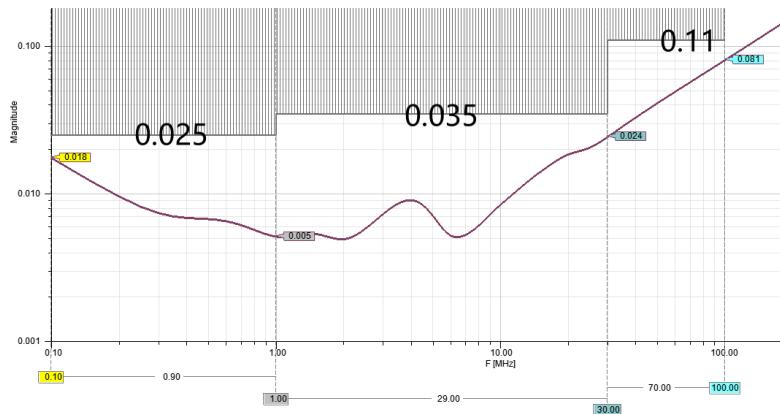


图 3-58 CPU_BIG_DVDD 电源建议 PDN 要求

PCB 的建议如下：

- (1) RK3576(SoC)下方的 CPU_BIG_DVDD 电源管脚，尽量每个 Ball 都有一个对应的电源过孔（建议 8 个及以上过孔），并且顶层走“井”字形交叉连接，或者走线布满，增强电流能力，建议走线线宽 9mil。

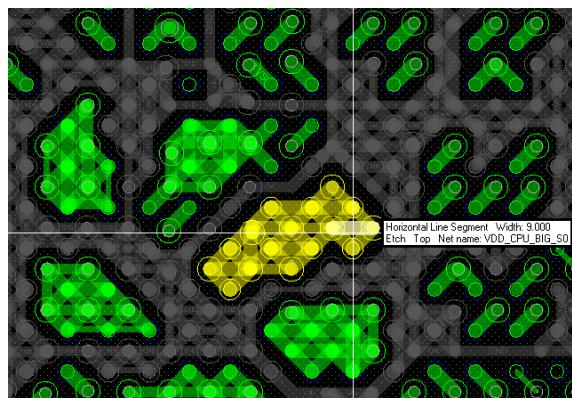


图 3-59 RK3576 芯片 CPU_BIG_DVDD 的电源管脚走线和过孔

- (2) RK3576(SoC)下方的 CPU_BIG_DVDD 区域，在不影响电源通路情况下，电源过孔旁边尽量增加 GND 回流过孔，建议 8 个以上。

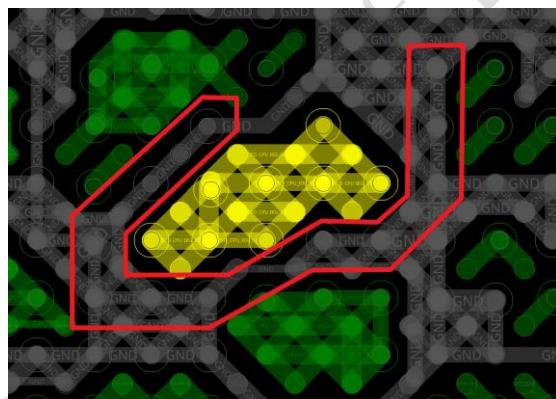


图 3-60 RK3576 芯片 CPU_BIG_DVDD 回流地过孔

- (3) 原理图上靠近 RK3576 的 CPU_BIG_DVDD 电源管脚的去耦电容务必靠近对应的电源管脚，电容的 GND Pad 尽量靠近 RK3576 的 GND Ball 放置，其余的去耦电容也需尽量靠近 RK3576。



图 3-61 RK3576 芯片 CPU_BIG_DVDD 的电源管脚背面去耦电容

- (4) CPU_BIG_DVDD 的覆铜宽度需满足芯片的电流需求，连接到电源芯片管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到 CPU_BIG_DVDD 每个电源 PIN 脚的路径都足够。RK3576(SoC)下方的 CPU_BIG_DVDD 狹窄区域的铺铜宽度 W0 建议大于 58mil，然后尽可能快速的加大铜皮宽度，外围区域宽度 W1 建议大于 320mil。



图 3-62 RK3576 芯片 CPU_BIG_DVDD 电源层覆铜

- (5) 电源平面至少有一层相邻的 GND 回流平面，平面的作用一方面降低压降，另一方面电源平面和相邻 GND 平面间的平面电容可以有效降低高频的 PDN。
 (6) 电源铜皮建议采用 1oz 的铜厚，若叠层允许（如 8 层板及以上），多增加一层电源铺铜平面，有助于减小电流密度。
 (7) CPU_BIG_DVDD 的电源在外围换层时，要尽可能的多打电源过孔（10 个及以上 0503 的过孔），降低换层过孔带来的压降，去耦电容的 GND 过孔要跟电源过孔数量保持一致，否则会大大降低电容作用。

3.5.2.6 RK3576 CPU_LIT_DVDD 电源

CPU_LIT_DVDD 采用如下图所示 RK 常规用法的远端反馈方案(由于该路电源纹波可以满足要求，且考虑靠近 RK3576 位置电容摆放空间不够，因此未采用 PCB 等效为电感的远端反馈)。

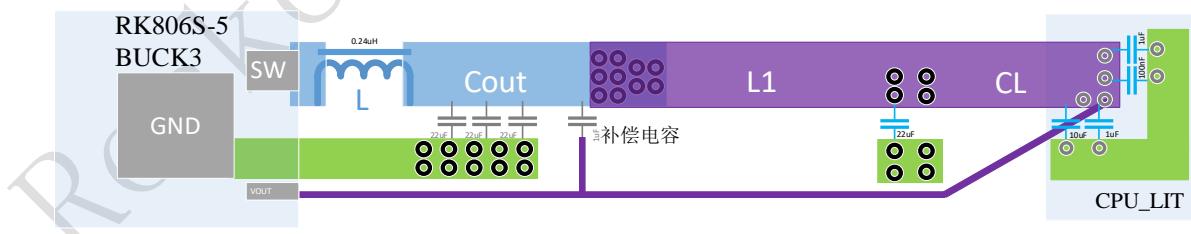


图 3-63 CPU_LIT PCB Layout 示意图

总体要求如下：

- (1) DCDC 输出端有 3 个 22uF 电容，靠近 RK3576 有 1 个 22uF 电容，RK3576 管脚处有 1 个 10uF、2 个 1uF 电容以及 1 个 100nF 电容；
- (2) 参考 RK 的常规用法，电压反馈点从 RK3576 球位引出。
- (3) CPU_LIT_DVDD 电源覆铜严格参考下方 PCB 的要求；
- (4) 电源 DCR 值建议小于 20mohm；

(5) 电源 PDN 和目标阻抗建议值如下表和下图所示。

表 3-8 CPU_LIT_DVDD 电源 PDN 目标阻抗建议值

频率	阻抗值（单位：欧）
100Khz~1Mhz	≤0.035
1Mhz ~30Mhz	≤0.05
30Mhz~100Mhz	≤0.18

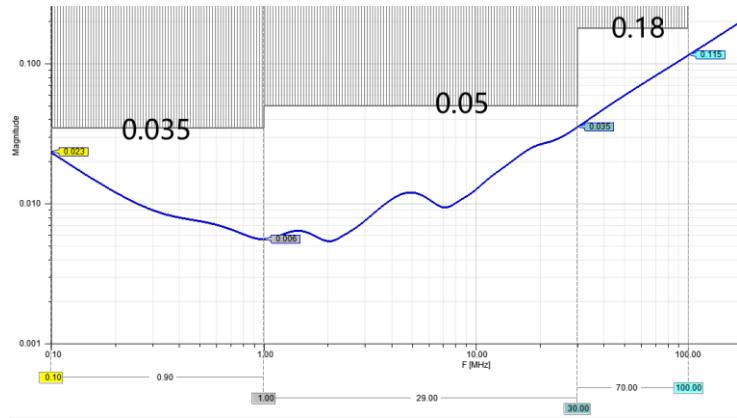


图 3-64 CPU_L1T_DVDD 电源建议 PDN 要求

PCB 建议如下：

- (1) RK3576(SoC)下方的CPU_LIT_DVDD电源管脚，尽量每个Ball都有一个对应的电源过孔（建议4个及以上过孔），并且顶层走“井”字形交叉连接，或者走线布满，增强电流能力，建议走线线宽9mil。

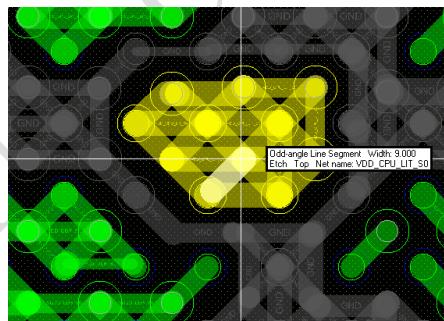


图 3-65 RK3576 芯片 CPU_LIT_DVDD 的电源管脚走线和过孔

- (2) RK3576(SoC)下方的 CPU_LIT_DVDD 区域，在不影响电源通路情况下，电源过孔旁边尽量增加 GND 回流过孔，建议 4 个以上。

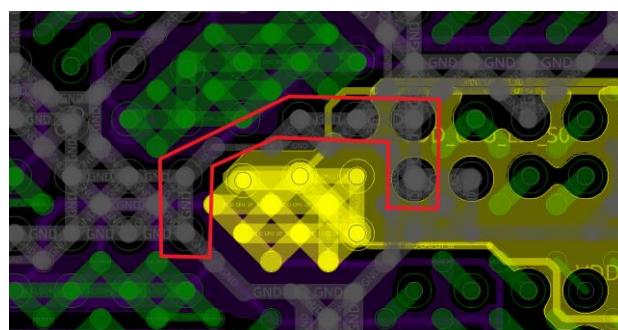


图 3-66 RK3576 芯片 CPU_LIT_DVDD 回流地孔

- (3) 原理图上靠近 RK3576 的 CPU_LIT_DVDD 电源管脚的去耦电容务必靠近对应的电源管脚，电容的 GND Pad 尽量靠近 RK3576 的 GND Ball 放置，其余的去耦电容也需尽量靠近 RK3576。

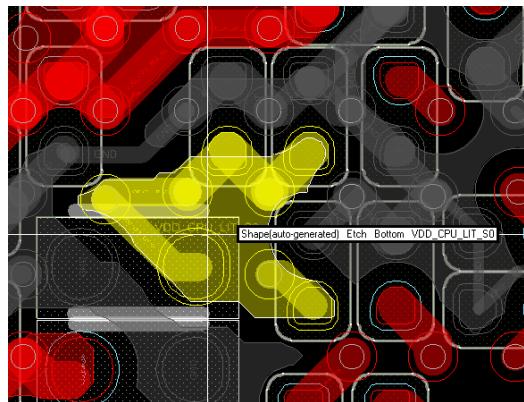


图 3-67 RK3576 芯片 CPU_LIT_DVDD 的电源管脚背面去耦电容

- (4) CPU_LIT_DVDD 的覆铜宽度需满足芯片的电流需求，连接到电源芯片管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到 CPU_LIT_DVDD 每个电源 PIN 脚的路径都足够。RK3576(SoC)下方的 CPU_LIT_DVDD 狹窄区域的铺铜宽度 W_0 建议大于 30mil，然后尽可能快速的加大铜皮宽度，外围区域宽度 W_1 建议大于 200mil。

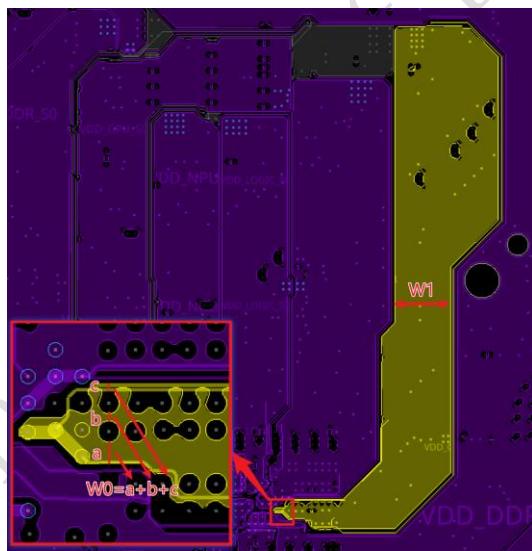


图 3-68 RK3576 芯片 CPU_LIT_DVDD 电源层覆铜

- (5) 电源平面至少有一层相邻的 GND 回流平面，平面的作用一方面降低压降，另一方面电源平面和相邻层 GND 平面间的平面电容可以有效降低高频的 PDN。
 (6) 电源铜皮建议采用 1oz 的铜厚，若叠层允许（如 8 层板及以上），多增加一层电源铺铜平面，有助于减小电流密度。
 (7) CPU_LIT_DVDD 的电源在外围换层时，要尽可能的多打电源过孔（6 个及以上 0503 的过孔），降低换层过孔带来的压降，去耦电容的 GND 过孔要跟电源过孔数量保持一致，否则会大大降低电容作用。

3.5.2.7 RK3576 LOGIC 电源

RK3576 的 LOGIC 采用如下图所示 RK 常规用法的远端反馈方案(由于该路电源纹波可以满足要求，

且考虑靠近 RK3576 位置电容摆放空间不够，因此未采用 PCB 等效为电感的远端反馈)。

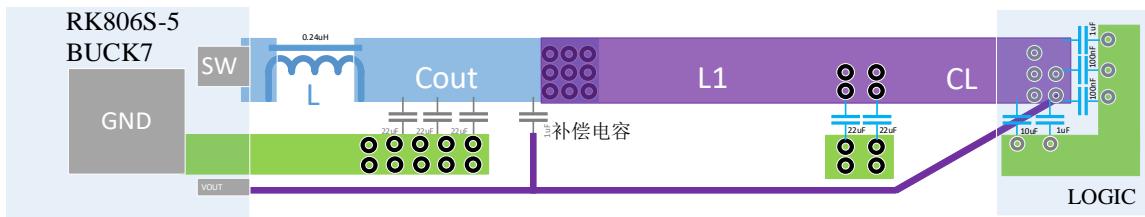


图 3-69 LOGIC PCB Layout 示意图

总体要求如下：

- (1) DCDC 输出端有 3 个 22uF 电容；
- (2) LOGIC_DVDD 电源，靠近 RK3576 有 2 个 22uF 电容，RK3576 管脚处有 1 个 10uF、2 个 1uF 电容以及 2 个 100nF 电容；
- (3) 参考 RK 的常规用法，电压反馈点从 RK3576 球位引出；
- (4) LOGIC 电源覆铜严格参考下方 PCB 的要求；
- (5) 电源 DCR 值建议小于 20mohm；
- (6) 电源 PDN 和目标阻抗建议值如下表和下图所示。

表 3-9 LOGIC_DVDD 电源 PDN 目标阻抗建议值

频率	阻抗值（单位：欧）
100Khz~1Mhz	≤0.03
1Mhz ~30Mhz	≤0.045
30Mhz~100Mhz	≤0.14

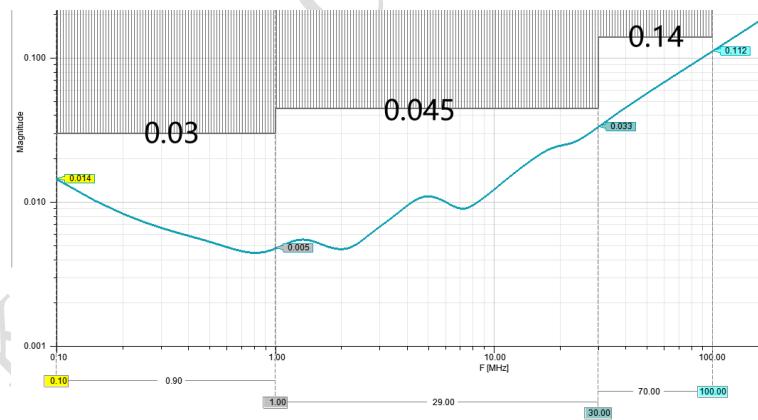


图 3-70 LOGIC_DVDD 电源建议 PDN 要求

PCB 建议如下：

- (1) RK3576(SoC)下方的 LOGIC_DVDD 电源管脚，尽量每个 Ball 都有一个对应的电源过孔（建议 5 个及以上过孔），并且顶层走“井”字形交叉连接，或者走线布满，增强电流能力，建议走线线宽 9mil。

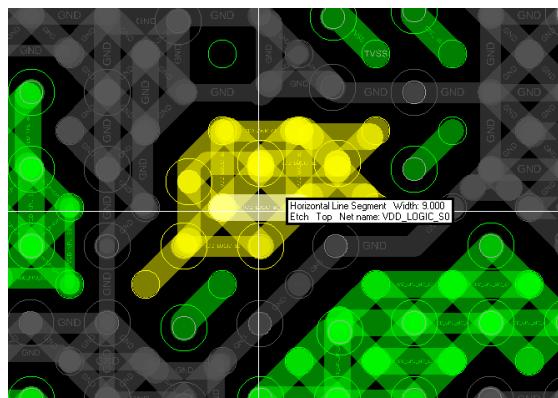


图 3-71 RK3576 芯片 LOGIC_DVDD 的电源管脚走线和过孔

- (2) RK3576(SoC)下方的 LOGIC_DVDD 区域, 在不影响电源通路情况下, 电源过孔旁边尽量增加 GND 回流过孔, 建议 6 个以上。

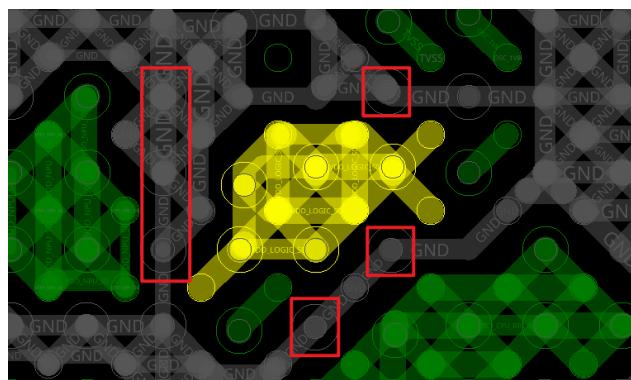


图 3-72 RK3576 芯片 LOGIC_DVDD 回流地孔

- (3) 原理图上靠近 RK3576 的 LOGIC_DVDD 电源管脚的去耦电容务必靠近对应的电源管脚, 电容的 GND Pad 尽量靠近 RK3576 的 GND Ball 放置, 其余的去耦电容也需尽量靠近 RK3576。

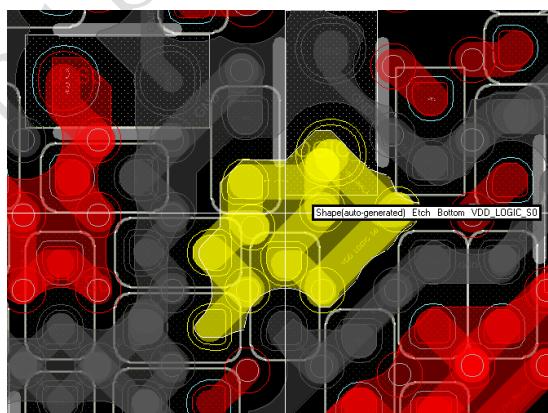


图 3-73 RK3576 芯片 LOGIC_DVDD 的电源管脚背面去耦电容

- (4) LOGIC_DVDD 的覆铜宽度需满足芯片的电流需求, 连接到电源芯片管脚的覆铜足够宽, 路径不能被过孔分割太严重, 必须计算有效线宽, 确认连接到 LOGIC_DVDD 每个电源 PIN 脚的路径都足够。RK3576(SoC)下方的 LOGIC_DVDD 狹窄区域的铺铜宽度 W0 建议大于 45mil, 然后尽可能快速的加大铜皮宽度, 外围区域宽度 W1 建议大于 200mil。

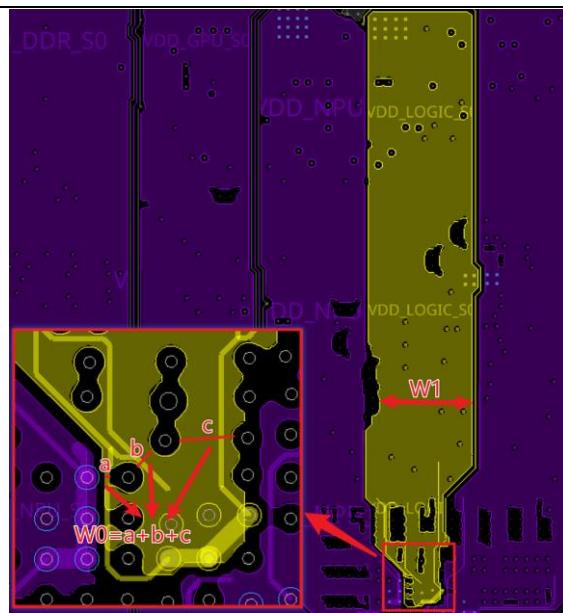


图 3-74 RK3576 芯片 LOGIC_DVDD 电源层覆铜

- (5) 电源平面至少有一层相邻的 GND 回流平面，平面的作用一方面降低压降，另一方面电源平面和相邻层 GND 平面间的平面电容可以有效降低高频的 PDN。
- (6) 电源铜皮建议采用 1oz 的铜厚，若叠层允许（如 8 层板及以上），多增加一层电源铺铜平面，有助于减小电流密度。
- (7) LOGIC_DVDD 的电源在外围换层时，要尽可能的多打电源过孔（6 个及以上 0503 的过孔），降低换层过孔带来的压降，去耦电容的 GND 过孔要跟电源过孔数量保持一致，否则会大大降低电容作用。

3.5.2.8 RK3576 NPU_DVDD 电源

NPU_DVDD 采用如下图所示 PCB 等效为电感的远端反馈方案：

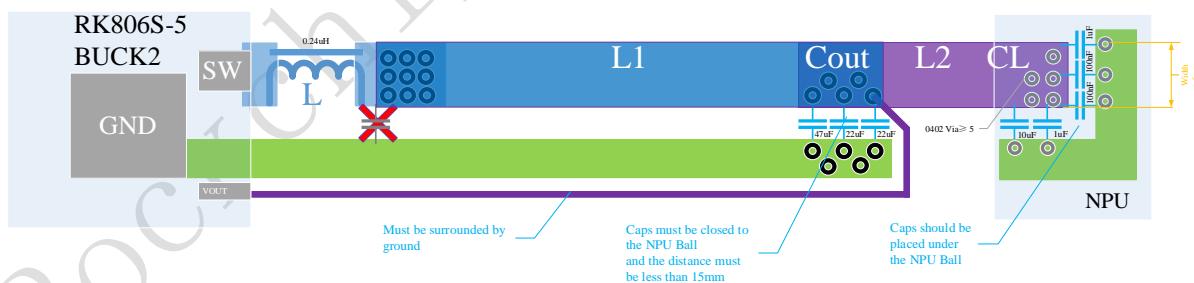


图 3-75 NPU PCB Layout 示意图

总体要求如下：

- (1) DCDC 输出端没有电容，靠近 RK3576 的主电容 Cout 有 1 个 47uF 和 2 个 22uF 电容，RK3576 的 NPU_DVDD 电源管脚处有 1 个 10uF、2 个 1uF 电容以及 2 个 100nF 电容；
- (2) 电压反馈点从主电容 Cout 位置引出；电压反馈信号需要包地；
- (3) 靠近 RK3576 的 NPU_DVDD 电源管脚的主电容 Cout 处需要有 5 个电源过孔和 5 个地过孔；
- (4) 主电容距离 NPU_DVDD 电源管脚的距离 L2 不超过 15mm，电源覆铜严格参考下方 PCB 的要求；
- (5) 主电容距离 DCDC 的距离不超过 60mm；

(6) 电源 PDN 和目标阻抗建议值如下表和下图所示。

表 3-10 NPU_DVDD 电源 PDN 目标阻抗建议值

频率	阻抗值（单位：欧）
100Khz~1Mhz	≤0.03
1Mhz ~30Mhz	≤0.045
30Mhz~100Mhz	≤0.14

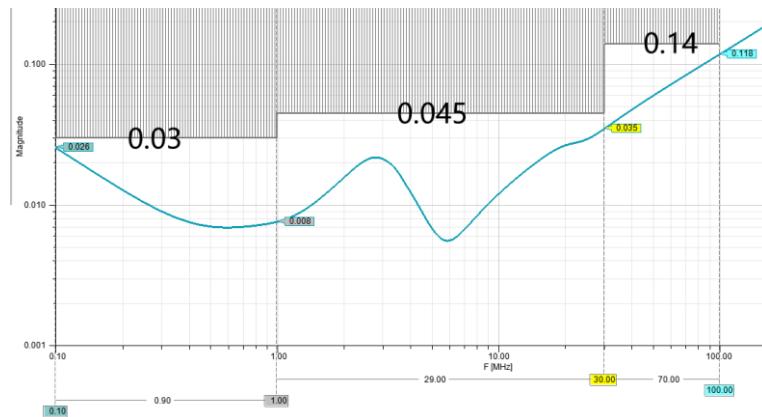


图 3-76 NPU_DVDD 电源建议 PDN 要求

PCB 设计的建议如下：

- (1) RK3576(SoC)下方的 NPU_DVDD 电源管脚，尽量每个 Ball 都有一个对应的电源过孔（建议 5 个及以上过孔），并且顶层走“井”字形交叉连接，或者走线布满，增强电流能力，建议走线线宽 9mil。

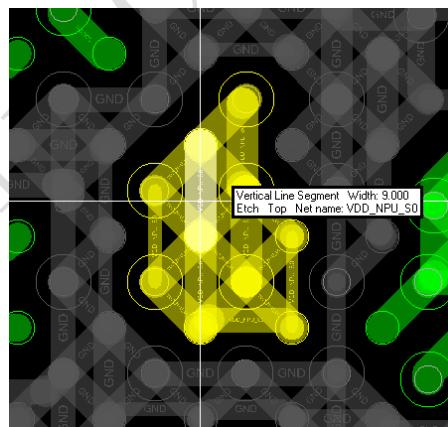


图 3-77 RK3576 芯片 NPU_DVDD 的电源管脚走线和过孔

- (2) RK3576(SoC)下方的 NPU_DVDD 区域，在不影响电源通路情况下，电源过孔旁边尽量增加 GND 回流过孔，建议 7 个以上。

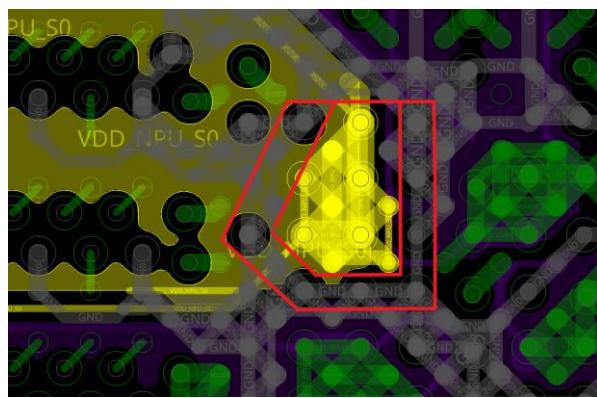


图 3-78 RK3576 芯片 NPU_DVDD 回流地过孔

- (3) 原理图上靠近 RK3576 的 NPU_DVDD 电源管脚的去耦电容务必靠近对应的电源管脚, 电容的 GND Pad 尽量靠近 RK3576 的 GND Ball 放置, 其余的去耦电容也需尽量靠近 RK3576。

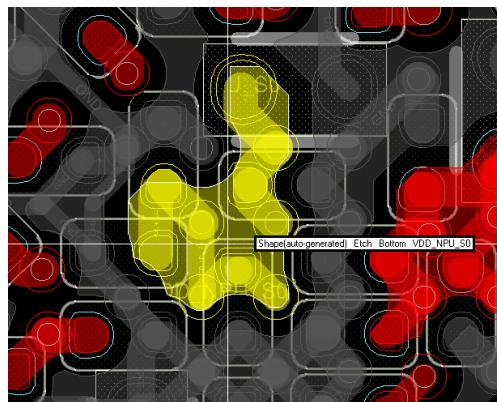


图 3-79 RK3576 芯片 NPU_DVDD 的电源管脚背面去耦电容

- (4) 主电容 Cout 需要尽量靠近 SoC 摆放, 反馈信号从主电容引出, 反馈线需要包地, 并且每隔 500mil 打一个地过孔, 避免被干扰。

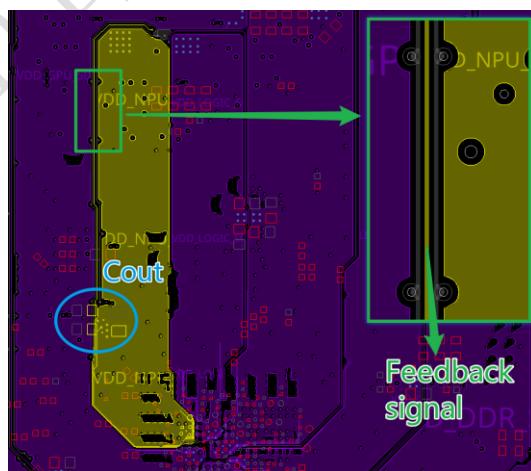


图 3-80 NPU_DVDD 主电容及反馈线

- (5) NPU_DVDD 的覆铜宽度需满足芯片的电流需求, 连接到电源芯片管脚的覆铜足够宽, 路径不能被过孔分割太严重, 必须计算有效线宽, 确认连接到 NPU_DVDD 每个电源 PIN 脚的路径都足够。RK3576(SoC)下方的 NPU_DVDD 狹窄区域的铺铜宽度 W0 建议大于 60mil, 然后尽可能快速的加大铜皮宽度, 外围区域宽度 W1 和 W2 建议大于 220mil。

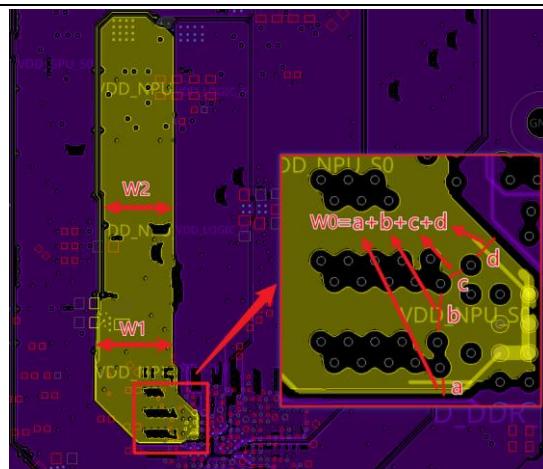


图 3-81 RK3576 芯片 NPU_DVDD 电源层覆铜

- (6) 电源平面至少有一层相邻的 GND 回流平面，平面的作用一方面降低压降，另一方面电源平面和相邻层 GND 平面间的平面电容可以有效降低高频的 PDN。
- (7) 电源铜皮建议采用 1oz 的铜厚，若叠层允许（如 8 层板及以上），多增加一层电源铺铜平面，有助于减小电流密度。
- (8) NPU_DVDD 的电源在外围换层时，要尽可能的多打电源过孔（8 个及以上 0503 的过孔），降低换层过孔带来的压降，去耦电容的 GND 过孔要跟电源过孔数量保持一致，否则会大大降低电容作用。

3.5.2.9 RK3576 GPU_DVDD 电源

GPU_DVDD 采用如下图所示 PCB 等效为电感的远端反馈方案：

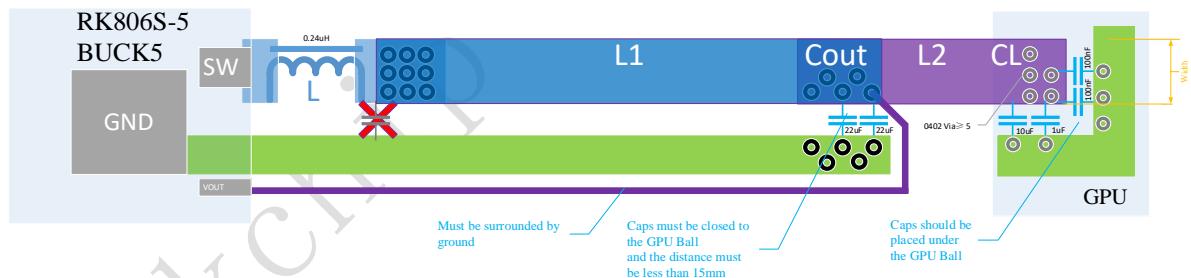


图 3-82 GPU PCB Layout 示意图

总体要求如下：

- (1) DCDC 没有电容，靠近 RK3576 的主电容 Cout 有 3 个 22uF 电容，RK3576 的 GPU_DVDD 电源管脚处有 1 个 10uF、2 个 1uF 电容以及 1 个 100nF 电容；
- (2) 电压反馈点从主电容 Cout 处引出；电压反馈信号需要包地；
- (3) 靠近 RK3576 的 GPU_DVDD 电源管脚处的主电容 Cout 处需要有 5 个电源过孔和 5 个地过孔；
- (4) 主电容距离 GPU_DVDD 电源管脚的距离 L2 不超过 15mm，电源覆铜严格参考下方 PCB 的要求；
- (5) 主电容距离 DCDC 的距离不超过 60mm；
- (6) 电源 PDN 和目标阻抗建议值如下表和下图所示。

表 3-11 GPU_DVDD 电源 PDN 目标阻抗建议值

频率	阻抗值（单位：欧）
100Khz~1Mhz	≤0.035
1Mhz ~30Mhz	≤0.05
30Mhz~100Mhz	≤0.14

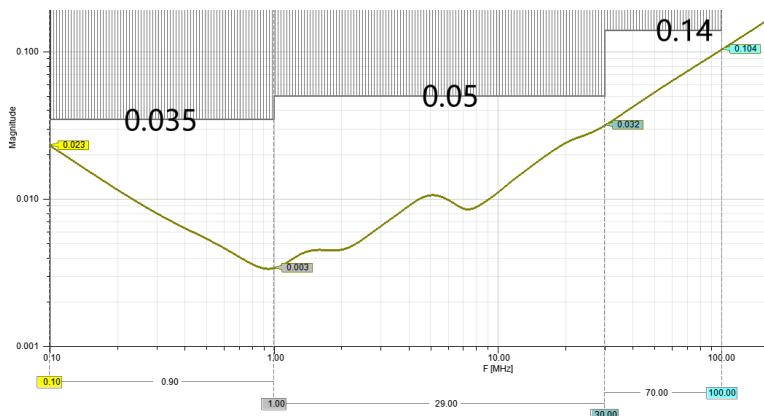


图 3-83 GPU_DVDD 电源建议 PDN 要求

PCB 建议如下：

- (1) RK3576(SoC)下方的 GPU_DVDD 电源管脚，尽量每个 Ball 都有一个对应的电源过孔（建议 5 个及以上过孔），并且顶层走“井”字形交叉连接，或者走线布满，增强电流能力，建议走线线宽 9mil。

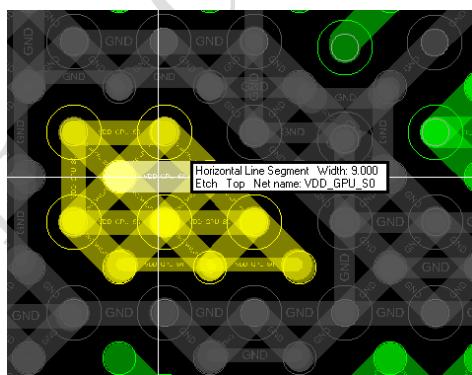


图 3-84 RK3576 芯片 GPU_DVDD 的电源管脚走线和过孔

- (2) RK3576(SoC)下方的 GPU_DVDD 区域，在不影响电源通路情况下，电源过孔旁边尽量增加 GND 回流过孔，建议 8 个以上。

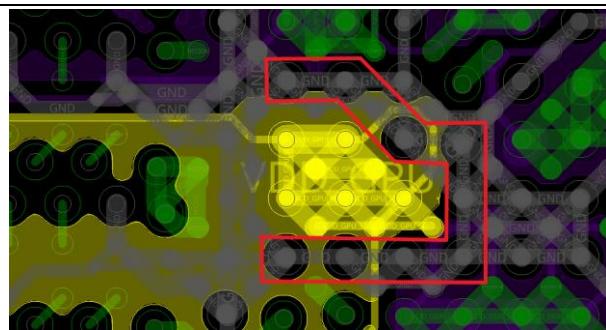


图 3-85 RK3576 芯片 GPU_DVDD 回流地过孔

- (3) 原理图上靠近 RK3576 的 GPU_DVDD 电源管脚的去耦电容务必靠近对应的电源管脚, 电容的 GND Pad 尽量靠近 RK3576 的 GND Ball 放置, 其余的去耦电容也需尽量靠近 RK3576。

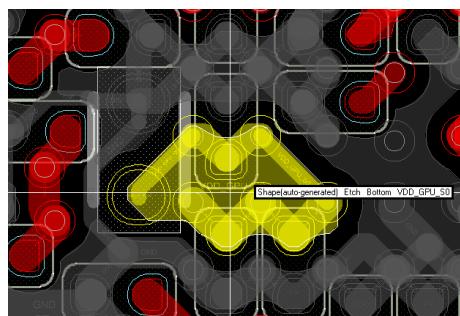


图 3-86 RK3576 芯片 GPU_DVDD 的电源管脚背面去耦电容

- (4) 主电容 Cout 需要尽量靠近 SoC 摆放, 反馈信号从主电容引出, 反馈线需要包地, 并且每隔 500mil 打一个地过孔, 避免被干扰。

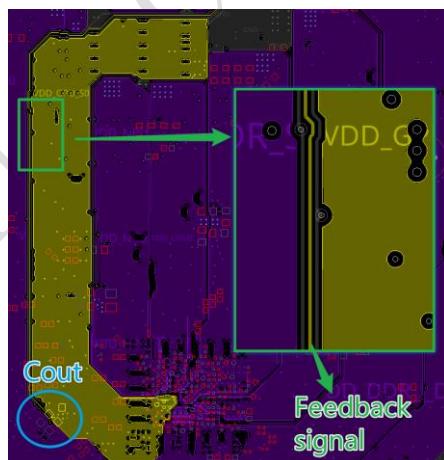


图 3-87 GPU_DVDD 主电容及反馈线

- (5) GPU_DVDD 的覆铜宽度需满足芯片的电流需求, 连接到电源芯片管脚的覆铜足够宽, 路径不能被过孔分割太严重, 必须计算有效线宽, 确认连接到 GPU_DVDD 每个电源 PIN 脚的路径都足够。RK3576(SoC)下方的 GPU_DVDD 狹窄区域的铺铜宽度 W0 建议大于 60mil, 然后尽可能快速的加大铜皮宽度, 外围区域宽度 W1 和 W2 建议大于 250mil。



图 3-88 RK3576 芯片 GPU_DVDD 电源层覆铜

- (6) 电源平面至少有一层相邻的 GND 回流平面，平面的作用一方面降低压降，另一方面电源平面和相邻层 GND 平面间的平面电容可以有效降低高频的 PDN。
- (7) 电源铜皮建议采用 1oz 的铜厚，若叠层允许（如 8 层板及以上），多增加一层电源铺铜平面，有助于减小电流密度。
- (8) GPU_DVDD 的电源在外围换层时，要尽可能的多打电源过孔（6 个及以上 0503 的过孔），降低换层过孔带来的压降，去耦电容的 GND 过孔要跟电源过孔数量保持一致，否则会大大降低电容作用。

3.5.2.10 RK3576 DDRPHY_DVDD 电源

DDRPHY_DVDD 采用如下图所示 RK 常规用法的远端反馈方案(由于该路电源纹波可以满足要求，且考虑靠近 RK3576 位置电容摆放空间不够，因此未采用 PCB 等效为电感的远端反馈)。

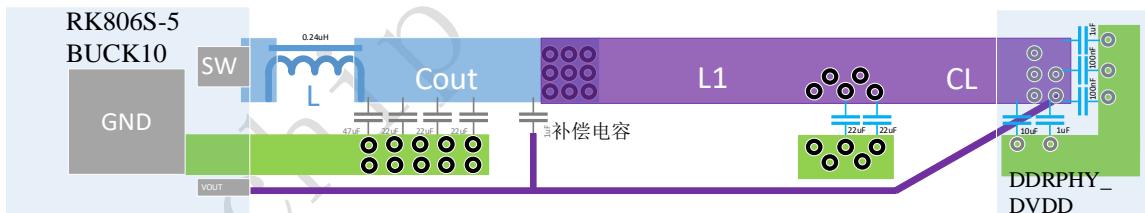


图 3-89 DDRPHY_DVDD PCB Layout 示意图

总体要求如下：

- (1) DCDC 输出端有 2 个 22uF 电容，靠近 RK3576 有 2 个 22uF 电容，RK3576 管脚处有 1 个 10uF、2 个 1uF 电容以及 1 个 100nF 电容；
- (2) 参考 RK 的常规用法，电压反馈点从 RK3576 球位引出。
- (3) 电源覆铜严格参考下方 PCB 的要求；
- (4) 电源 DCR 值建议不大于 25mohm；
- (5) 电源 PDN 和目标阻抗建议值如下表和下图所示。

表 3-12 DDRPHY_DVDD 电源 PDN 目标阻抗建议值

频率	阻抗值（单位：欧）
100Khz~1Mhz	≤0.035

频率	阻抗值 (单位: 欧)
1Mhz ~30Mhz	≤0.045
30Mhz~100Mhz	≤0.15

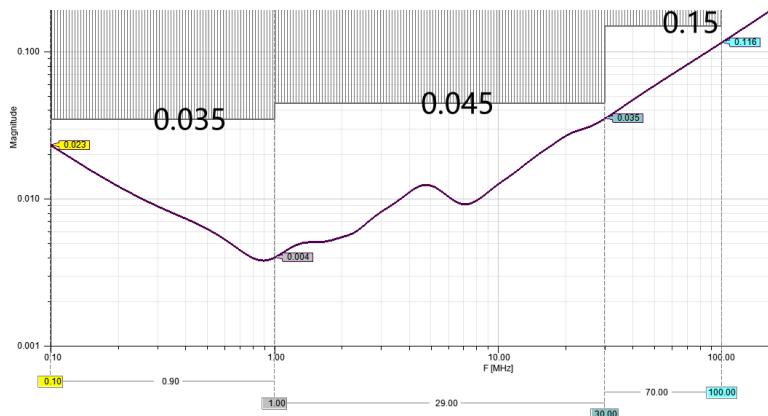


图 3-90 DDRPHY_DVDD 电源建议 PDN 要求

PCB 建议如下：

- (1) RK3576(SoC)下方的 DDRPHY_DVDD 电源管脚，尽量每个 Ball 都有一个对应的电源过孔（建议 4 个及以上过孔），并且顶层走“井”字形交叉连接，或者走线布满，增强电流能力，建议走线线宽 9mil。



图 3-91 RK3576 芯片 DDRPHY_DVDD 的电源管脚走线和过孔

- (2) RK3576(SoC)下方的 DDRPHY_DVDD 区域，在不影响电源通路情况下，电源过孔旁边尽量增加 GND 回流过孔，建议 4 个以上。

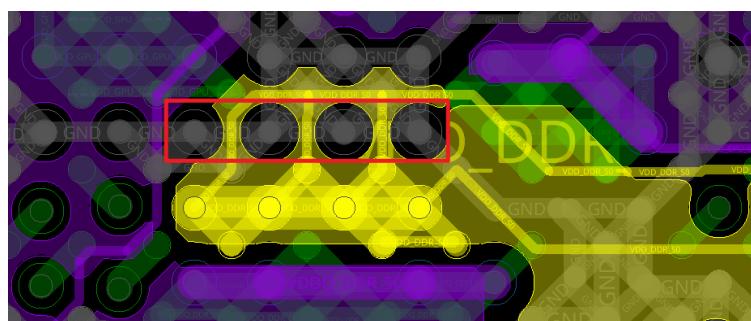


图 3-92 RK3576 芯片 DDRPHY_DVDD 回流地过孔

- (3) 原理图上靠近 RK3576 的 DDRPHY_DVDD 电源管脚的去耦电容务必靠近对应的电源管脚，电容的 GND Pad 尽量靠近 RK3576 的 GND Ball 放置，其余的去耦电容也需尽量靠近 RK3576。

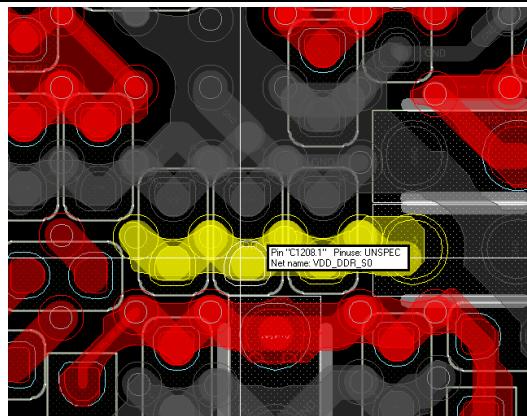


图 3-93 RK3576 芯片 DDRPHY_DVDD 的电源管脚背面去耦电容

- (4) DDRPHY_DVDD 的覆铜宽度需满足芯片的电流需求, 连接到电源芯片管脚的覆铜足够宽, 路径不能被过孔分割太严重, 必须计算有效线宽, 确认连接到 DDRPHY_DVDD 每个电源 PIN 脚的路径都足够。RK3576(SoC)下方的 DDRPHY_DVDD 狹窄区域的铺铜宽度 W0 建议大于 45mil, 然后尽可能快速的加大铜皮宽度, 外围区域宽度 W1 建议大于 200mil。

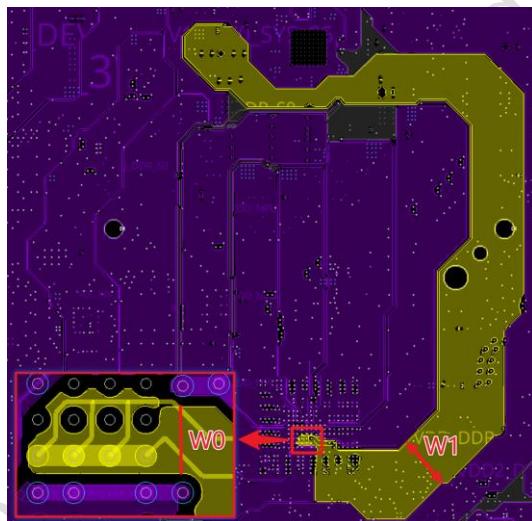


图 3-94 RK3576 芯片 DDRPHY_DVDD 电源层覆铜

- (5) 电源平面至少有一层相邻的 GND 回流平面, 平面的作用一方面降低压降, 另一方面电源平面和相邻层 GND 平面间的平面电容可以有效降低高频的 PDN。
(6) 电源铜皮建议采用 1oz 的铜厚, 若叠层允许 (如 8 层板及以上), 多增加一层电源铺铜平面, 有助于减小电流密度。
(7) DDRPHY_DVDD 的电源在外围换层时, 要尽可能的多打电源过孔 (6 个及以上 0503 的过孔), 降低换层过孔带来的压降, 去耦电容的 GND 过孔要跟电源过孔数量保持一致, 否则会大大降低电容作用。

3.5.2.11 RK3576 DDRPHY_VDDQ 电源

DDRPHY_VDDQ 采用如下图所示近端反馈方案:

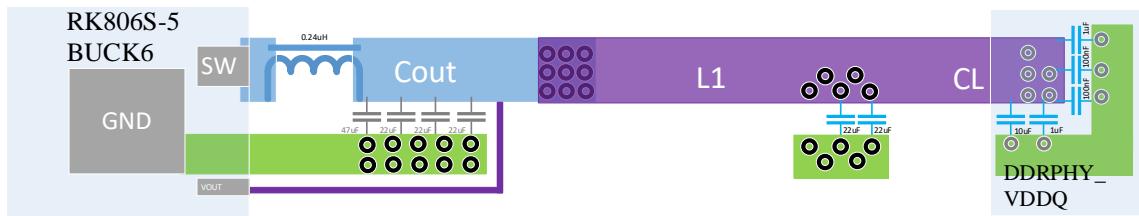


图 3-95 DDRPHY_VDDQ PCB Layout 示意图

总体要求如下：

- (1) DCDC 输出端有 2 个 22uF 电容，靠近 RK3576 有 2 个 22uF 电容，RK3576 管脚处有 1 个 10uF、2 个 1uF 电容以及 1 个 100nF 电容；
- (2) 电压反馈点从 DCDC 的输出电容位置引出；
- (3) 电源覆铜严格参考下方 PCB 的要求；
- (4) 电源 DCR 值建议不大于 25mohm；
- (5) 电源 PDN 和目标阻抗建议值如下表和下图所示。

表 3-13 DDRPHY_VDDQ 电源 PDN 目标阻抗建议值

频率	阻抗值（单位：欧）
100Khz~1Mhz	≤0.03
1Mhz ~30Mhz	≤0.045
30Mhz~100Mhz	≤0.15

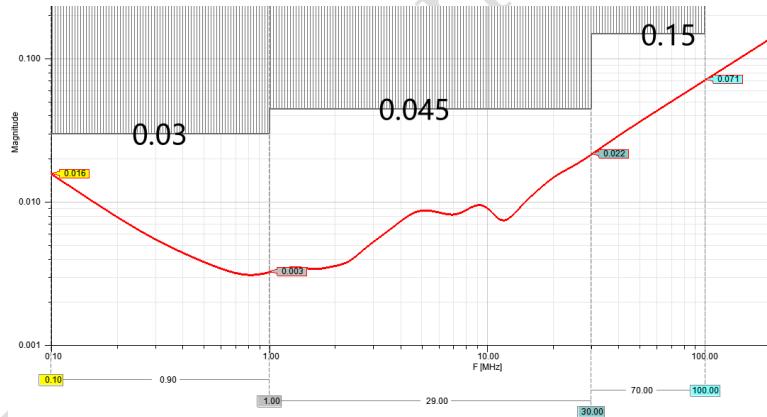


图 3-96 DDRPHY_VDDQ 电源建议 PDN 要求

PCB 建议如下：

- (1) RK3576(SoC)下方的 DDRPHY_VDDQ 电源管脚，尽量每个 Ball 都有一个对应的电源过孔（建议 4 个及以上过孔），并且顶层走“井”字形交叉连接，或者走线布满，增强电流能力，建议走线线宽 9mil。

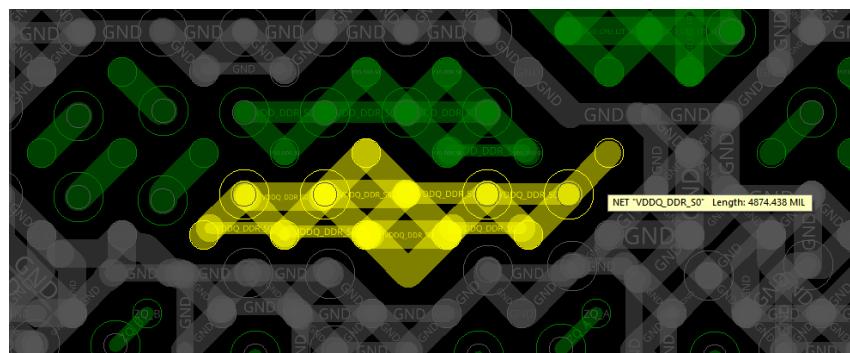


图 3-97 RK3576 芯片 DDRPHY_VDDQ 的电源管脚走线和过孔

- (2) RK3576(SoC)下方的 DDRPHY_VDDQ 区域，在不影响电源通路情况下，电源过孔旁边尽量增加 GND 回流过孔，建议 4 个以上。



图 3-98 RK3576 芯片 DDRPHY_VDDQ 回流地过孔

- (3) 原理图上靠近 RK3576 的 DDRPHY_VDDQ 电源管脚的去耦电容务必靠近对应的电源管脚，电容的 GND Pad 尽量靠近 RK3576 的 GND Ball 放置，其余的去耦电容也需尽量靠近 RK3576。

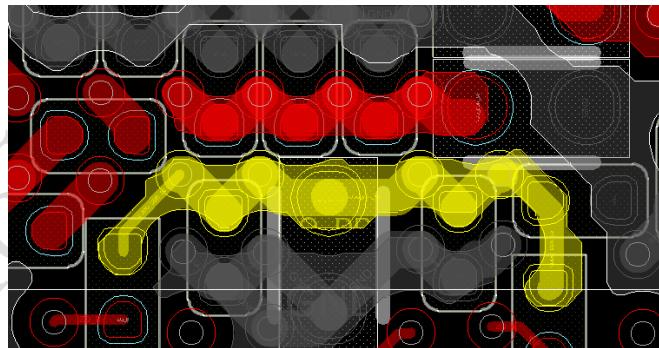


图 3-99 RK3576 芯片 DDRPHY_VDDQ 的电源管脚背面去耦电容

- (4) DDRPHY_VDDQ 的覆铜宽度需满足芯片的电流需求，连接到电源芯片管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到 DDRPHY_VDDQ 每个电源 PIN 脚的路径都足够。RK3576(SoC)下方的 DDRPHY_VDDQ 狹窄区域的铺铜宽度 W0 建议大于 50mil，然后尽可能快速的加大铜皮宽度，外围区域宽度 W1 建议大于 200mil。

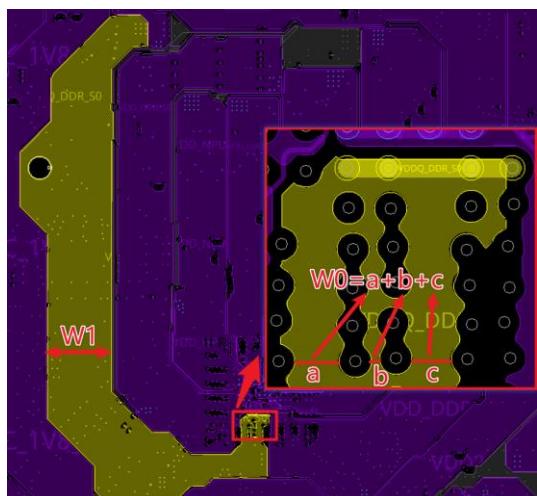


图 3-100 RK3576 芯片 DDRPHY_VDDQ 电源层覆铜

- (5) 电源平面至少有一层相邻的 GND 回流平面，平面的作用一方面降低压降，另一方面电源平面和相邻层 GND 平面间的平面电容可以有效降低高频的 PDN。
- (6) 电源铜皮建议采用 1oz 的铜厚，若叠层允许（如 8 层板及以上），多增加一层电源铺铜平面，有助于减小电流密度。
- (7) DDRPHY_VDDQ 的电源在外围换层时，要尽可能的多打电源过孔（6 个及以上 0503 的过孔），降低换层过孔带来的压降，去耦电容的 GND 过孔要跟电源过孔数量保持一致，否则会大大降低电容作用。

3.5.2.12 RK3576 其它电源

RK3576(SoC)下方的其它电源，尽量每个 Ball 都有一个对应的电源过孔，在不影响电源通路情况下，电源过孔旁边尽量增加 GND 回流过孔。电源走线的相邻层最好有一层完整的 GND 回流平面。

RK3576 其它电源的去耦电容，必须靠近芯片管脚放置，双面贴时放在芯片管脚背面，尽量形成先经过电容焊盘再到芯片管脚，电容一个 GND 焊盘尽量对应的一个 GND 过孔。

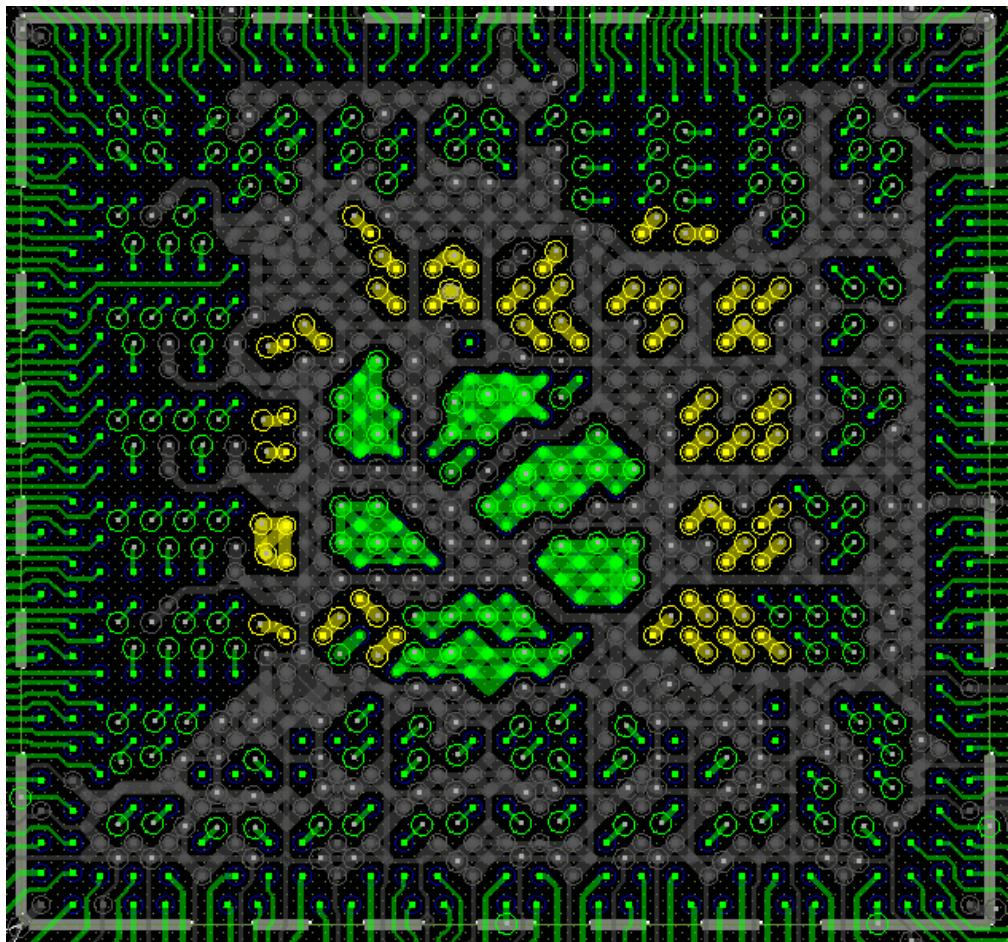


图 3-101 RK3576 其它电源管脚走线和过孔

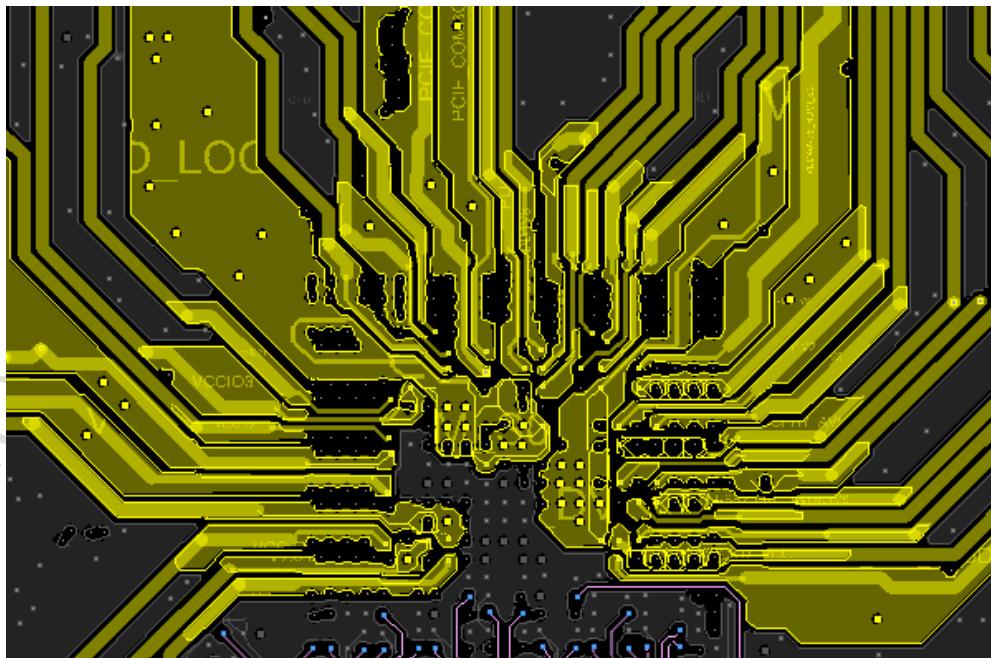


图 3-102 RK3576 其它电源内层 Fan-out

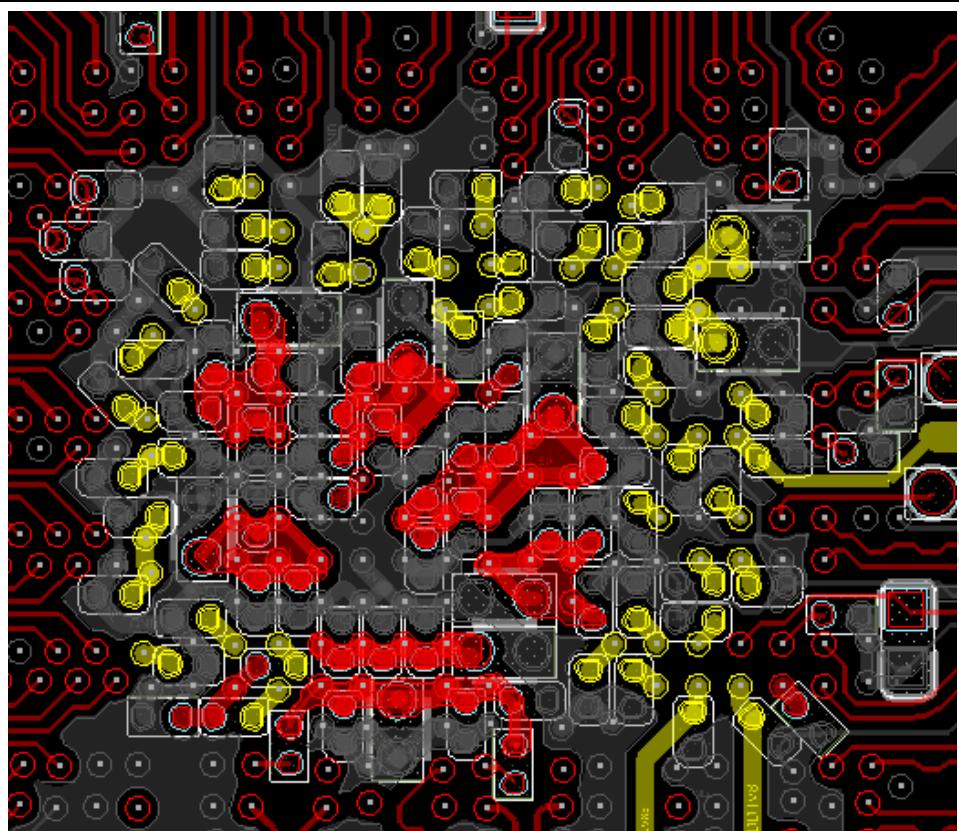


图 3-103 RK3576 其它电源管脚背面去耦电容放置

3.5.2.13 RK3576 的 VSS 管脚

建议在 RK3576(SoC)芯片的 VSS 管脚，不影响电源平面的情况下，尽可能多的回流地孔，在顶层走“井”字形，或者走线布满，交叉连接，建议走线线宽 9mil。

RK3576(SoC)芯片的相邻层必须是一个完整的 GND 平面，保证主参考地靠近 CPU 的 Ball，地过孔需要把 RK3576 的 VSS 管脚和所有的地平面连接起来，用于保证电源完整性，提供更优的 SI、PI 条件以及加强 PCB 的散热。

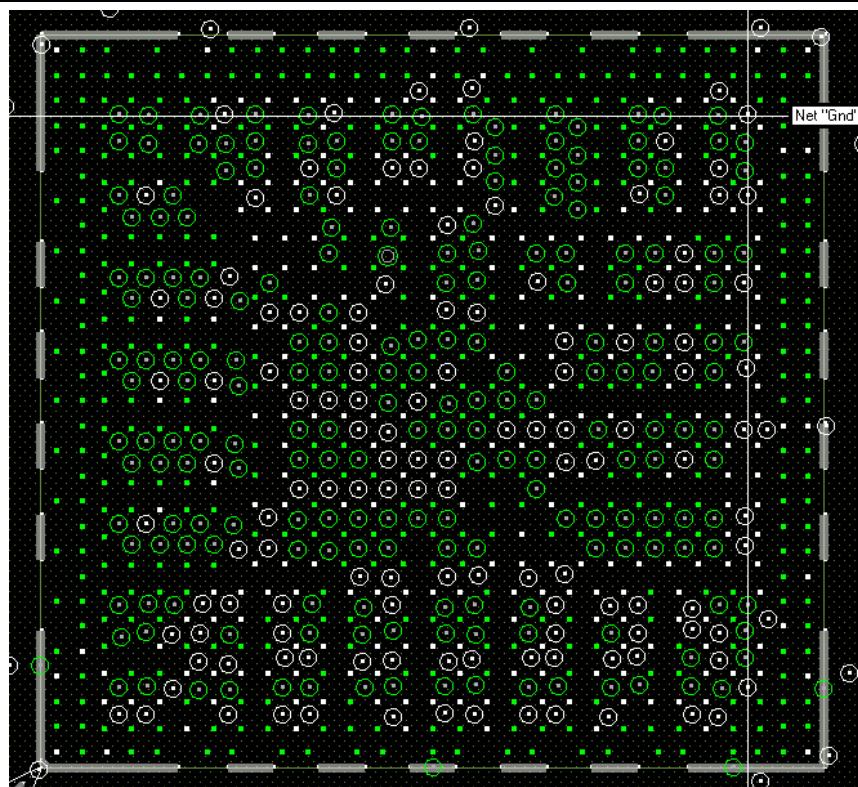


图 3-104 RK3576 BGA 区域过孔与焊盘分布

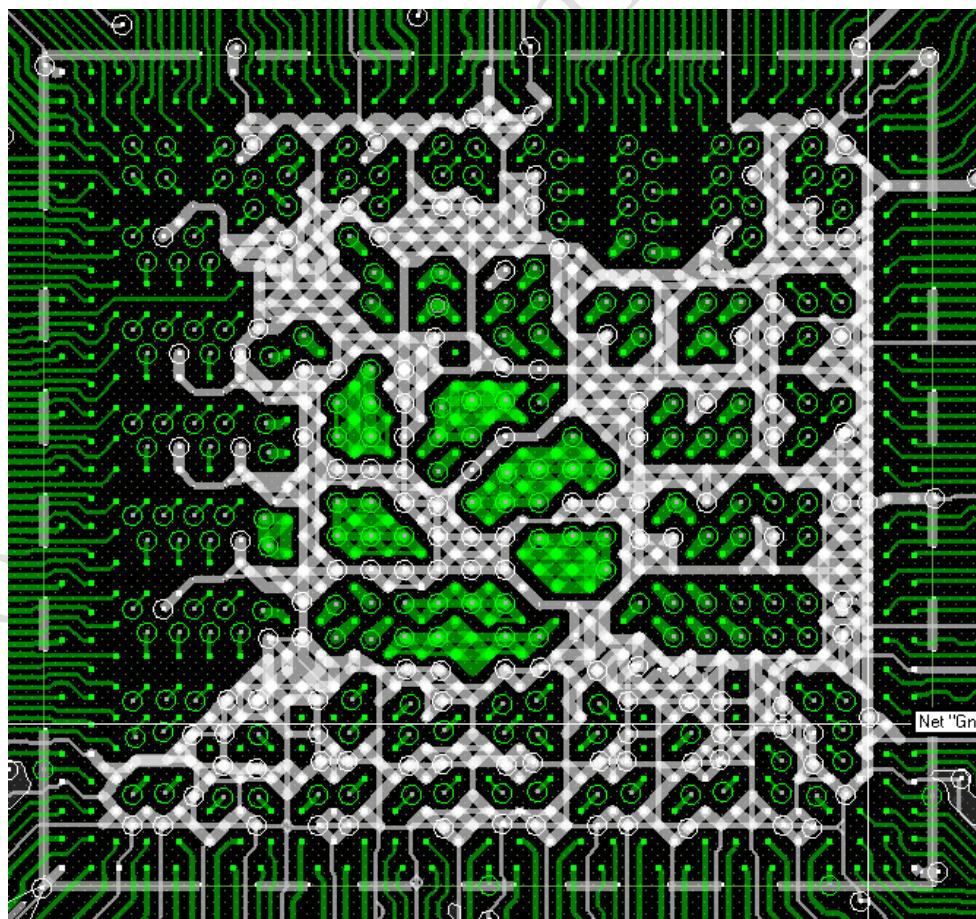


图 3-105 RK3576 VSS 管脚走线和过孔

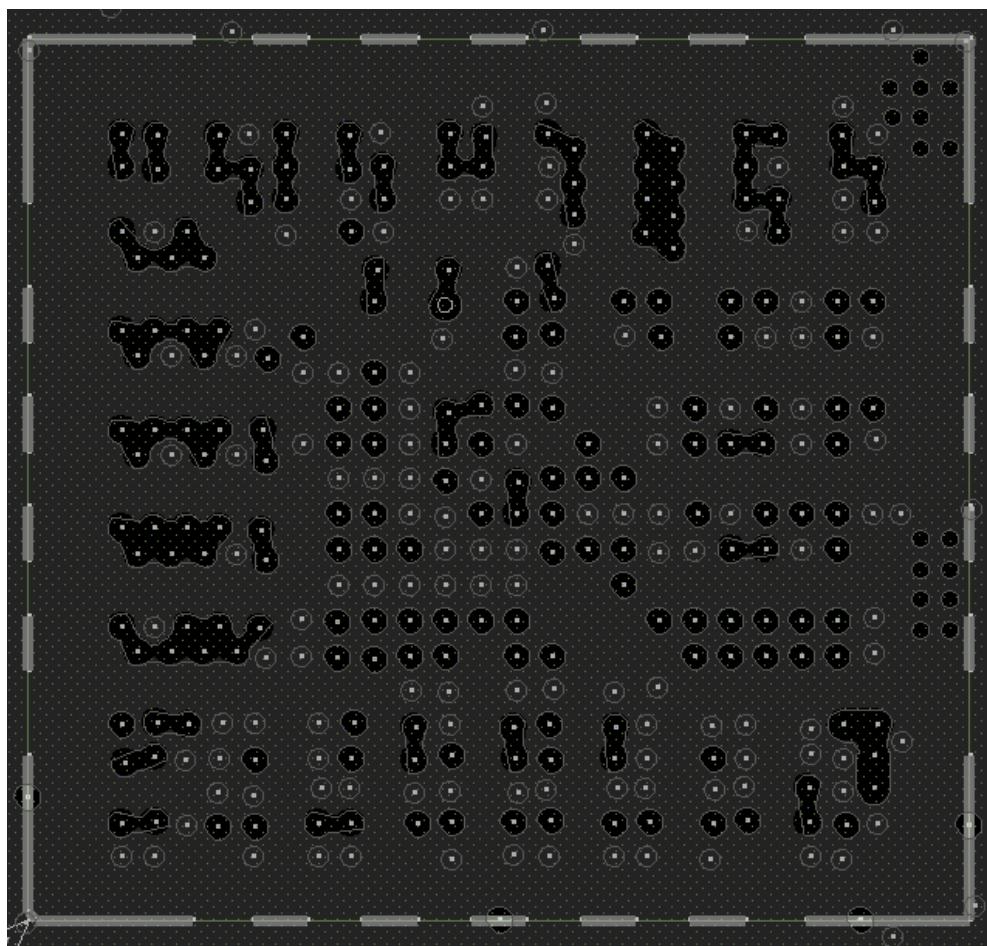


图 3-106 RK3576 地层覆铜情况

3.5.3 DDR 接口 PCB 设计

由于 RK3576 DDR 接口速率 $\geq 4266\text{bps}$, PCB 设计难度大, 所以强烈建议使用 RK 提供的 DDR 模板和对应的 DDR 固件。DDR 模板是经过严格的仿真和测试验证后发布的。如果自行设计 PCB, 请参考如下 PCB 设计建议。

(1) CPU 管脚, 对应的 GND 过孔数量, 建议严格参考模板设计, 不能删减 GND 过孔。6 层通孔的 PCB 模板, CPU 管脚 GND 过孔设计举例如下。

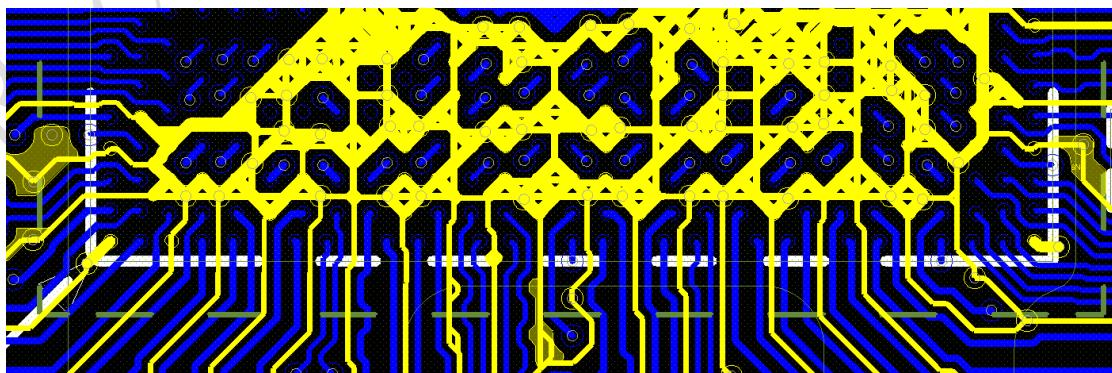


图 3-107 6 层通孔 PCB 模板主控区域过孔设计

(2) 信号换层前后, 参考层都有 GND 平面时, 在信号过孔 25mil (过孔和过孔的中心间距) 范围内

需要添加 GND 回流过孔，改善信号回流路径，GND 过孔需要把信号换层前后 GND 参考平面连接起来。一个信号过孔，至少要有一个 GND 回流过孔，尽可能增加 GND 回流过孔数量，可以进一步改善信号质量。

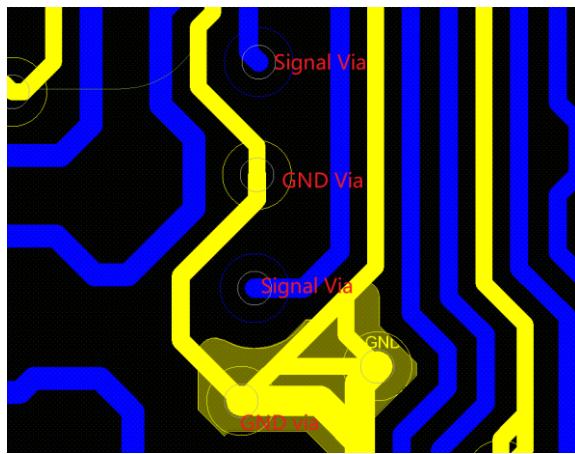


图 3-108 信号过孔对应的 GND 回流过孔示意图

(3) GND 过孔和信号过孔的位置会影响信号质量，建议 GND 过孔和信号过孔交叉放置如下图。如下图虽然同样是 4 个 GND 回流过孔，4 个信号过孔在一起的情况要避免，这种情况下过孔的串扰最大。

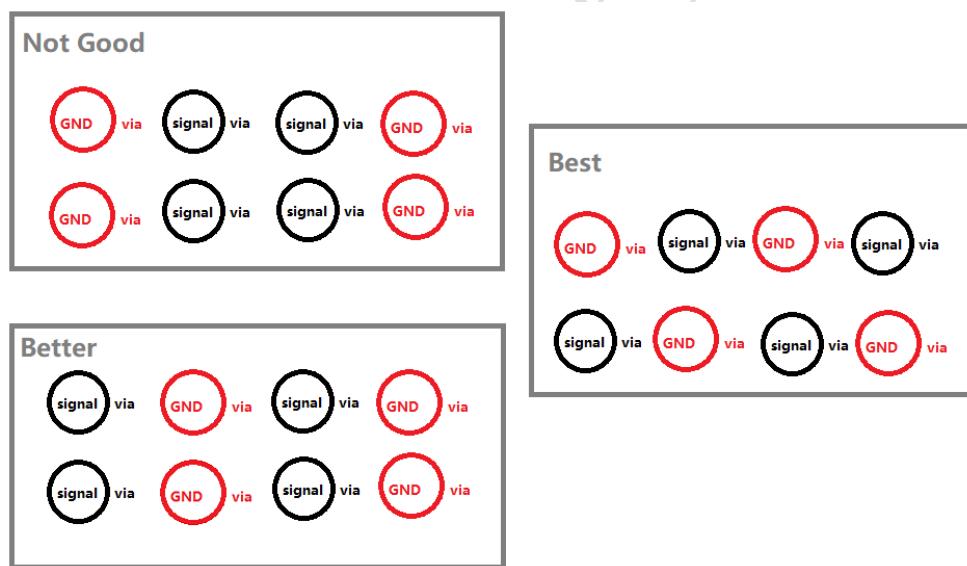


图 3-109 不同的过孔设计示意图

(4) 6 层板，建议 DDR 信号走第一层、第四层、第六层。DQ、DQS、地址和控制信号、CLK 信号至少有一层完整的 GND 参考平面。8 层板，建议 DDR 信号走第一层、第六层、第八层。DQ、DQS、地址和控制信号、CLK 信号至少有一层完整的 GND 参考平面。当信号同时参考 GND 平面和电源平面时，信号建议靠近 GND 平面，让回流大部分在 GND 平面。

(5) 如下图所示，当过孔导致信号参考层破裂时，可以考虑用 GND 走线优化下参考层，改善信号质量。

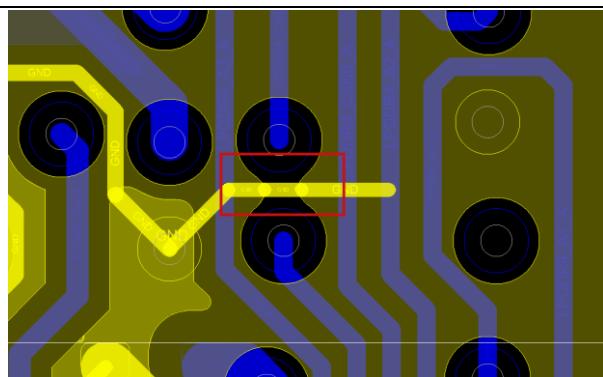


图 3-110 GND 走线优化参考层示意图

(6) 走线距离参考层的边缘越近，信号的阻抗会越大，走线和参考层边缘的距离至少 $\geq 12\text{mil}$ 。



图 3-111 走线和参考层边缘距离图示

(7) 绕线自身的串扰会影响信号延时，走线绕等长时建议 $S \geq 3W$ 。

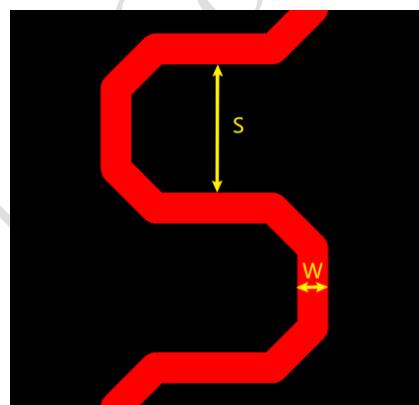


图 3-112 绕线示意图

(8) 在做等长时，需要考虑过孔的延时。

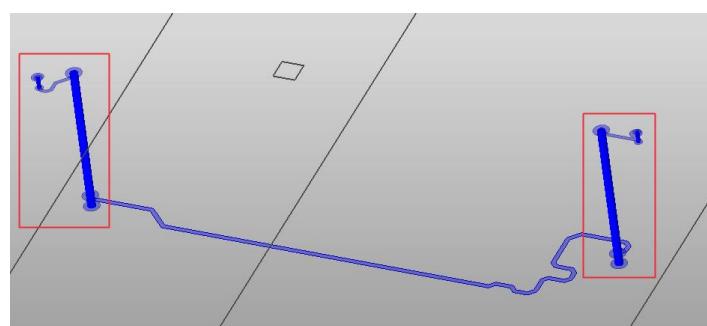


图 3-113 过孔长度示意图

(9) DDR 颗粒区域，一个管脚对应一个 GND 过孔，有空间的地方尽可能增加 GND 过孔。

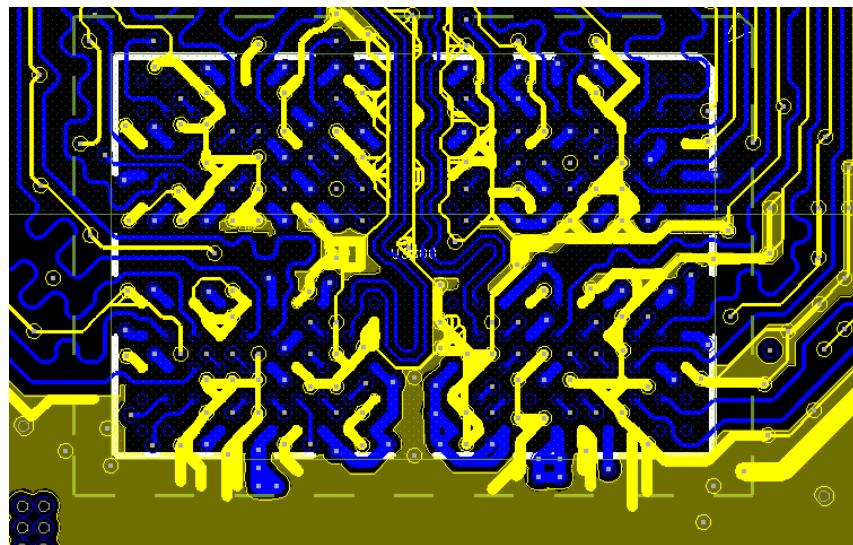


图 3-114 DDR 区域 GND 过孔数量要求

(10) 非功能焊盘会破坏铜皮，以及增大过孔的寄生电容，需要删除过孔的非功能焊盘。

(11) 走线距离过孔越近，参考平面越差，走线距离过孔焊盘的距离建议 $\geq 8\text{mil}$ ，有空间的地方增大间距。

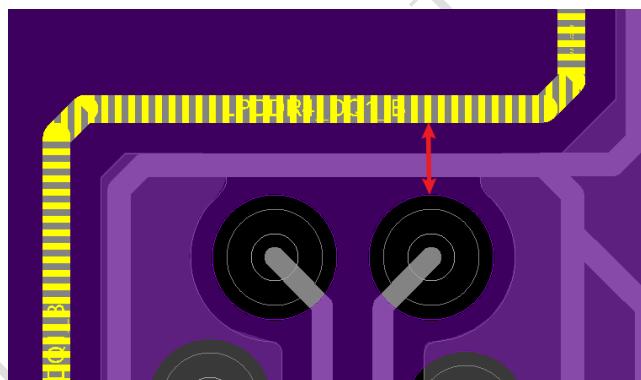


图 3-115 增大走线和过孔焊盘间距

(12) 调整过孔位置，优化平面的裂缝，可以改善回流路径。

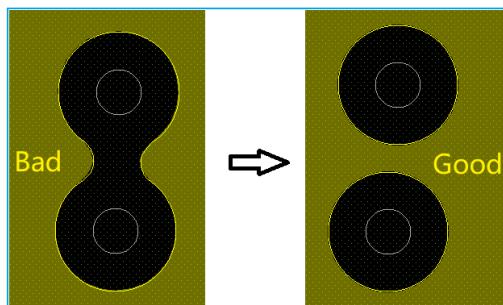


图 3-116 平面裂缝优化示意图

(13) DQS、CLK、WCLK 信号需要做包地处理，包地线或铜皮建议每隔 $\leq 400\text{mil}$ ，打一个 GND 过孔。

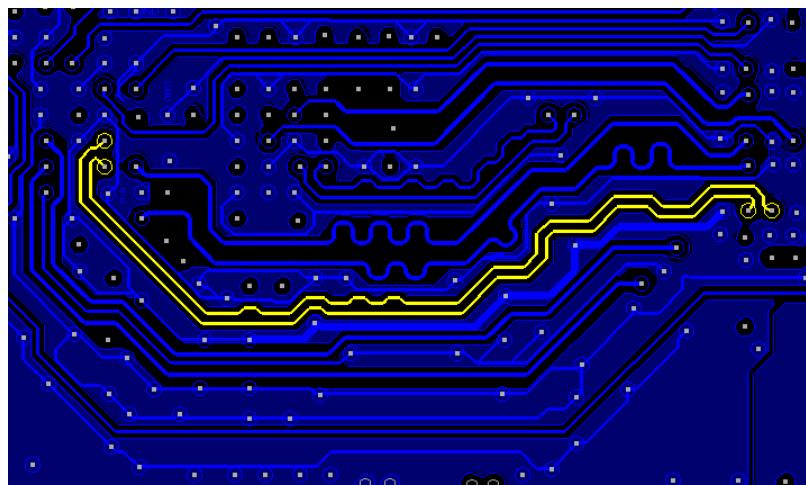


图 3-117 差分信号包地设计示意图

(14) 对于内层的信号，一层参考 GND 平面，一层参考电源，建议 DQ 信号两两做个包地处理，可以改善信号质量。包地线每隔 $\leq 400\text{mil}$ 建议加一个 GND 过孔。且信号换层过孔 25mil 范围内（过孔中心到过孔中心的距离）需要加 GND 回流过孔。

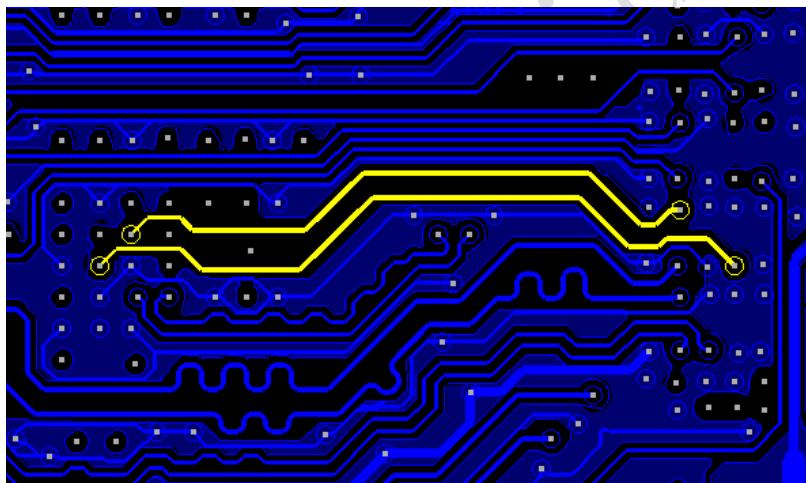


图 3-143 包地设计示意图

(15) VDD2_DDR_S3、VDD2H_DDR_S3、VDD2L_0V9_DDR_S3 电源 DCDC 区域电源换层时，建议打 ≥ 6 个 0503 或者 0402 过孔。

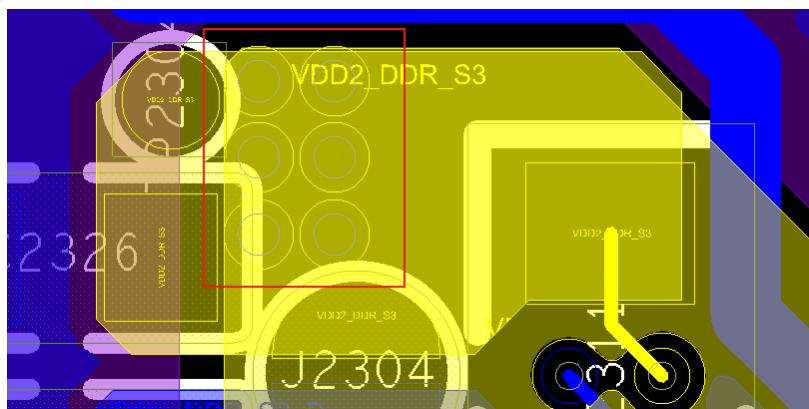


图 3-144 电源换层过孔示意图

(16) 对于 VDDQ_DDR_S0、VDDQ_DRAM_S0、VDD2_DDR_S3 电源，DDR 颗粒区域电源换层时，建议打 ≥ 6 个 0402 或者 0503 过孔。

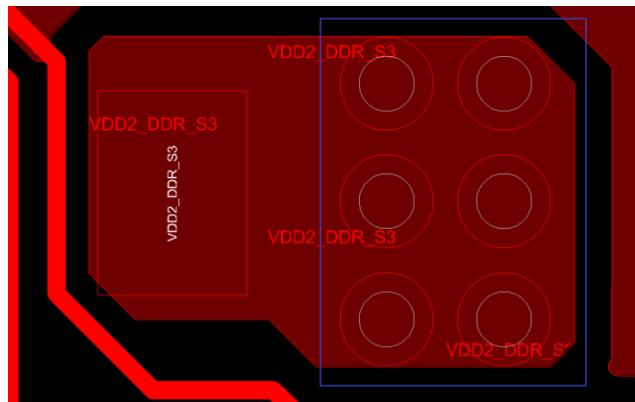


图 3-118 VDD2_DDR_S3 电源换层过孔数量要求

(17) 对于 VDD1_1V8_DDR 电源，电源平面换层时，建议至少打 ≥ 2 个 0503 过孔。

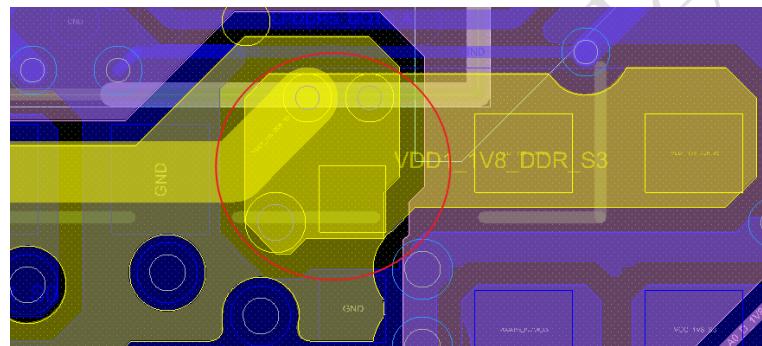


图 3-119 VDD1_1V8_DDR 电源换层过孔数量要求

(18) LPDDR4/4X 接口，DDR 颗粒的 VDDQ_DRAM_S0、VDD2_DDR_S3、VDD1_1V8_DDR 电源，建议一个管脚对应 \geq 一个电源通孔，举例如下。

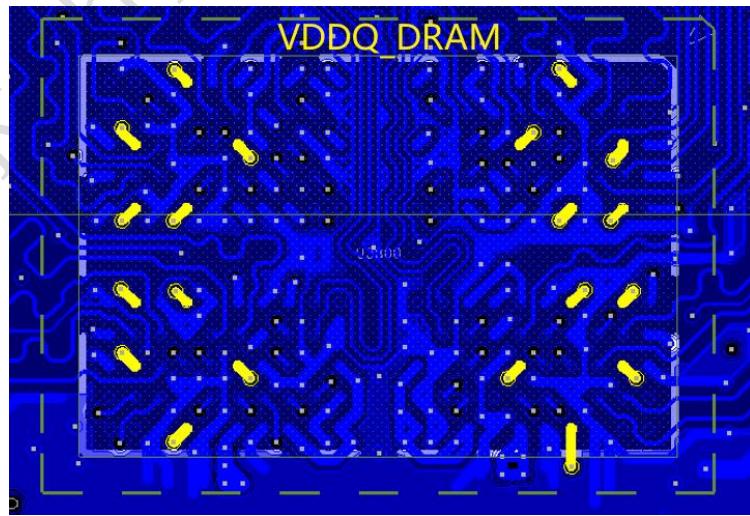


图 3-120 LPDDR4/4X 颗粒 VDDQ_DRAM_S0 电源过孔数量要求

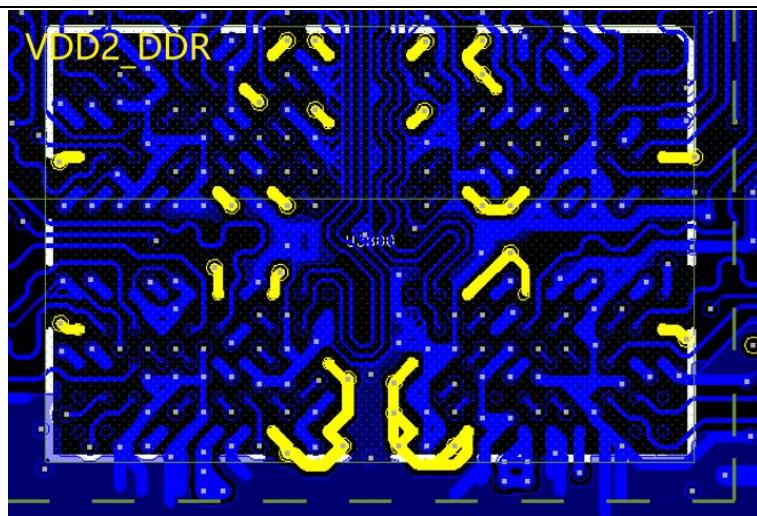


图 3-121 LPDDR4/4X 颗粒 VDD2_DDR_S3 电源过孔数量要求

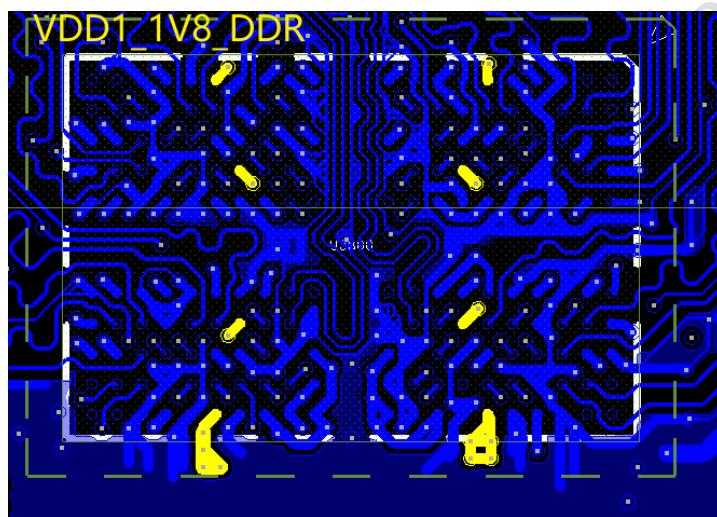


图 3-122 LPDDR4/4X 颗粒 VDD1_1V8_DDR 电源过孔建议数量

(19) LPDDR5 接口颗粒芯片, VDD2H_DDR_S3 电源管脚建议的电源过孔数量: 按 1 个管脚对应 ≥ 0.6 个过孔来设计。

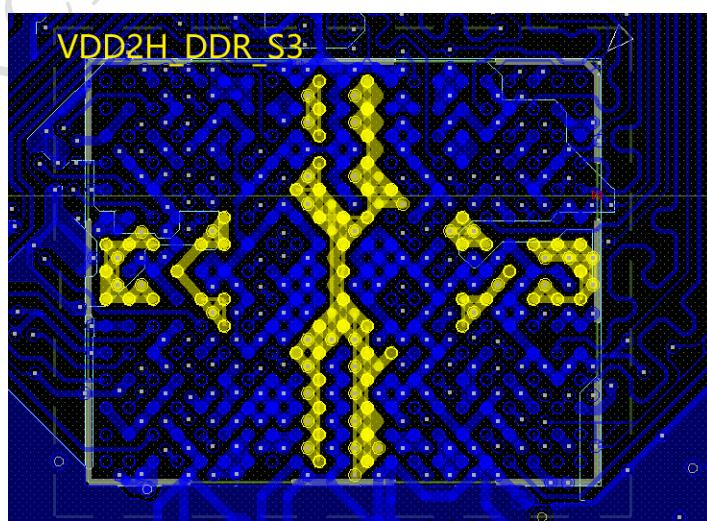


图 3-123 LPDDR5 颗粒 VDD2H_DDR_S3 电源过孔建议数量

(20) LPDDR5 接口 DDR 颗粒, VDD1_1V8_DDR 电源, 建议一个管脚, 对应一个电源通孔, 举例
Copyright © 2024 Rockchip Electronics Co., Ltd

如下。

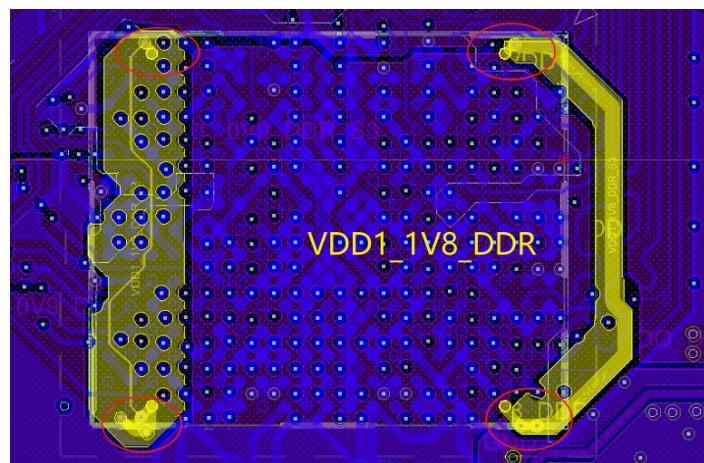


图 3-124 LPDDR5 颗粒 VDD1_1V8_DDR 电源过孔建议数量

(21) LPDDR5 接口 DDR 颗粒, VDD2L_0V9_DDR_S3 电源管脚建议的电源过孔数量: 按 1 个管脚对应 ≥ 0.75 个过孔来设计。

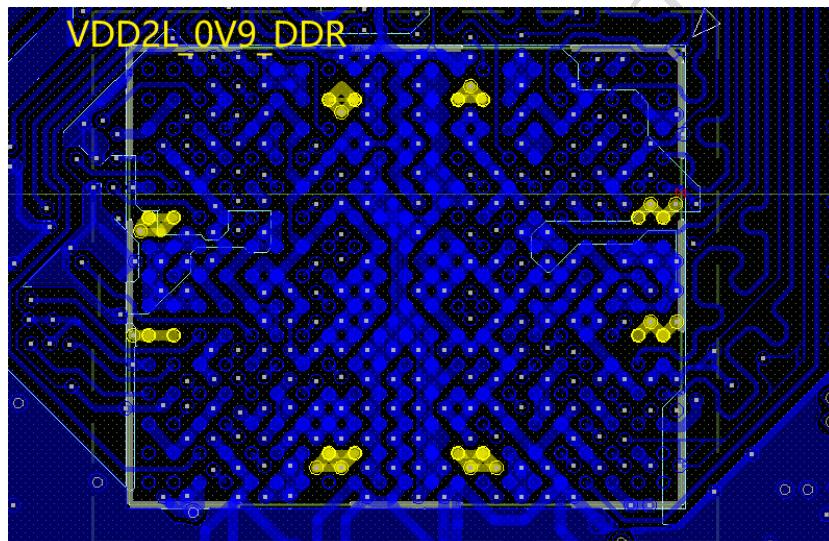


图 3-125 LPDDR5 颗粒 VDD2L_0V9_DDR_S3 电源过孔建议数量

(22)每个电容焊盘建议至少一个过孔,对于 0603 或者 0805 封装的电容建议一个焊盘对应两个过孔。

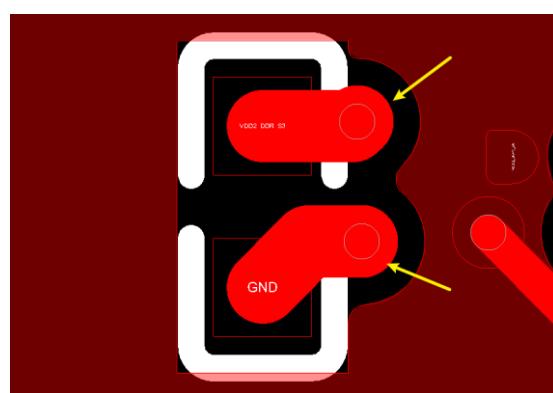


图 3-126 焊盘对应的过孔数量要求

(23) 过孔靠近管脚放置，可以减小回路电感。

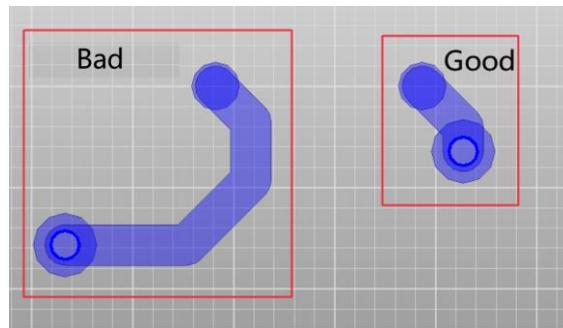


图 3-127 过孔靠近管脚放置

(24) 避免电源层被走线或者连排过孔破坏。

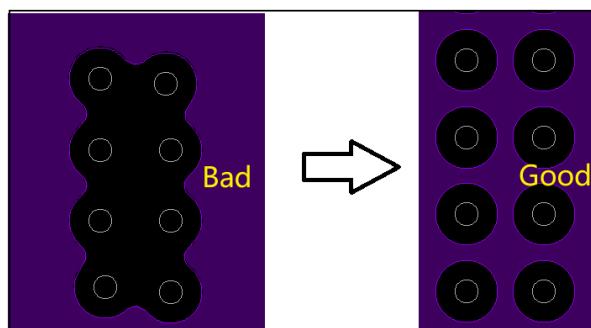


图 3-128 避免电源层被排孔大面积破坏示意图

(25) DDR 颗粒的去耦电容要靠近管脚放置，这样可以减小电容的安装电感。电容的数量建议参考模板设计，不建议删除电容。不同容值的电容分散、均匀放置。

(26) LPDDR4X 颗粒区域，VDD2_DDR_S3 电源 PDN 目标阻抗建议值如下表：

表 3-14 LPDDR4X 颗粒 VDD2_DDR_S3 电源 PDN 目标阻抗建议值

频率	阻抗值（单位：欧）
100Khz~1Mhz	≤0.03
1Mhz ~30Mhz	≤0.03
30Mhz~100Mhz	≤0.04

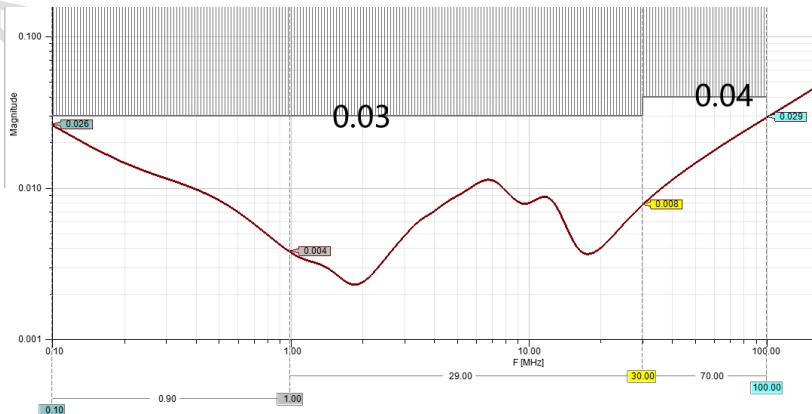


图 3-129 LPDDR4X 颗粒 VDD2_DDR_S3 电源建议 PDN 要求

(27) LPDDR4X 颗粒区域，VDDQ_DRAM_S0 电源 PDN 目标阻抗建议值如下表：

表 3-15 LPDDR4X 颗粒 VDDQ_DRAM_S0 电源 PDN 目标阻抗建议值

频率	阻抗值 (单位: 欧)
100Khz~1Mhz	≤ 0.03
1Mhz ~30Mhz	≤ 0.03
30Mhz~100Mhz	≤ 0.04

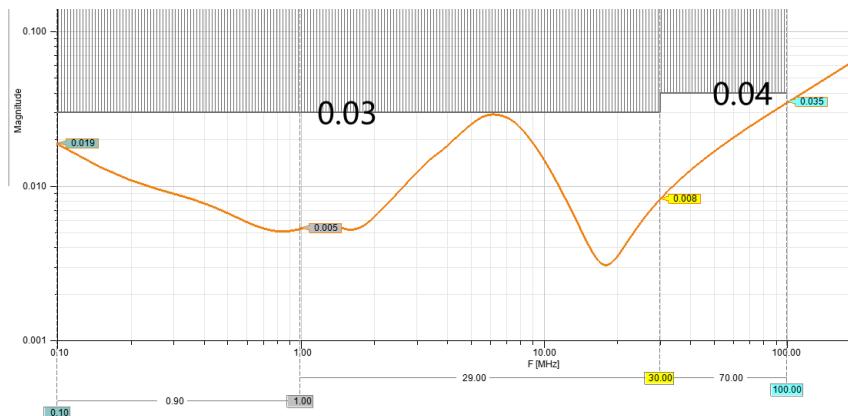


图 3-130 LPDDR4X 颗粒 VDDQ_DRAM_S0 电源建议 PDN 要求

(28) LPDDR5 颗粒区域, VDD2L_0V9_DDR_S3 电源 PDN 目标阻抗建议值如下表:

表 3-16 LPDDR5 颗粒 VDD2L_0V9_DDR_S3 电源 PDN 目标阻抗建议值

频率	阻抗值 (单位: 欧)
100Khz~1Mhz	≤ 0.07
1Mhz ~30Mhz	≤ 0.07
30Mhz~100Mhz	≤ 0.08

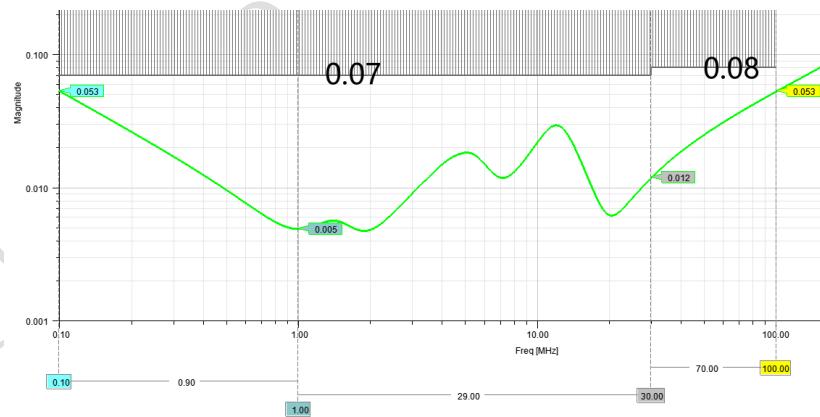


图 3-131 LPDDR5 颗粒 VDD2L_0V9_DDR_S3 电源建议 PDN 要求

(29) LPDDR5 颗粒区域, VDD2H_DDR_S3 电源 PDN 目标阻抗建议值如下表:

表 3-17 LPDDR5 颗粒 VDD2H_DDR_S3 电源 PDN 目标阻抗建议值

频率	阻抗值 (单位: 欧)
100Khz~1Mhz	≤ 0.03
1Mhz ~30Mhz	≤ 0.03
30Mhz~100Mhz	≤ 0.04

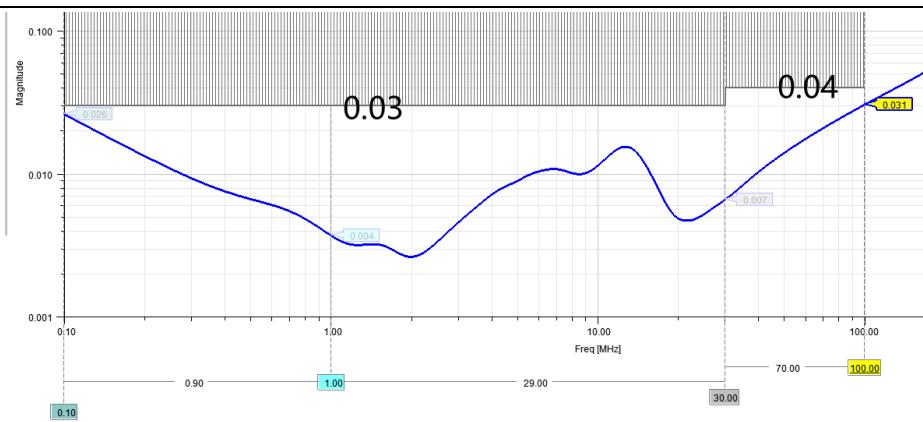


图 3-132 LPDDR5 颗粒 VDD2H_DDR_S3 电源建议 PDN 要求

3.5.3.1 LPDDR5 接口

表 3-18 LPDDR5 走线要求

参数	要求
DQ、DM 单端信号阻抗	$40 \text{ Ohm} \pm 10\%$
地址、控制线单端信号阻抗	$50 \text{ Ohm} \pm 10\%$
差分信号阻抗	$90 \text{ Ohm} \pm 10\%$
DQ 和 DQS、WCLK 之间的等长（同一个 Byte 内）	$\leq 90\text{mil}$
DM 和 DQS、WCLK 之间的等长（同一个 Byte 内）	$\leq 90\text{mil}$
地址、控制线和 CLK 之间的等长	$\leq 90\text{mil}$
DQS_P 和 DQS_N 之间的等长（同一个 Byte 内）	$\leq 5\text{mil}$
WCLK_P 和 WCLK_N 之间的等长（同一个 Byte 内）	$\leq 5\text{mil}$
CLK_P 和 CLK_N 之间的等长	$\leq 5\text{mil}$
DQS、WCLK 和 CLK 之间的等长	$\leq 230\text{mil}$
不同 Byte 之间的间距 (airgap)	≥ 2 倍走线宽度
同一个 Byte 内 DQ 和 DQ 之间的间距 (airgap)	≥ 2 倍走线宽度
同一个 Byte 内 DQ 和 DQS 之间的间距 (airgap)	建议 ≥ 3 倍走线宽度 至少 2 倍走线宽度
同一个 Byte 内 DQ 和 WCLK 之间的间距 (airgap)	建议 ≥ 3 倍走线宽度 至少 2 倍走线宽度
地址控制线之间的间距 (airgap)	≥ 2 倍走线宽度
CLK 和其他信号线之间的间距 (airgap)	建议 ≥ 3 倍走线宽度 至少 2 倍走线宽度

3.5.3.2 LPDDR4X/ LPDDR4 接口

表 3-19 LPDDR4X、LPDDR4 接口走线要求

参数	要求
DQ、DM 单端信号阻抗	$45\text{ Ohm} \pm 10\%$
地址控制线单端信号阻抗	$50\text{ Ohm} \pm 10\%$
差分信号阻抗	$90\text{ Ohm} \pm 10\%$
DQ 和 DQS 之间的等长（同一个 Byte 内）	$\leq 90\text{mil}$
DM 和 DQS 之间的等长（同一个 Byte 内）	$\leq 90\text{mil}$
地址、控制线和 CLK 之间的等长	$\leq 90\text{mil}$
DQS_P 和 DQS_N 之间的等长（同一个 Byte 内）	$\leq 5\text{mil}$
CLK_P 和 CLK_N 之间的等长	$\leq 5\text{mil}$
DQS 和 CLK 之间的等长	$\leq 230\text{mil}$
不同 Byte 之间的间距 (airgap)	≥ 2 倍走线宽度
同一个 Byte 内 DQ 和 DQ 之间的间距 (airgap)	≥ 2 倍走线宽度
同一个 Byte 内 DQ 和 DQS 之间的间距 (airgap)	建议 ≥ 3 倍走线宽度 至少 2 倍走线宽度
地址控制线之间的间距 (airgap)	≥ 2 倍走线宽度
CLK 和其他信号线之间的间距 (airgap)	建议 ≥ 3 倍走线宽度 至少 2 倍走线宽度

3.5.4 DP1.4 PCB 设计

表 3-20 布线要求-DP1.4

参数	要求
走线阻抗	差分 $100\text{ohm} \pm 10\%$ (只作为DP接口, 无复用) 差分 $95\text{ohm} \pm 10\%$ (USB3.0 / DP1.4复用)
差分对内时延差	$< 6\text{mil}$
差分对间等长要求	$< 1000\text{mil}$
走线长度	$< 6\text{ inches}$
差分对间间距 (airgap)	建议大于等于6倍DP线宽
DP与其它信号间距 (airgap)	建议大于等于6倍DP线宽
各信号所允许过孔数量	建议不超过2个
电容要求	建议 100nF ($75\text{nF} \sim 200\text{nF}$ 含误差)
ESD	I/O对地电容不超过 0.2pF

建议在 BGA 区域的以下位置加地通孔，并按差分布线建议章节的建议作包地处理，包地线的地孔间隔小于 300mil。

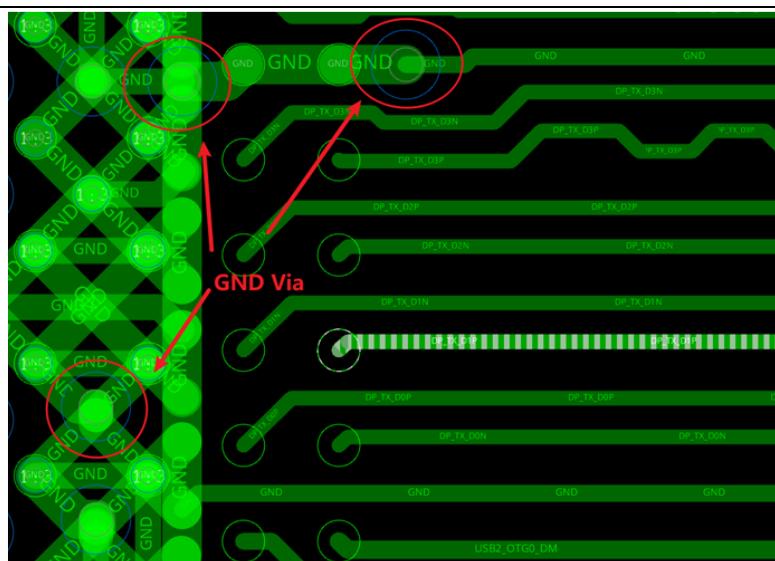


图 3-133 DP 球位区域扇出走线

3.5.5 PCIe2.1 PCB 设计

表 3-21 布线要求-PCIe2.1

参数	要求
走线阻抗	差分 $85\text{ohm} \pm 10\%$
差分对内最大时延差	$<6\text{mil}$
差分对间等长要求	$<6\text{inches}$
走线长度	$<6\text{inches}$
电容要求	$100\text{nF} \pm 20\%$, 建议用 0201 封装
差分对间间距 (airgap)	建议大于等于 4 倍 PCIe 线宽
差分对内最大时延差(REFCLK)	$<12\text{mil}$
走线阻抗(REFCLK)	差分 $100\text{ohm} \pm 10\%$
PCIe 与其它信号间距 (airgap)	建议大于等于 5 倍 PCIe 线宽, 至少要 4 倍 PCIe 线宽
各信号所允许过孔数量	建议不超过 2 个

3.5.6 HDMI 2.1 PCB 设计

表 3-22 布线要求-HDMI2.1

参数	要求
走线阻抗	差分 $100\text{ohm} \pm 10\%$
差分对内最大时延差	$<6\text{mil}$
差分对间等长要求	$<480\text{mil}$
走线长度	$<4 \text{ inches}$
电容要求	$220\text{nF} \pm 20\%$, 建议用 0201 封装
差分对间间距	建议大于等于 7 倍 HDMI 线宽

参数	要求
HDMI与其它信号间距 (airgap)	建议大于等于7倍HDMI线宽
各信号所允许过孔数量	建议不加过孔
ESD	I/O对地电容不超过0.2pF

(1) 建议在 BGA 区域的以下位置加地通孔，并按差分布线建议章节的建议作包地处理，包地线的地孔间隔小于 150mil。

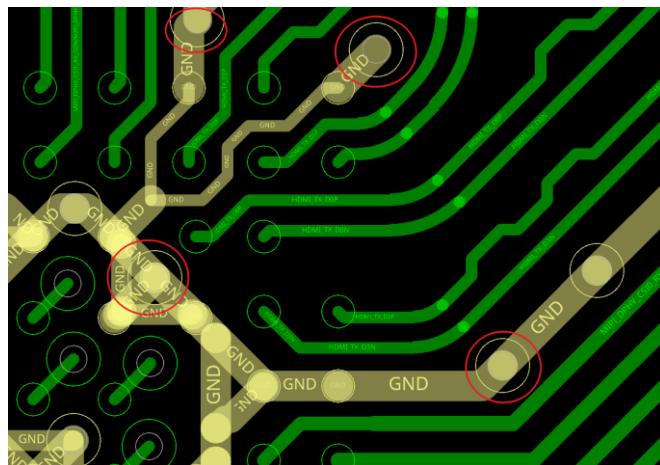


图 3-134 HDMI2.1 BGA 区域扇出走线

(2) 注意隔直电容和电阻之间的走线需按差分信号布线。

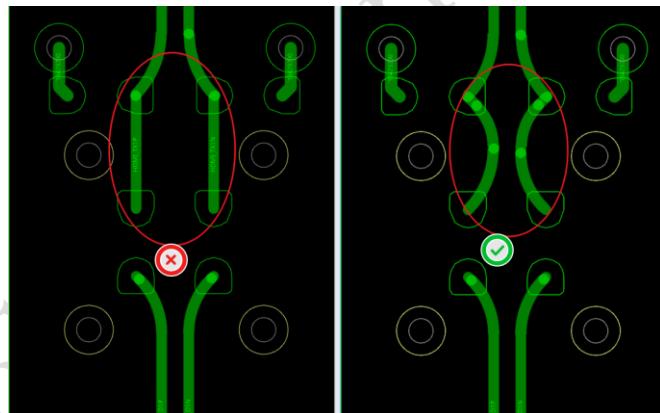


图 3-135 隔直电容和电阻之间差分信号布线

(3) 590ohm 电阻做隔层参考，相邻层挖去和电阻 pad 大小一样的 GND 铜皮。同时不允许差分走线和电阻 pad 之间有残桩。

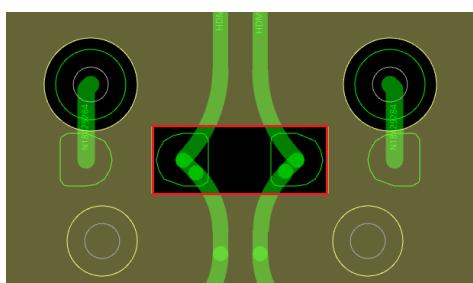


图 3-136 590ohm 电阻布局图

3.5.7 UFS2.0 PCB 设计

表 3-23 布线要求-UFS2.0

参数	要求
走线阻抗	差分 $100\text{ohm} \pm 10\%$
差分对内最大时延差	<6mil
差分对间等长要求	<100mil
走线长度	<4 inches
差分对间距	建议大于等于4倍UFS线宽
UFS与其它信号间距 (airgap)	建议大于等于5倍UFS线宽
各信号所允许过孔数量	建议不超过 2 个

(1) 建议在 BGA 区域的以下位置加地通孔，并按差分布线建议章节的建议作包地处理，包地线的地孔间隔小于 300mil。

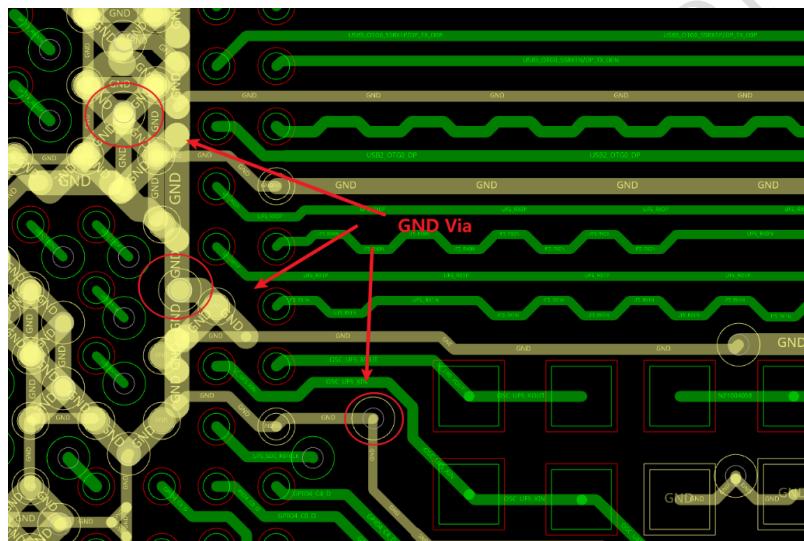


图 3-137 UFS2.0 BGA 区域扇出走线

(2) UFS TX/RX 链路上的串接电阻，相邻层需做挖空处理，挖空尺寸同电阻大小即可，参考如下。

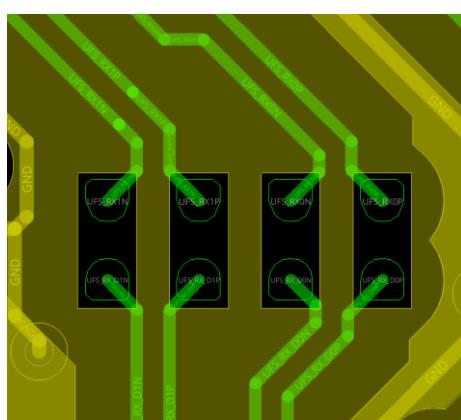


图 3-138 串接电阻相邻层挖空

(3) UFS 的参考时钟对相位噪声有严格要求，故需特别注意

a) 主控输出给 UFS 颗粒的时钟 (UFS_REFCLK)，需要有完整的 GND 参考平面。

- b) 时钟信号换层在 25mil (过孔中心间距) 范围内加 GND 回流过孔。
- c) UFS_REFCLK 要求作包地处理：注意包地线要打 GND 过孔和 GND 平面连接，GND 过孔间距建议≤400mil。



图 3-139 UFS_REFCLK 包地示意图

3.5.8 SATA 3.1 PCB 设计

表 3-24 布线要求-SATA3.1

参数	要求
走线阻抗	差分 $100\text{ohm} \pm 10\%$ (建议优先选择 100 欧，如果叠层无法实现 100 欧，至少保证阻抗满足 $90\text{ohm} \pm 10\%$)
差分对内最大时延差	<6mil
走线长度	<6 inches
电容要求	$10\text{nF} \pm 20\%$, 建议用 0201 封装
差分对间间距 (airgap)	建议大于等于 4 倍 SATA 线宽
SATA 与其它信号间距 (airgap)	建议大于等于 4 倍 SATA 线宽
各信号所允许过孔数量	建议不超过 2 个

3.5.9 USB2.0 PCB 设计

表 3-25 布线要求-USB2.0

参数	要求
走线阻抗	差分 $90\text{ohm} \pm 10\%$
差分对内最大时延差	<20mil
走线长度	<6 inches
各信号所允许过孔数量	建议不超过 4 个，不得超过 6 个

3.5.10 USB3.2 Gen1x1 PCB 设计

表 3-26 布线要求-USB3.2 Gen1x1

参数	要求
走线阻抗	差分90ohm ±10%
差分对内最大时延差	<6mil
走线长度	<6 inches
电容要求	100nF ±20%， 建议用0201封装
差分对间间距 (airgap)	建议大于等于4倍USB线宽
USB与其它信号间距 (airgap)	建议大于等于4倍USB线宽
各信号所允许过孔数量	建议不超过2个
ESD	I/O对地电容不超过0.2pF

3.5.11 MIPI-D/C PHY TX PCB 设计

表 3-27 布线要求-MIPI-DPHY TX

参数	要求
走线阻抗	差分100ohm ±10%（优先选择100欧目标阻抗，如果叠层无法满足100欧目标阻抗，至少保证阻抗满足95ohm ±10%。）
差分对内最大时延差	<6mil
时钟与数据之间等长	<12mil
走线长度	<6 inches
各信号所允许过孔数量	建议不超过4个
差分对间间距 (airgap)	建议大于等于4倍MIPI线宽，至少要3倍MIPI线宽
MIPI与其它信号间距 (airgap)	建议大于等于4倍MIPI线宽，至少要3倍MIPI线宽

表 3-28 布线要求-MIPI-CPHY TX

参数	要求
走线阻抗	单端50ohm±10%
组内(TRIO_A\TRIO_B\TRIO_C)最大时延差	< 6mil
组间(TRIO0\TRIO1\TRIO2)等长要求	<100mil
走线长度	<5 inches
各信号所允许过孔数量	建议不超过2个
走线间距 (airgap)	建议大于等于4倍MIPI线宽
MIPI与其它信号间距 (airgap)	建议大于等于4倍MIPI线宽

建议在 BGA 区域的以下位置加地通孔。

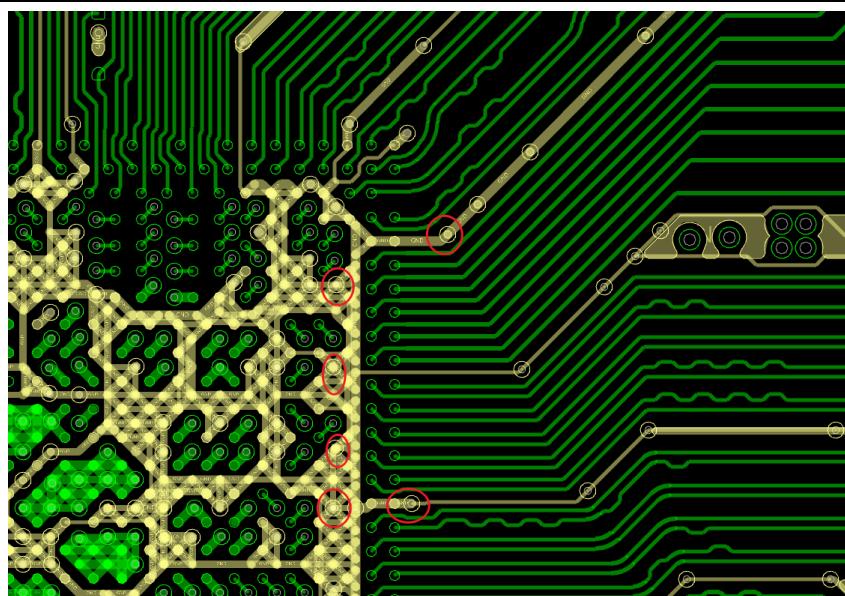


图 3-140 MIPI BGA 区域扇出走线

3.5.12 eDP PCB 设计

表 3-29 布线要求-eDP

参数	要求
走线阻抗	差分 $90\text{ohm}\pm10\%$ (确保EDP线缆的阻抗和PCB一致)
差分对内最大时延差	<6mil
走线长度	<6 inches
差分对间间距 (airgap)	建议大于等于4倍EDP线宽
电容要求	$220\text{nF}\pm20\%$, 建议用0201封装
EDP与其它信号间距 (airgap)	建议大于等于4倍EDP线宽
各信号所允许过孔数量	建议不超过2个

3.5.13 eMMC PCB 设计

表 3-30 布线要求-eMMC

参数	要求
走线阻抗	单端 $50\text{ohm}\pm10\%$
时钟与数据之间等长	<120mil
走线长度	<3.5 inches
eMMC信号线之间间距 (airgap)	至少2倍eMMC线宽
eMMC与其它信号间距 (airgap)	建议3倍线宽, 至少2倍eMMC线宽
各信号所允许过孔数量	建议不超过2个

eMMC 信号换层前后, 参考层建议都为地平面, 在信号过孔 30mil (过孔和过孔的中心间距) 范围内建议添加地回流过孔, 改善信号回流路径, 地过孔需要把信号换层前后地参考平面连接起来。

3.5.14 SDMMC PCB 设计

RK3576 有 2 组 SDMMC 接口，均支持 SDMMC 和 SDIO 功能，布线建议如下。

表 3-31 布线要求-SDMMC/SDIO

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据之间等长	<120mil
走线长度	<4 inches
SDMMC/SDIO信号线之间间距 (airgap)	至少2倍SDMMC/SDIO线宽

3.5.15 FSPI PCB 设计

表 3-32 布线要求- FSPI

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据等长	<200mil
走线长度	<4 inches
FSPI信号线之间间距 (airgap)	至少2倍线宽

3.5.16 BT1120 PCB 设计

表 3-33 布线要求- BT1120

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据等长	<180mil
走线长度	<5 inches
BT1120信号线之间间距 (airgap)	建议≥2倍BT1120线宽

3.5.17 LCDC PCB 设计

表 3-34 布线要求- LCDC

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据等长	<180mil
走线长度	<5 inches
LCDC信号线之间间距 (airgap)	建议≥2倍LCDC线宽

3.5.18 RGB PCB 设计

表 3-35 布线要求-RGB

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据等长	<180mil
走线长度	<5 inches
RGB信号线之间间距 (airgap)	建议≥2倍RGB线宽

3.5.19 CIF PCB 设计

表 3-36 布线要求-CIF

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据等长	<180mil
走线长度	<5 inches
CIF信号线之间间距 (airgap)	建议≥2倍CIF线宽
CIF信号线与其它信号之间间距 (airgap)	建议≥3倍CIF线宽

注：对于 CIF 接口，RK3576 仅作为 RX 使用，实际走线长度依赖于发送端器件（如 Camera），以上布线要求仅作为参考。

3.5.20 EBC PCB 设计

表 3-37 布线要求-EBC

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据等长	<180mil
走线长度	<6 inches
EBC信号线之间间距 (airgap)	建议≥2倍EBC线宽

3.5.21 RGMII PCB 设计

表 3-38 布线要求-RGMII

参数	要求
走线阻抗	单端50ohm ±10%
(TXD{0-3}, TXEN) to TXCLK等长	<120mil
(RXD{0-3}, RXDV) to RXCLK等长	<120mil
走线长度	<5 inches
RGMII信号线之间间距 (airgap)	建议≥2倍RGMII线宽
RGMII与其它信号间距 (airgap)	建议3倍RGMII线宽，至少2倍RGMII线宽

3.5.22 DSMC PCB 设计

DSMC 接口支持如下 3 种走线方式：

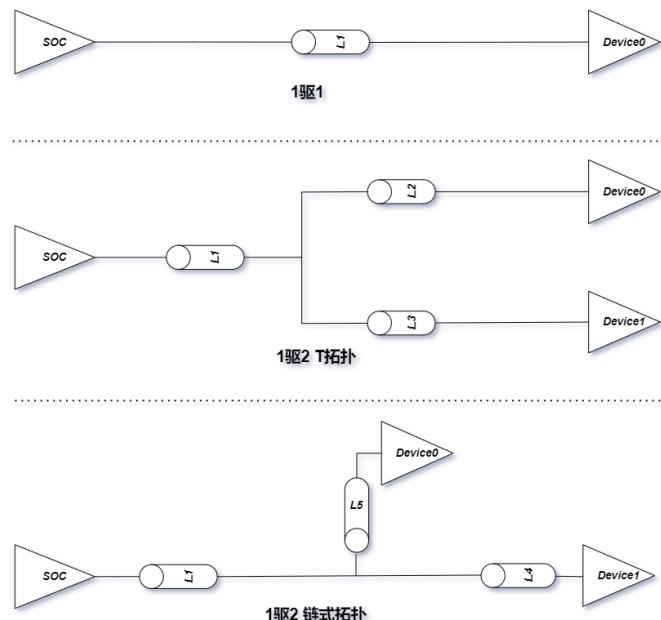


表 3-39 布线要求-DSMC

参数	要求
走线阻抗	单端50ohm ±10%， 差分100 ±10%
分支 (L2/L3/L4/L5) 走线长度	L2<500mil L3<500mil L4<1inch L5<100mil
走线总长度	L1+L2<5inch L1+L3<5inch L1+L4<5inch
1驅2 T拓扑的分支之间等长要求	L2-L3 <100mil
DATA与CLK之间的等长要求	小于120mil
DSMC信号线之间间距 (airgap)	建议≥2倍DSMC线宽
DSMC与其它信号间距 (airgap)	建议3倍DSMC线宽，至少2倍DSMC线宽

3.5.23 FlexBus PCB 设计

表 3-40 布线要求-FlexBus

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据等长	<180mil
走线长度	<5 inches
信号线之间间距 (airgap)	建议≥2倍Flexbus线宽

3.5.24 音频接口电路 PCB 设计

对于 RK3576 平台的数字音频接口，需遵循[高速信号布线建议部分](#)，相关走线另补充要求如下：

- 所有 CLK 信号建议串接 22ohm 电阻，并靠近 RK3576 放置，提高信号质量；
- 所有 CLK 信号走线不得挨在一起，避免串扰；需要独立包地，包地的走线间隔 300mil 以内必须有地过孔；
- 芯片的各 IO 电源域的去耦电容务必放在对应的电源管脚背面；对于单面贴的情况，靠近芯片最近处放置；
- 对于一个 SAI(I2S/PCM/TDM) 接口接多个设备的情况，相关的 CLK 应按照菊花链走线拓扑连接；
- 对于一个 PDM 接口接多个设备的情况，相关的 CLK 应按照菊花链走线拓扑连接；如果 GPIO 充裕情况下，PDM 接口一组内的两个 CLK 都可以使用，以优化走线分支；
- SPDIF 信号建议全程包地处理，包地的走线间隔 300mil 以内必须有地过孔；
- 对于外设的相关音频信号走线要求，以对应器件的设计指南为准，如果没有强调的，可参考以下说明：
- 喇叭的 SPKP/SPKN 信号耦合走线，并整组包地，线宽根据输出的峰值电流进行计算，并尽量缩短走线以控制线阻；
- 喇叭的功放输出如有放置磁珠、LC 滤波等器件，建议靠近功放输出放置，可优化 EMI；
- Headphone 的左右声道输出应独立包地，避免串扰，优化隔离度，建议走线宽度大于 10mil；
- 麦克风单端连接时，MIC 信号单独走线并分别包地；
- 麦克风差分连接时，特别大多数伪差分的情况，也要按照差分走线，并整组包地；
- 麦克风信号的走线建议线宽 8mil 以上；
- 所有音频信号都应远离 LCD、DRAM 等高速信号线。禁止在高速信号线相邻层走线，音频信号的相邻层必须为地平面，禁止在高速信号线附近打孔换层；
- 所有音频信号线走线应远离电感区域、远离 RF 信号和器件；
- 对于耳机座、麦克风的 TVS 保护二极管，放置上尽量靠近连接座，信号拓扑为：耳机座/麦克风 → TVS → IC；这样使得发生 ESD 现象时，ESD 电流先经过 TVS 器件衰减；TVS 器件走线上不要有残桩，TVS 的地管脚建议尽量增加地过孔，至少保证两个 0402 过孔，加强静电泄放能力。

3.5.25 Wi-Fi/BT PCB 设计

3.5.25.1 射频模块布局

- 整体布局时，Wi-Fi 模组放置合适位置，尽可能靠近板边角，模组远离高速信号 DDR、HDMI、USB、LCD 电路以及喇叭等磁性元器件；
- 模组下方 TOP 层不允许走线，需保证参考面为完整的地平面，SDIO、PCIe、UART、PCM 信号线建议绕过模组投影区域后连接到模组管脚；尽量避免射频线路和数字线路的交叉，以减少干扰和串扰；
- 采用合适的布局技巧来减少信号传输的路径长度和阻抗不连续；
- 对模块的射频和数字部分进行良好的分隔和隔离，以防止相互干扰。

3.5.25.2 射频电路设计

- RF 传输线特征阻抗为 50 欧姆，阻抗偏差控制在+/-10%以内；
- 尽量保持射频传输线短而直，避免与数字信号线或电源线交叉；
- 传输线走线尽可能宽，建议最少大于 8mil，以降低传输损耗，可以隔层参考，RF 走线两边包地完整并伴随地孔；
- 传输线走线避免锐角和急转弯，这样会导致信号的反射和阻抗不匹配，尽量走圆弧或 45 度角；
- 传输线走线不要有分支出现，尽量不换层；
- 确保射频传输线的阻抗和模组及天线阻抗匹配，并预留 PI 型或者 T 型匹配电路；
- 模块 RF PIN 角，邻层挖空处理，减少寄生电容效应；
- 如果有使用 IPEX RF 连接座，座子下方请挖空处理，减少寄生电容效应。

3.5.25.3 晶体

- 晶体电路布局需要优先考虑，布局时应与芯片在同一层并尽量靠近放置，晶体走线尽可能的短；
- 晶体放置远离可能引起干扰的元器件，晶体的地线连接到参考地层，并尽量减少地线回流路径的长度，建议晶体周围地和同层地切割隔离；
- 避免将晶体放置在发热元件附近，以防止温度变化对晶体性能造成影响；
- 晶体以及时钟信号需要立体包地处理，包地线每隔 100mil 至少添加一个 GND 过孔，并且必须保证邻层的地参考面完整，下方不可走线；
- 参数时钟规格 Frequency Tolerance < +/-10ppm, ESR<100 欧姆；
- 32.768k 单独走线并做包地处理，并且包地线每隔 400mil 至少添加一个 GND 过孔。

3.5.25.4 电源

- 射频模块对电源的稳定性要求较高，因此应确保电源线路设计合理，以保持稳定的工作电压和电流；
- 射频模块的工作容易受到电源噪声的影响，因此应在电源输入处添加足够的滤波电路，包括电容、电感和滤波器等，以降低电源噪声和干扰；
- 模组的电源滤波去耦旁路电容靠近模组电源管脚放置；
- 尽量减小电源线路的长度，降低线路阻抗，提高电源的稳定性和响应速度；
- 尽量将射频模块的电源线路与其他模块的电源线路分开布局，避免相互干扰，提高系统的稳定性和可靠性；
- 模组的 VBAT 管脚走线越宽越好，峰值电流大于 1A，宽度建议大于 40mil，走线周围增加地孔；
- 模组的 VDDIO 管脚走线越宽越好，宽度建议大于 20mil；
- 模组外部的电感布局时，请注意走线经电感出来后，先经过电容，再进入模组电源管脚。

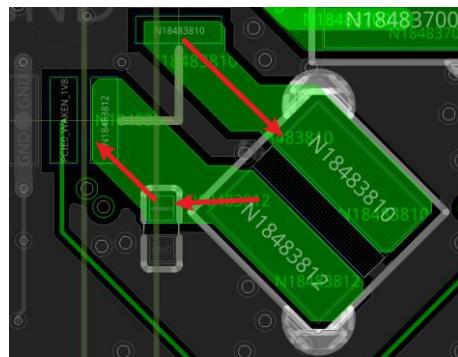


图 3-141 Wi-Fi 模块的电感电容走线示意图

3.5.25.5 天线

- 天线布置时，应考虑设备的实际使用场景和方向性要求，合理选择天线类型和布置方式，以获得最佳的信号覆盖和接收性能。
- 天线应尽可能靠近模块的射频输出口放置，以减少主板上射频传输线走线过长产生过多插损；
- 天线匹配电路必须靠近天线座，天线走线 50 欧，保证参考地完整，阻抗不要突变，下方不允许有其他信号线或电源；走线的伴随地需要与主地参考面使用地墙连接；
- 天线附近避免任何可能引起电磁干扰的元件，如高频电路、电源线路等，以免影响天线性能。天线应远离任何金属器件，磁性材料器件，如 USB 座子、网口、电源、功率电感，马达，喇叭等，天线周围地要有足够地孔。
- 如果使用板载 PCB 天线，天线净空区要满足天线设计要求，
- 金属外壳或镀金属外壳会严重影响天线的性能，建议天线外置。
- 如果是 2T2R MIMO 天线接口，需要考虑两个天线的位置，两个天线的位置需要尽量远离，隔离度最好大于 20dB，并考虑垂直放置以避免互相干扰。

3.5.25.6 信号线

- SDIO Wi-Fi 时，SDIO 信号 PCB 设计要求见：3.5.14 章节要求；
- PCIe Wi-Fi 时，PCIe 信号 PCB 设计要求见：3.5.5 章节要求。

3.5.26 VGA OUT PCB 设计

- 整体布局时，VGA 座子尽量靠近转换芯片放置，尽量缩短 VGA 模拟信号走线；
- 转换芯片电源的去耦电容，都需要尽量靠近转换芯片各电源管脚放置；
- VGA_R/G/B 走线线宽尽量加粗，建议 12mil 以上；
- VGA_R/G/B 之间的长度差不得超过 200mil；
- VGA_R/G/B 75ohm 电阻必须靠近芯片放置；
- VGA_R/G/B 滤波电路必须靠近 VGA 座子放置；
- VGA_R/G/B 信号要求全程分开包地处理，包地的走线间隔 300mil 以内必须有地过孔；
- VGA_R/G/B 信号相邻层必须为地平面，不得为电源平面；
- VGA_R/G/B 信号都请远离 LCD、DRAM 等高速信号线，禁止在高速信号线相邻层走线；禁止在高速信号线附近打孔换层；走线不要穿过电感区域；远离 RF 信号和器件；
- VGA_HSYNC/VSYNC 的 RC 滤波必须靠近 VGA 座子放置，走线不得超过 6inch；

- VGA 座子所有信号 TVS 管应尽量靠近连接座放置，信号拓扑为：VGA 座→TVS→芯片管脚；出现 ESD 现象时，ESD 电流必须先经过 TVS 器件衰减；TVS 器件走线上不要有残桩(Stub)；
- TVS 的地管脚建议尽量增加地过孔，至少保证 2 个 0402 过孔，加强静电泄放能力。

3.5.27 LCD 屏和触摸屏 PCB 设计

- LED 背光 IC 的 FB 端限流电阻，请靠近屏座放置而不是 DC-DC；
- 背光升压电路，请注意电容摆放及电源走线，保证电源的充放电回路最小；
- 屏和触摸屏连接座如果有预留测试点，应靠近连接座，且走线上的残桩(Stub)尽量短。

3.5.28 摄像头 PCB 设计

- Camera 采用连接器时：MIPI 差分信号经过连接器时，相邻差分信号对之间必须使用 GND 管脚进行隔离；MCLK 信号必须包地处理并与 MIPI 差分信号用地隔开；
- 多目项目设计，HSYNC 与 VSYNC 信号线与 MCLK 和差分信号线用地隔开，避免串扰；
- 暗环境项目，建议在模组端预留 DVDD/AVDD LDO 位置，DVDD 尽量避免使用 DC-DC 供电，建议使用 LDO 供电，否则会影响暗环境调试效果；
- 连接器 AVDD/DOVDD/DVDD 电源的去耦电容，都需要尽量靠近 Camera 连接座放置；
- Camera 连接座如果有预留测试点，应靠近连接座，且走线上的残桩（Stub）尽量短；
- Camera 布局时需要远离大功率辐射器件，如无线通讯天线等；

4 热设计建议

良好的热设计对 RK3576 的产品性能的提高、系统的稳定性、产品的安全性尤其重要。

4.1 热仿真结果

针对 RK3576 FCCSP698L_16.1mmx17.2mm 0.55mm&0.60mm&0.65mm 混合球位的封装，采用 JESD 51-7/JESD 51-9 要求的 2S2P 的测试板，将系统置于自然对流（JEDEC JESD51-2 标准）下进行仿真得出热阻的仿真报告。实际应用的系统设计及环境可能与上述标准不同，需要根据应用条件做出分析。



注意

热阻是在 PCB 没有散热片条件下的参考值，具体温度跟单板的设计、大小、厚度、材质以及其他物理因素有关系。

4.1.1 结果概要

热阻仿真结果如下表：

表 4-1 RK3576 热阻仿真报告结果

Package (EHS-FCCSP)	θ_{JA} (°C/W)	θ_{JB} (°C/W)	θ_{JC} (°C/W)	ψ_{JT} (°C/W)
JEDEC PCB	15.84	6.96	0.67	0.031

注：

- θ_{JB} 是在特殊环境（JEDEC JESD51-8 标准）下测量的，采用 JESD51-7 指定的 PCB。
- 热阻 θ_{JC} 根据 JEDEC JESD51-14 得到。
- 热特性参数 ψ_{JT} 是结温与元件封装外表面顶部中心温度之间的差异， ψ_{JT} 是在 θ_{JA} (JEDEC JESD51-2 标准) 的测试环境下测量的。
- 数据为仿真数据仅供参考，请以实物测试为准。

4.1.2 术语解释

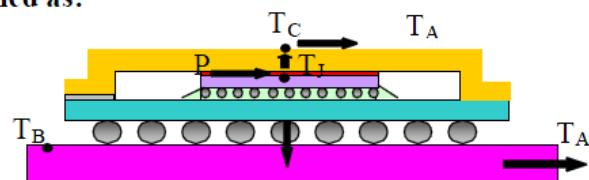
本章中的术语解释如下：

- T_J : The maximum junction temperature;
- T_A : The ambient or environment temperature;
- T_C : The maximum compound surface temperature;
- T_B : The maximum surface temperature of PCB bottom;
- P : Total input power

The thermal parameter can be define as following

1. Junction to ambient thermal resistance, θ_{JA} , defined as:

$$\theta_{JA} = \frac{T_J - T_A}{P} ; \quad (1)$$



Thermal Dissipation of EHS-FCBGA

图 4-1 θ_{JA} 的定义

2. Junction to case thermal resistance, θ_{JC} , defined as:

$$\theta_{JC} = \frac{T_J - T_C}{P} ; \quad (2)$$

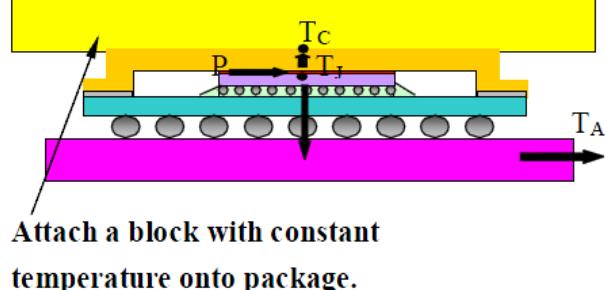


图 4-2 θ_{JC} 的定义

3. Junction to board thermal resistance, θ_{JB} , defined as:

$$\theta_{JB} = \frac{T_J - T_B}{P} ; \quad (3)$$

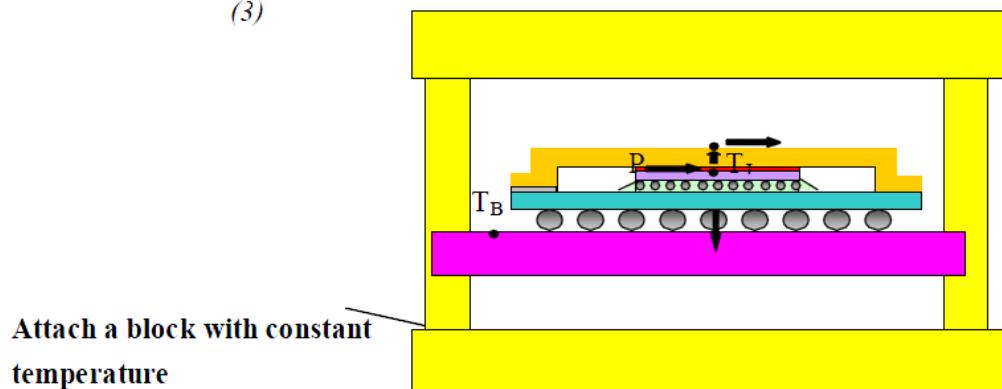


图 4-3 θ_{JB} 的定义

4.2 芯片内部热控制方式

4.2.1 温度控制策略

在 Linux 内核中，定义一套温控框架 linux Generic Thermal System Drivers，它可以通过不同的策略控制系统的温度，目前常用的有以下三种策略：

- Power allocator: 温控策略引入 PID(比例-积分-微分)控制，根据当前温度，动态给各 cooling device 分配 power，温度低的时候可分配的 power 比较大，即可以运行的频率高，随着温度上升，可分配的 power 逐渐减小，可运行的频率也逐渐降低，从而达到根据温度限制频率；
- Step wise: 根据当前温度，cooling device 逐级降频；
- Fair share: 频率档位比较多的 cooling device 优先降频；
- Userspace: 不限制频率。

RK3576 芯片内部有 T-sensor 检测片内温度，默认使用 Power_allocator 的策略。

4.2.2 温度控制配置

RK3576 SDK 中可以针对 CPU 和 GPU 分别提供温控策略，具体配置请参考《Rockchip_Developer_Guide_Thermal_CN.pdf》。

<https://redmine.rock-chips.com/projects/fae/documents>

4.3 电路热设计参考

4.3.1 电路原理图热设计参考

- 在保证稳定性前提下，提供整体电源效率，比如少用高压差的 LDO，减少电源自身在电源转换过程中产生的热量；
- 根据实际产品，芯片不用的模块尽量不供电或让软件做 power down 处理；
- 选用导热系数大的材料，根据产品定义，使用环境等条件进行估算需要采用的散热器大小，建议尽量采用更大的散热器。

4.3.2 PCB 热设计参考

RK3576 的产品中，RK3576 芯片是发热量最大的器件，所有的散热处理都以芯片为主要对象。

除 RK3576 外，其它主要发热器件有：PMIC、充电 IC 及所用电感、背光 IC 及所用电感。

- 合理的结构设计，能保证机器内部与外界空气有热交换途径；
- 整体布局时，大功耗或易产生热量的器件均匀分布，避免局部过热，建议 RK3576 和 RK806S-5 适当放置，不要太靠近也不能离的太远，建议间隔 20mm-50mm 之间，两者尽量不放置在板边，对散热不利；
- 建议采用 6 层板以上，尽量增加板子含铜量，建议采用 1oz 的铜厚，尽量多层为地平面，其它层满足电源以及信号走线外，也尽量铺成地平面，借助大面积的铜箔散热；
- RK3576 LOGIC_DVDD, GPU_DVDD, NPU_DVDD, CPU_BIG_DVDD, CPU_LIT_DVDD, DDRPHY_DVDD 几路电流比较大，走线或覆铜必须满足载流能力，否则可能会增加温升；

- 要求所有具有 ePad 的芯片: ePad 上面尽量打满过孔, 邻层必须为地平面, 背面地铜皮尽量完整, 背面铜皮建议做裸铜处理, 有利于散热;
- RK3576 芯片 GND 管脚在顶层走“井”字形, 交叉连接, 建议走线线宽 10mil, 有利于芯片散热;
- RK3576 芯片的 GND 管脚, 建议尽量保证多一些地过孔, 增加导热途径, 邻层必须为地平面, 有利于芯片散热;
- RK3576 芯片背面去耦电容地焊盘, 建议采用全覆铜, 不要采用花焊盘连接, 尽量使地铜皮完整, 以提高散热能力;
- 空旷地方, 在不破坏电源层条件下, 尽量增加地过孔, 增加导热途径, 以提高散热能力。

Rockchip Confidential

5 ESD/EMI 防护设计

5.1 概述

本章对于 RK3576 产品设计中的 ESD/EMI 防护设计给出了建议，帮助客户更好的提高产品的抗静电、抗电磁干扰水平。

5.2 术语解释

本章中的术语解释如下：

- ESD (Electro-Static discharge)：静电释放
- EMI (Electromagnetic Interference)：电磁干扰，包括传导干扰和辐射干扰两部分

5.3 ESD 防护

- 从模具上做隔离，接插件能内缩的尽量内缩于壳体内，让静电释放到内部电路上的距离变长，能量变弱，测试标准由接触放电条件变为空气放电等；
- 在 PCB 布局时做好敏感器件的保护，隔离；
- 布局时尽量将 RK3576 芯片及核心部件放在 PCB 中间，不能放在 PCB 中间的需要保证屏蔽罩离板边至少 2MM 以上的距离，且要保证屏蔽罩能够可靠接地；
- 应该按功能模块及信号流向来布局 PCB，各个敏感部分相互独立，对容易产生干扰的部分最好能隔离；
- 要求合理摆放 ESD 器件，一般要求摆在源头，即 ESD 器件摆放在接口处或静电释放处；
- 元件布局远离板边且距插接件有一定距离；
- PCB 表面一定要有良好的 GND 回路，各接插件在表层都要有较好的 GND 连接回路。有加屏蔽罩的应尽量跟表层地相连，并在屏蔽罩焊接处多打地孔接地。要做到这一点，就要求各个连接座部分在表层不要走线，也不要出现大范围切断表层铜皮的走线；
- 表层板边不走线且多打地孔；
- 必要时要做好信号跟地之间的隔离；
- 多露铜，以便加强静电释放效果，或者便于增加加泡棉等补救措施；
- 如果有经连接器实现板对板连接时，建议全部信号串接一定阻值的电阻(2.2ohm-10ohm 之间，具体以能满足 SI 测试为准)，以及预留 TVS 器件，可提升抗静电浪涌能力；
- RK3576 nPOR 管脚的 100nF 电容必须靠近管脚放置，电容的地焊盘必须有一个 0402 地过孔，空间允许建议打两个以上，更良好的接地；
- 关键信号比如 Reset，时钟，中断等敏感信号与板边距离不得小于 5mm；
- 其它外围芯片如果有带 Reset 管脚，建议增加 100nF 电容必须靠近管脚，电容的地焊盘必须有一个 0402 地过孔，空间允许建议打两个以上，更良好的接地；
- 整机设计为浮地设备时，建议各接口不要分地设计；

- 机器外壳为金属时，电源是三孔，要求金属外壳必须良好连接大地；
- 从 PCB 上进行隔离，让静电只能释放在部分区域，比如座子地管脚单独过孔和内层的地层连接，对表层的 PCB 进行 Keepout，表层的地铜皮和管脚尽量远离，即让敏感信号远离静电易放电区域（表层地铜皮）等等，如图在表层隔离 HDMI 信号与 GND 的距离。

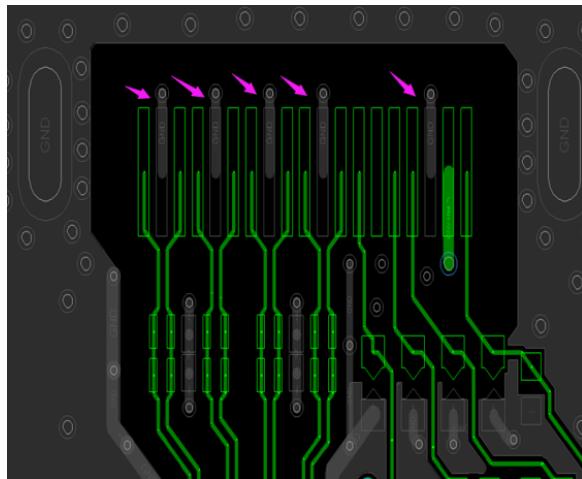


图 5-1 ESD 防护示意图：在表层隔离 HDMI 信号与 GND 的距离

5.4 EMI 防护

- 电磁干扰三要素：干扰源、耦合通道及敏感设备。对于广大工程师们通常无法处理敏感设备，因此处理 EMI 需要从干扰源跟耦合通道入手。解决 EMI 问题，最好的方式就是消除干扰源，消除不了的就想办法切断耦合通道或者避免天线效应；
- PCB 上干扰源一般很难完全消除，可以通过滤波、接地、平衡、阻抗控制，改善信号质量(如端接)等方法来应对。各种方法一般会综合运用，但良好的接地是最基本的要求；
- 常用应对 EMI 材料有屏蔽罩，专用滤波器，电阻，电容，电感，磁珠，共模电感/磁环，吸波材料，展频器件等；
- 滤波器选择原则：若负载（接收器）为高阻抗（一般的单端信号接口都是高阻抗，比如 SDIO, RBG, CIF 等），则选择容性滤波器件并入线路；若负载（接收器）为低阻抗（比如电源输出接口），则选择感性滤波器件串入线路。使用滤波器件后不能使信号质量超出其 SI 许可范围。差分接口一般使用共模电感来抑制 EMI；
- PCB 上屏蔽措施需良好接地，不然可能会引起辐射泄露或者屏蔽措施形成了天线效应，连接器的屏蔽需符合相关技术标准；
- RK3576 展频的能分模块使用。展频的程度需根据相关部分对信号的要求而定。具体措施见 RK3576 展频说明；
- 所有时钟串接的匹配电阻，建议保留，提供匹配阻抗，提高信号质量的改善措施；
- DC 电源输入处，有条件可预留电源共模电感或 EMI 滤波器；
- USB, HDMI, VGA, 屏连接座等接口处增加预留共模电感或滤波电路；
- 有加散热器时，要注意散热器也有可能耦合 EMI 能量，产生辐射，在选用散热器时除了满足热设计要求，还应满足 EMI 测试要求。散热器要预留接地条件，当有需要接地时，将散热器接地，此处不好明确接地点个数及怎么选择接地点，需要第一个版本硬件在实验室实际测试时依据实际情况。

况整改；

- EMI 跟 ESD 对 LAYOUT 的要求有高度一致性，前述 ESD 的 LAYOUT 要求，大部分适用于 EMI 防护。另外增加下面的要求：
 - 尽量保证信号完整性；
 - 差分线要做好等长及紧密耦合，保证差分信号的对称性，以尽量减少差分信号的错位，避免转化成引起 EMI 问题的共模信号；
 - 有插件器件等带金属壳器件的元件，应避免耦合干扰信号从而辐射。也要避免器件的干扰信号从壳体耦合到其他信号线；
 - 所有时钟串接的匹配电阻靠近 CPU 端（源端），CPU 管脚和电阻之间走线必须控制在 400mil 以内；
 - 如果 PCB 超过 4 层板，建议让所有时钟信号尽量走内层；
 - 防止电源辐射，电源层覆铜必须内缩，以一个 H（电源和地之间的介质厚度）为单位，建议内缩 20H。

6 焊接工艺

6.1 概述

RK3576 芯片为 ROHS 指令认证产品，即均是 Lead-free 产品。本章规范了客户端在用 RK3576 芯片 SMT 时各个时间段温度的基本设置，主要介绍在使用 RK3576 芯片回流焊时的工艺控制：主要是无铅工艺和混合工艺两类。

6.2 术语解释

本章中的术语解释如下：

- Lead-free: 无铅工艺；
- Pb-free: 无铅工艺，所有器件（主板、所有 IC、电阻电容等）均为无铅器件，并使用无铅锡膏的纯无铅工艺；
- Reflow profile: 回流焊；
- Restriction of Hazardous Substances (ROHS) : 关于限制在电子电器设备中使用某些有害成分的指令；
- Surface Mount Technology (SMT) : 表面贴装技术；
- Sn-Pb: 锡铅混合工艺，指使用有铅锡膏和既有无铅 BGA 也有有铅 IC 的混合焊接工艺。

6.3 回流焊要求

6.3.1 焊膏成分要求

Solder 合金与 flux 比重为 90%: 10%；体积比为：50%: 50%，锡膏冷藏温度 2~10°C，使用前应常温下回温，回温时间 3~4 小时并做好时间记录。

刷板前锡膏需要搅拌，手工搅拌 3~5 分钟或机械搅拌 3 分钟，搅拌后呈自然垂流状。

6.3.2 SMT 曲线

由于 RK3576 芯片均采用环保材料，建议使用 Pb-Free 工艺。下图回流焊曲线仅为 JEDEC J-STD-020D 工艺要求推荐值，客户端需根据实际生产情况进行调整。

Profile Feature	Sn-Pb Eutectic Assembly	Pb-Free Assembly
Preheat & Soak		
Temperature min (T_{smin})	100 °C	150 °C
Temperature max (T_{smax})	150 °C	200 °C
Time (T_{smin} to T_{smax}) (t_s)	60-120 seconds	60-120 seconds
Average ramp-up rate (T_{smax} to T_p)	3 °C/second max.	3 °C/second max.
Liquidous temperature (T_L)	183 °C	217 °C
Time at liquidous (t_L)	60-150 seconds	60-150 seconds
Peak package body temperature (T_p)*	See classification temp in Table 4.1	See classification temp in Table 4.2
Time (t_p)** within 5 °C of the specified classification temperature (T_c)	20** seconds	30** seconds
Average ramp-down rate (T_p to T_{smax})	6 °C/second max.	6 °C/second max.
Time 25 °C to peak temperature	6 minutes max.	8 minutes max.

* Tolerance for peak profile temperature (T_p) is defined as a supplier minimum and a user maximum.
** Tolerance for time at peak profile temperature (t_p) is defined as a supplier minimum and a user maximum.

图 6-1 回流焊曲线分类

Package Thickness	Volume mm ³ <350	Volume mm ³ 350 - 2000	Volume mm ³ >2000
<1.6 mm	260 °C	260 °C	260 °C
1.6 mm - 2.5 mm	260 °C	250 °C	245 °C
>2.5 mm	250 °C	245 °C	245 °C

图 6-2 无铅工艺器件封装体耐热标准

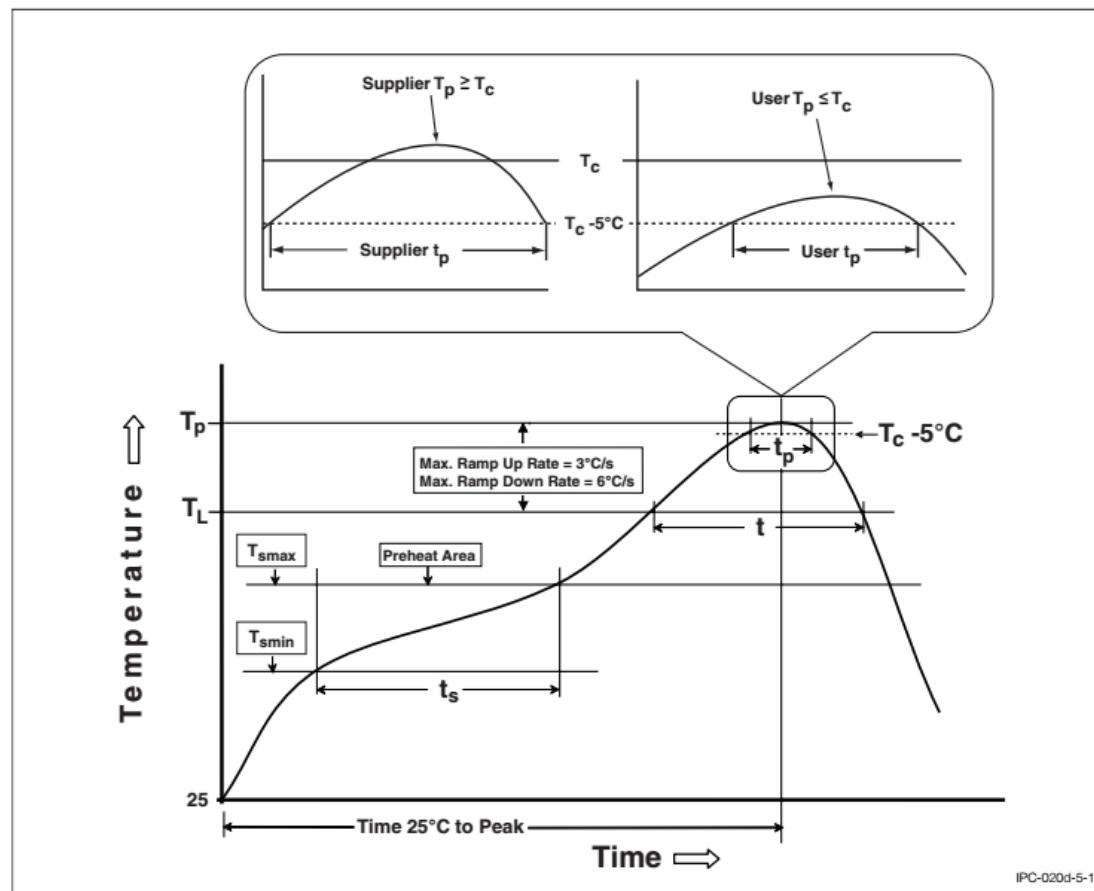


图 6-3 无铅回流焊接工艺曲线

6.3.3 SMT 建议曲线

我司建议的 SMT 曲线如图 6-4 所示，详见《RK3576 生产工艺要求》。

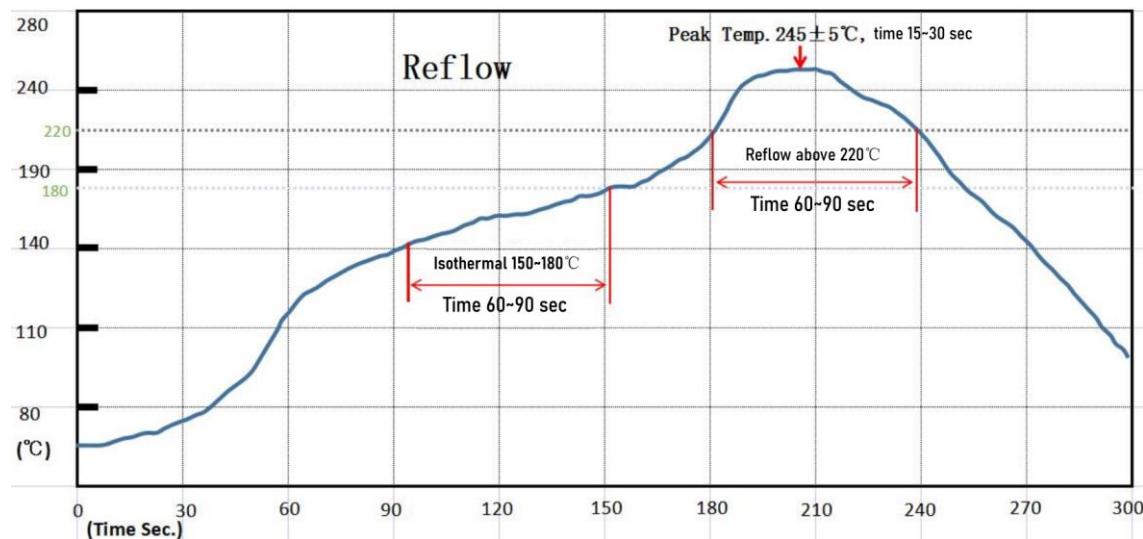


图 6-4 无铅回流焊接工艺建议曲线参数

Rockchip Confidential

7 包装和存放条件

7.1 概述

规定了 RK3576 的存放和使用规范，以确保产品的安全和正确使用。

7.2 术语解释

本章中的术语解释如下：

- Desiccant: 干燥剂，用于吸附潮气的一种材料；
- Floor life: 产品允许暴露在环境中的最长时间，从在拆开防潮包装到回流焊之前；
- Humidity Indicator Card(HIC): 湿度指示卡；
- Moisture Sensitivity Level(MSL): 潮敏等级；
- Moisture Barrier Bag(MBB): 防潮包装袋；
- Rebake: 重新烘烤；
- Solder Reflow: 回流焊；
- Shell Life: 存储期限；
- Storage environment: 存放环境。

7.3 防潮包装

产品的干燥真空包装材料如下：

- 干燥剂；
- 六点湿度卡；
- 防潮袋，铝箔，银色不透明，带有湿敏等级的标识。

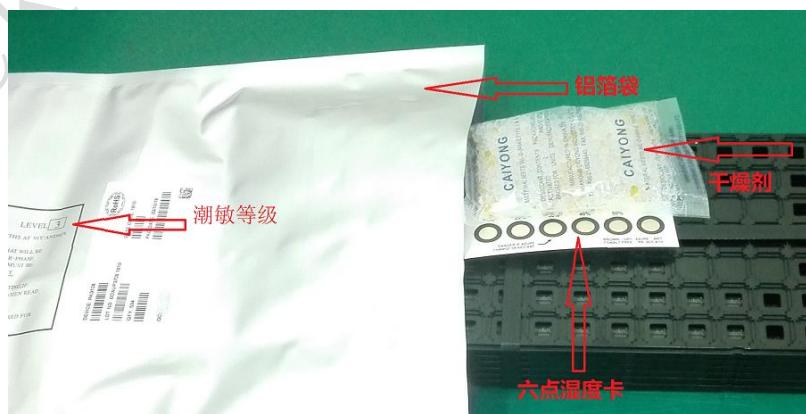


图 7-1 芯片干燥真空包装

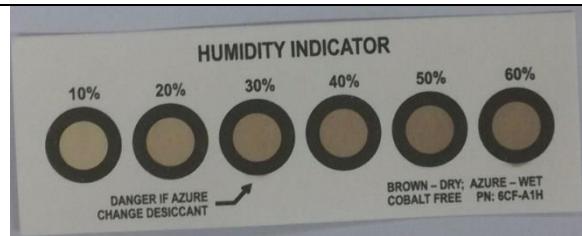


图 7-2 六点湿度卡

7.4 产品存放

7.4.1 存放环境

产品真空包装存放，在温度 $\leq 40^{\circ}\text{C}$ 且相对湿度 $< 90\%$ 时，保存期限可达 12 个月。

7.4.2 暴露时间

在环境条件 $< 30^{\circ}\text{C}$ 和湿度 60% 下，请参照如下表 7-1。

RK3576 芯片 MSL 等级为 3，对湿度非常敏感。如果拆包装后没有及时使用，且长时间放置后未烘烤贴片，会大概率出现芯片失效。

表 7-1 暴露时间参照表 (MSL)

MSL 等级	暴露时间
	工厂环境条件: $\leq 30^{\circ}\text{C} / 60\% \text{RH}$
1	Unlimited at $\leq 300^{\circ}\text{C} / 85\% \text{RH}$
2	1 年
2a	4 周
3	168 小时
4	72 小时
5	48 小时
5a	24 小时
6	Mandatory bake before use, and must be reflowed within the time limit specified on the label.

7.5 潮敏产品使用

RK3576 芯片在包装袋被打开后，芯片回流焊前必须符合如下条件：

- 连续或累计暴露时间在 168 小时内，且工厂环境为 $\leq 30^{\circ}\text{C}/60\% \text{RH}$ ；
- 保存在 $< 10\% \text{ RH}$ 环境下的；

在下述情况下，芯片必须进行烘烤去除内部湿气，以避免回流焊时产生分层或爆米花问题：

- 湿度指示卡在 $23 \pm 5^{\circ}\text{C}$ 时， $> 10\%$ 的点已变色。（颜色变化请参考湿度指示卡标示）；
- 未符合 2a 或 2b 的规范。

芯片重新烘烤的时间请参考如下表 7-2 所示：

表 7-2 RK3576 Re-bake 参考表

Package Body	MSL	High Temp Bake @125°C +10/-0°C		Medium Temp Bake @90°C+8/-0°C		Low Temp Bake @40°C +5/-0°C	
		Exceeding Floor Life by > 72h	Exceeding Floor Life by ≤ 72h	Exceeding Floor Life by > 72h	Exceeding Floor Life by ≤ 72h	Exceeding Floor Life by > 72h	Exceeding Floor Life by ≤ 72h
Thickness ≤1.4mm	3	9 hours	7 hours	33 hours	23 hours	13 days	9 days



注意

此表中显示的均是受潮后，必须的最小的烘烤时间。

重新烘烤优先选择低温烘烤。