

1 原理

1.1 論理ゲートの動作

表 1 から表 5 に各論理ゲートの真理値表を図 1 から図 5 に各論理ゲートの MIL 記号を示す. NOT ゲートは入力を反転するゲートである. AND ゲートは 2 個以上の全入力が高レベルの時 High, それ以外の場合 Low を返すゲートである. OR ゲートは 2 個以上の入力のうち 1 つでも High があれば High, 全入力が高レベルの場合は Low を返すゲートである. また NAND ゲートは AND ゲート, NOR ゲートは OR ゲートをそれぞれ反転したゲートである. 図 6 に各論理ゲートの動作確認用の回路を示す. これによりワークスペース上の各ゲートが真理値表の通りの動作をしていると確認できた.

X	$Y = \overline{X}$
0	1
1	0

表 1 NOT ゲートの真理値表

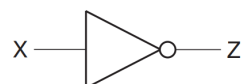


図 1 NOT ゲートの MIL 記号 (実験テキストより引用)

X	Y	$Z = X \cdot Y$
0	0	0
0	1	0
1	0	0
1	1	1

表 2 AND ゲートの真理値表



図 2 AND ゲートの MIL 記号 (実験テキストより引用)

X	Y	$Z = X + Y$
0	0	0
0	1	1
1	0	1
1	1	1

表 3 OR ゲートの真理値表



図 3 OR ゲートの MIL 記号 (実験テキストより引用)

X	Y	$Z = \overline{X \cdot Y}$
0	0	1
0	1	1
1	0	1
1	1	0

表 4 NAND ゲートの真理値表

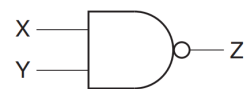


図 4 NAND ゲートの MIL 記号 (実験テキストより引用)

X	Y	$Z = \overline{X + Y}$
0	0	1
0	1	0
1	0	0
1	1	0

表 5 NOR ゲートの真理値表



図 5 NOR ゲートの MIL 記号 (実験テキストより引用)

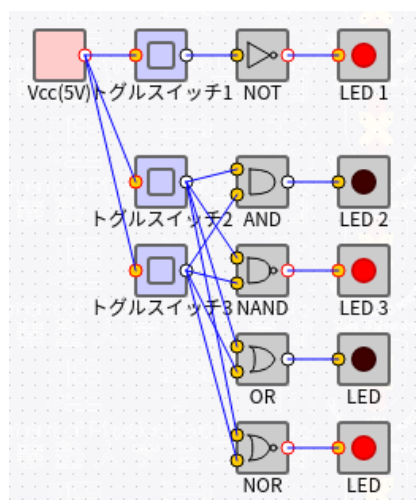


図 6 動作確認用の回路

1.2 RS ラッチの動作

RS ラッチの真理値表を表 6 に回路図を図 7 に示す. RS ラッチは \bar{S} , \bar{R} の 2 入力を受け Q , \bar{Q} を出力する. S は Set を R は Reset を意味する. $\bar{S} = 0$ (すなわち $S = 1$) とすると, NAND はいずれかの入力に 0 が立っていれば 1 を出力するのでこのとき $Q = 1$ である. このとき $Q = 1$ であれば下側の NAND の入力 \bar{R} は両方 1 なので $\bar{Q} = 0$ となる. 一方で $Q = 0$ だと $\bar{Q} = 1$ となり $\bar{Q} = Q$ なので矛盾している. すなわち $\bar{S} = \bar{R} = 0$ は矛盾するため禁止される. また $\bar{S} = \bar{R} = 1$ だと $Q = 1$ のときは $\bar{Q} = 0$, $Q = 0$ のときは $\bar{Q} = 1$ となり前回の状態が維持される. \bar{S} と \bar{R} は完全に対称なので \bar{R} についても同様の議論が行える. 以上から RS ラッチは $\bar{S} = 0$ で 1 を記録し, $\bar{R} = 0$ で 0 を記録する回路だと言える. 図 8 に RS ラッチの動作確認用の回路を示す. これにより真理値表から期待される通りの動作をしていることが確認できた.

\bar{S}	\bar{R}	Q_{n+1}	\bar{Q}_{n+1}
0	0	禁止	
0	1	0	1
1	0	0	0
1	1	Q_n	\bar{Q}_n

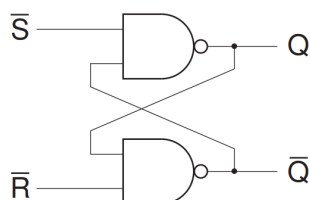


図 7 RS ラッチの回路図 (実験テキストから引用)

表 6 RS ラッチの真理値表

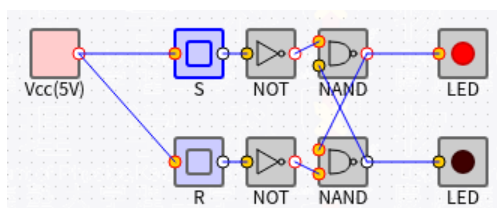


図 8 動作確認用の回路

1.3 JK F/F の動作

JK F/F の真理値表を表に回路記号を図に示す。JK F/F では入力 J が RS ラッチで言う S, 入力 K が RS ラッチの R に近い役割を持つ。ただし RS ラッチでは $S = R = 1$ の状態は禁制状態とされたが, JK F/F では禁制ではなく出力の状態を反転するように機能する。また JK F/F の動作は CLK 入力により同期され, CLK の立ち下がり (または立ち上がり) に状態が更新される。また \overline{PRS} は Preset, \overline{CLR} は Clear を意味し, それぞれ Q に 1 及び 0 を立てる。図 10 に JK F/F の動作確認用の回路を示す。これにより真理値表から期待される通りの動作をしていることが確認できた。

J	K	Q_{n+1}	$\overline{Q_{n+1}}$
0	0	$\overline{Q_n}$	Q_n
0	1	0	1
1	0	0	0
1	1	Q_n	$\overline{Q_n}$

表 7 JK F/F の真理値表

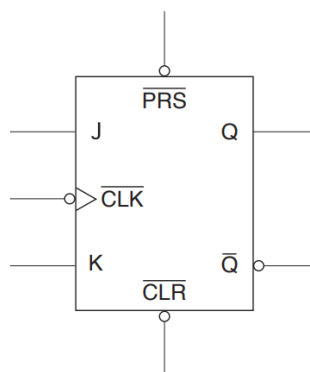


図 9 JK F/F の回路記号 (実験テキストから引用)

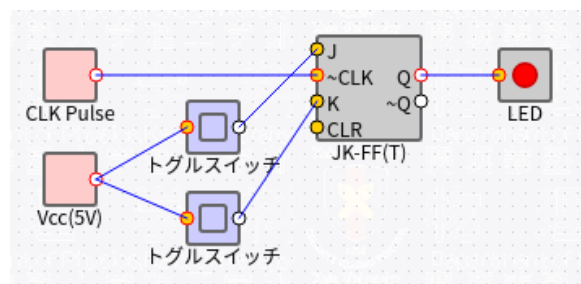


図 10 動作確認用の回路