

1 原理

1.1 論理ゲートの動作

表 1 から表 5 に各論理ゲートの真理値表を図 1 から図 5 に各論理ゲートの MIL 記号を示す。NOT ゲートは入力を反転するゲートである。AND ゲートは 2 個以上の全入力が High の時 High, それ以外のとき Low を返すゲートである。OR ゲートは 2 個以上の入力のうち 1 つでも High があれば High, 全入力が Low のときは Low を返すゲートである。また NAND ゲートは AND ゲート, NOR ゲートは OR ゲートをそれぞれ反転したゲートである。図 6 に各論理ゲートの動作確認用の回路を示す。これによりワークスペース上の各ゲートが真理値表の通りの動作をしていると確認できた。

X Y = \overline{X}	
0	1
1	0

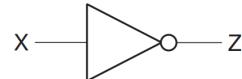


図 1 NOT ゲートの MIL 記号 (実験テキストより引用)

表 1 NOT ゲートの真理値表

X	Y	Z = X · Y
0	0	0
0	1	0
1	0	0
1	1	1



図 2 AND ゲートの MIL 記号 (実験テキストより引用)

表 2 AND ゲートの真理値表

X	Y	Z = X + Y
0	0	0
0	1	1
1	0	1
1	1	1



図 3 OR ゲートの MIL 記号 (実験テキストより引用)

表 3 OR ゲートの真理値表

X	Y	Z = $\overline{X \cdot Y}$
0	0	1
0	1	1
1	0	1
1	1	0

表4 NAND ゲートの真理値表

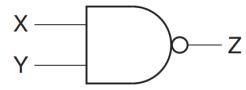


図4 NAND ゲートの MIL 記号 (実験テキストより引用)

X	Y	Z = $\overline{X + Y}$
0	0	1
0	1	0
1	0	0
1	1	0

表5 NOR ゲートの真理値表

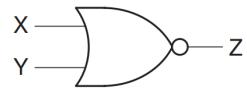


図5 NOR ゲートの MIL 記号 (実験テキストより引用)

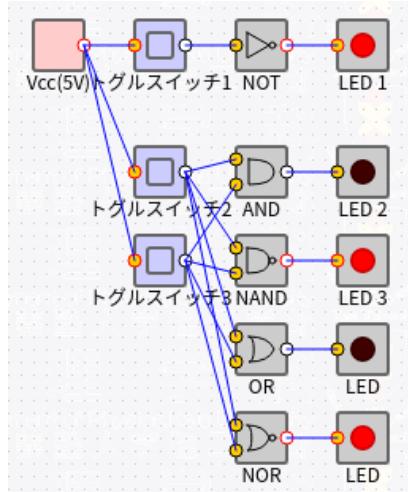


図6 動作確認用の回路

1.2 RS ラッチの動作

RS ラッチの真理値表を表 6 に回路図を図 7 に示す。RS ラッチは \bar{S} , \bar{R} の 2 入力を受け Q , \bar{Q} を出力する。S は Set を R は Reset を意味する。 $\bar{S} = 0$ (すなわち $S = 1$) とすると, NAND はいずれかの入力に 0 が立っていれば 1 を出力するのでこのとき $Q = 1$ である。このとき $Q = 1$ であれば下側の NAND の入力は両方 1 なので $\bar{Q} = 0$ となる。一方で $Q = 0$ だと $\bar{Q} = 1$ となり $\bar{Q} = Q$ なので矛盾している。すなわち $\bar{S} = \bar{R} = 0$ は矛盾するため禁止される。また $\bar{S} = \bar{R} = 1$ だと $Q = 1$ のときは $\bar{Q} = 0$, $Q = 0$ のときは $\bar{Q} = 1$ となり前回の状態が維持される。 \bar{S} と \bar{R} は完全に対称なので \bar{R} についても同様の議論が行える。以上から RS ラッチは $\bar{S} = 0$ で 1 を記録し, $\bar{R} = 0$ で 0 を記録する回路だと言える。図 8 に RS ラッチの動作確認用の回路を示す。これにより真理値表から期待される通りの動作をしていることが確認できた。

\bar{S}	\bar{R}	Q_{n+1}	\bar{Q}_{n+1}
禁止			
0	1	0	1
1	0	0	0
1	1	Q_n	\bar{Q}_n

表 6 RS ラッチの真理値表

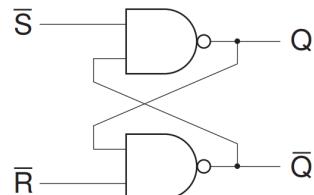


図 7 RS ラッチの回路図 (実験テキストから引用)

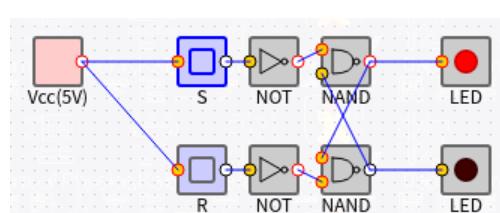


図 8 動作確認用の回路

1.3 JK F/F の動作

JK F/F の真理値表を表 7 に回路記号を図 9 に示す。JK F/F では入力 J が RS ラッチで言う S, 入力 K が RS ラッチの R に近い役割を持つ。ただし RS ラッチでは $S = R = 1$ の状態は禁制状態とされたが、JK F/F では禁制ではなく出力の状態を反転するように機能する。また JK F/F の動作は CLK 入力により同期され、CLK の立ち下がり（または立ち上がり）に状態が更新される。また \overline{PRS} は Preset, \overline{CLR} は Clear を意味し、それぞれ Q に 1 及び 0 を立てる。図 10 に JK F/F の動作確認用の回路を示す。これにより真理値表から期待される通りの動作をしていることが確認できた。また CLK は負論理であるので、立ち下がりで状態が更新された。

J	K	Q_{n+1}	\overline{Q}_{n+1}
0	0	\overline{Q}_n	Q_n
0	1	0	1
1	0	1	0
1	1	Q_n	\overline{Q}_n

表 7 JK F/F の真理値表

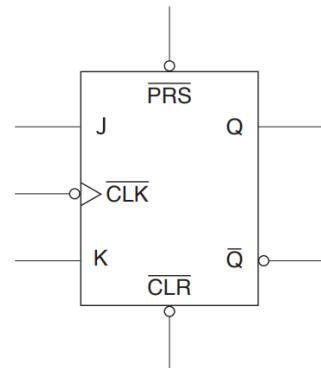


図 9 JK F/F の回路記号 (実験テキストから引用)

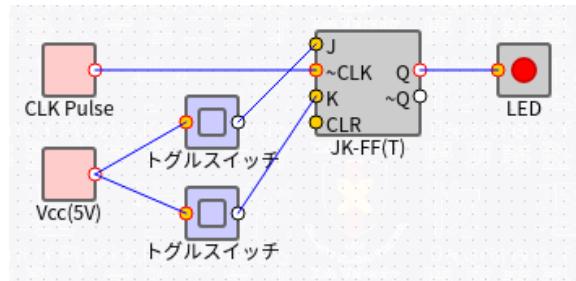


図 10 動作確認用の回路

2 入門編

2.1 2進表示回路

ここではスイッチ n ($n = 1, 2, 3$) からの入力を受け n を 2進数表示する回路を作成した。以下ではスイッチ n の状態を X_n , 1桁目の出力の状態を A, 2桁目の出力の状態を B と表記している

2.1.1 設計

表 2.1.1 に真理値表を示す。したがって論理式は以下で与えられる。

$$\begin{aligned} A &= X_1 \bar{X}_2 \bar{X}_3 + \bar{X}_1 \bar{X}_2 X_3 \\ B &= \bar{X}_1 X_2 \bar{X}_3 + \bar{X}_1 \bar{X}_2 X_3 \end{aligned} \tag{1}$$

X_3	X_2	X_1	B	A
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
0	1	1	0	0
1	0	0	1	1
1	0	1	0	0
1	1	0	0	0
1	1	1	0	0

表 8 2進表示回路

2.1.2 実装及び動作確認

図 11 に実装した回路を示す。トグルスイッチ n が X_n の状態を入力し, LED A と LED B がそれぞれ出力 A, B を表す。全 8 通りの入力を試行し, 期待される通りの動作をしていることを確認できた。

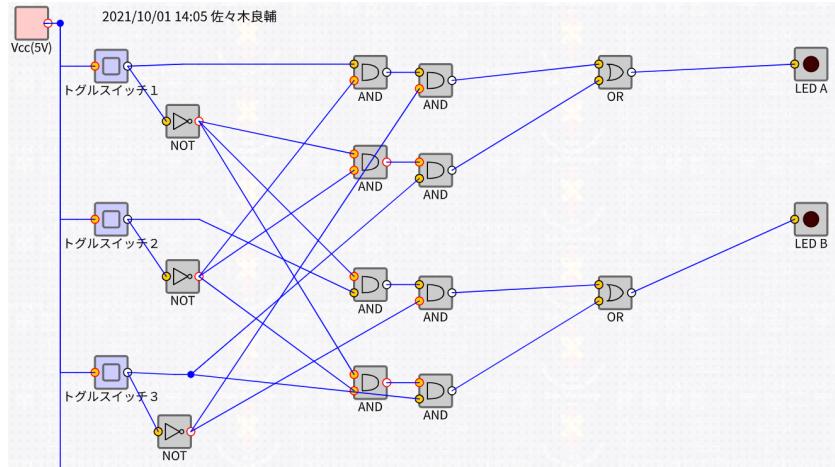


図 11 2 進表示回路の実装

2.2 比較回路

ここでは 2 術の 2 進数 X_1X_2 および Y_1Y_2 を受け、 $X_1X_2 > Y_1Y_2$ を判定する回路を作成した。以下では出力の状態を S とする。

2.2.1 設計

表 9 に真理値表を示す。これからカルノー図は図 12 のようになる。したがって論理式は以下のようになる。

$$S = X_1\bar{Y}_1 + X_2\bar{Y}_1\bar{Y}_2 + X_1X_2\bar{Y}_2 \quad (2)$$

X_1	X_2	Y_1	Y_2	S
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

表 9 比較回路

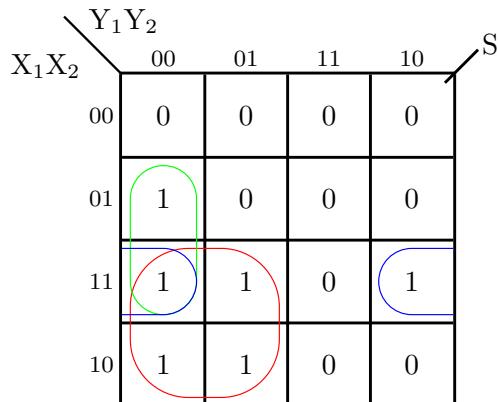


図 12 S のカルノー図

2.2.2 実装及び動作確認

図 13 に実装した回路を示す。トグルスイッチ X_1, Y_1 が入力値、LED A が出力 S を表す。全 16 通りの入力を試行し、期待される通りの動作をしていることを確認できた。

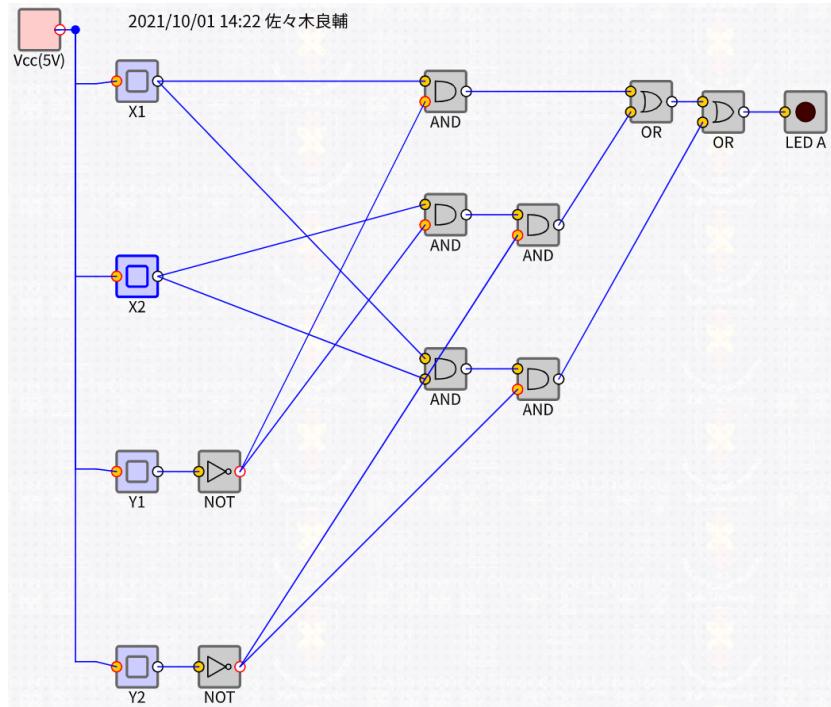


図 13 比較回路の実装

2.3 非同期式カウンタ (負論理)

ここでは Clock の立ち下がりをカウントするカウンタ回路を作成した。

2.3.1 タイミングチャート

表 7 から JK F/F に $J = K = 1$ を入力すると出力 Q が反転する。したがって矩形波を入力すると 1 周期ごとに状態が反転するため、分周器として機能することがわかる。したがって図 14 のように JK F/F を複数段接続すると各出力 Q_n は図 15 のタイミングチャートのようになり、CLK の立ち下がりを 2 進数で数えることができる。タイミングチャートは Timing Chart Formatter[1] を用いて生成し、Microsoft Office PowerPoint で加筆した。ただし実際には素子の Low Level まで電圧が落ち込むのに有限の時間がかかるため、図 15 のように少しずつタイミングが遅れていく。そのため構成できる桁数には限界があると考えられる。

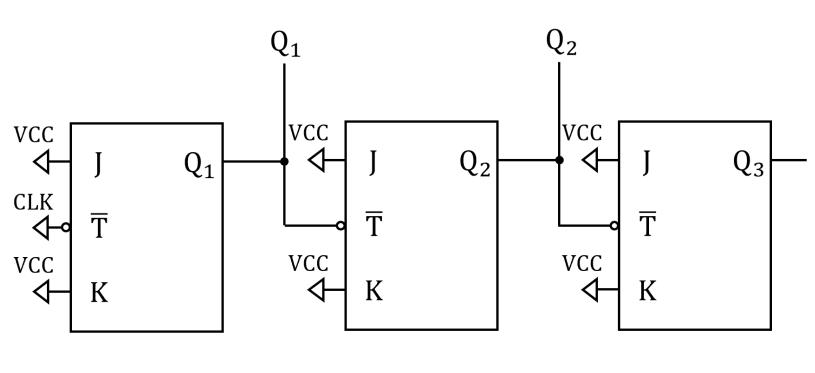


図 14 非同期カウンタの構成

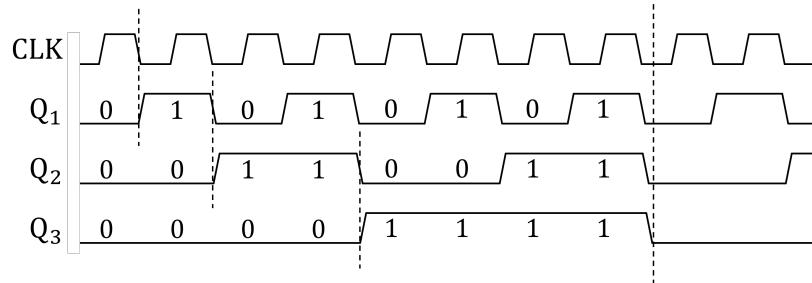


図 15 非同期カウンタのタイミングチャート

2.3.2 実装及び動作確認

図 16 に実装した回路を示す。LED Q_n が n 番目の出力を示す。これにより各出力がタイミングチャートで期待した通りの挙動をしていることが確認できた。

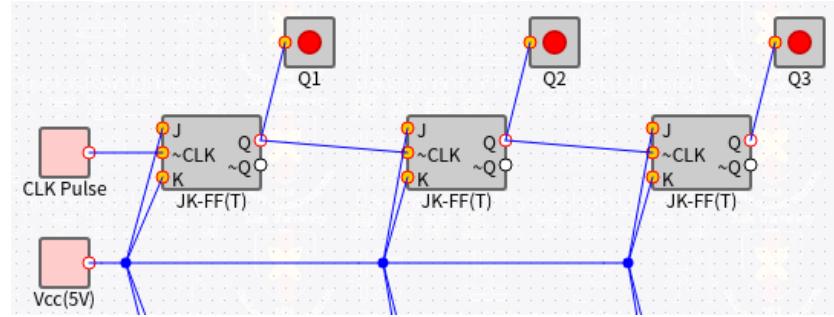


図 16 非同期式カウンタの実装

2.4 非同期式カウンタ (正論理)

2.4.1 タイミングチャート

正論理の JK F/F は CLK の立ち上がりで状態が更新されるため、図 18 のように接続するとタイミングチャートは図 19 のようになる。したがって各出力の否定 \bar{Q}_n がカウンタとして機能していることがわかる。

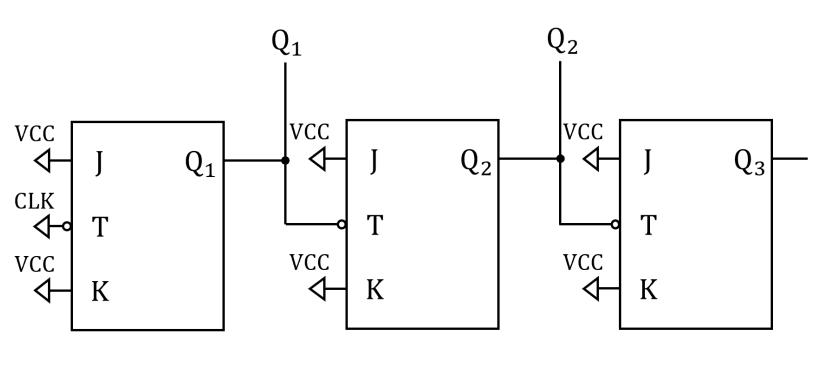


図 17 非同期カウンタの構成

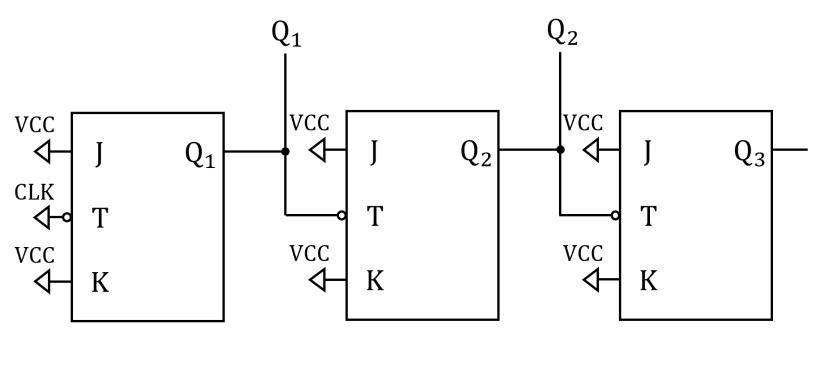


図 18 非同期カウンタの構成

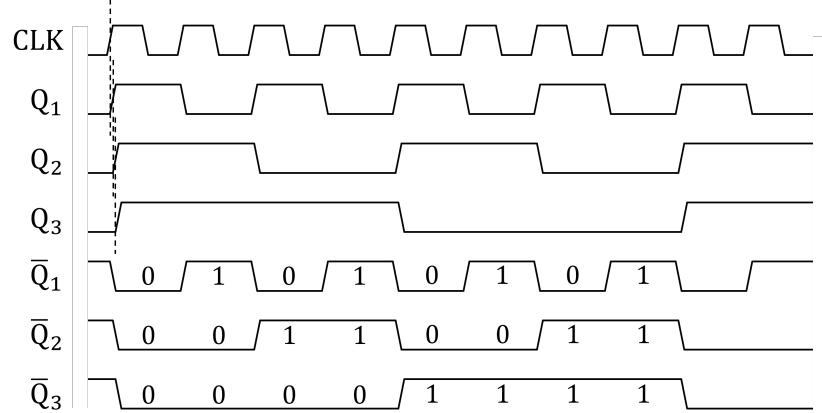


図 19 非同期カウンタのタイミングチャート

2.4.2 実装及び動作確認

図 20 に実装した回路を示す。LED Q_n が n 番目の出力を示す。これにより各出力がタイミングチャートで期待した通りの挙動をしていることが確認できた。

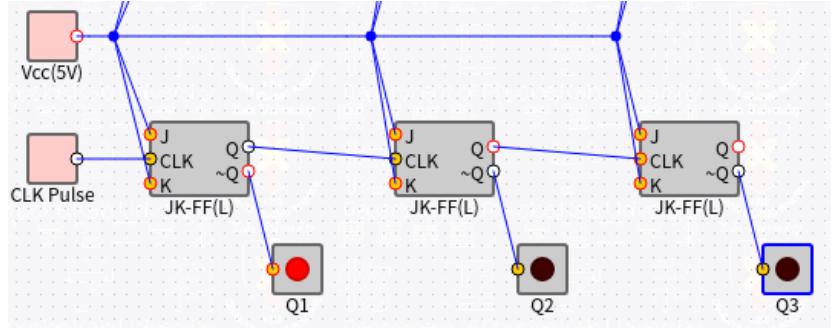


図 20 非同期式カウンタの実装

2.5 同期式カウンタ

前節の非同期式カウンタは後段に行くほど信号が遅れるため構成できる桁数に限界があった。対して同期式カウンタはすべての桁に同一の Clock を入力するため、上位桁の遅れがなくより多くの桁数を構成できる。ここでは 3 桁で 5 進のカウンタを作成した。

2.5.1 設計

JK F/F の出力 Q_{n+1} は Q_n を明示すると表 10 のような真理値表で表される。したがって $0 \rightarrow 0$ の遷移では $J = 0, K = *$, $0 \rightarrow 1$ の遷移では $J = 1, K = *$, $1 \rightarrow 0$ の遷移では $J = *, K = 1$, $1 \rightarrow 1$ の遷移では $J = *, K = 0$ とすれば良い。

Q_{prev}	J	K	Q_{next}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

表 10 JK F/F の動作

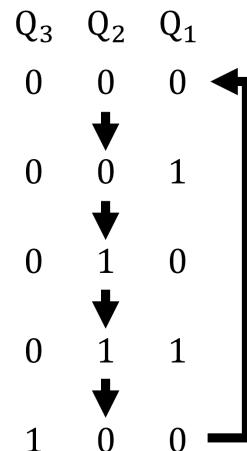


図 21 同期式カウンタの状態遷移

以上から J_n, K_n の真理値表は表 11 のようになる。また J_n, K_n のカルノー図は図 22 から図 27 のようになる。したがって J_n, K_n の論理式は以下のようになる。

$$\begin{aligned} J_1 &= \overline{Q}_3, & K_1 &= 1 \\ J_2 &= Q_1, & K_2 &= Q_1 \\ J_3 &= Q_1 Q_2, & K_3 &= 1 \end{aligned} \quad (3)$$

Q_3	Q_2	Q_1	J_1	K_1	J_2	K_2	J_3	K_3
0	0	0	1	*	0	*	0	*
0	0	1	*	1	1	*	0	*
0	1	0	1	*	*	0	0	*
0	1	1	*	1	*	1	1	*
1	0	0	0	*	0	*	*	1
1	0	1	*	*	*	*	*	*
1	1	0	*	*	*	*	*	*
1	1	1	*	*	*	*	*	*

表 11 J_n, K_n の真理値表

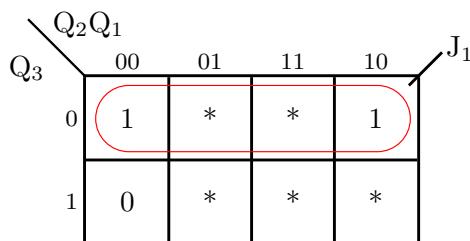


図 22 J_1 のカルノー図

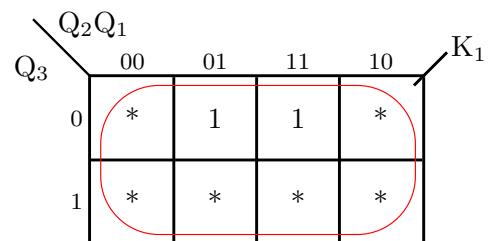


図 23 K_1 のカルノー図

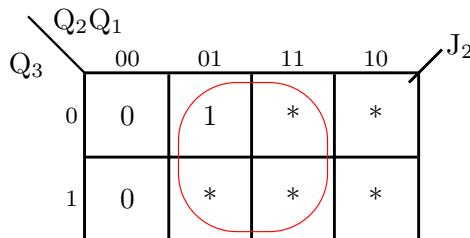


図 24 J_2 のカルノー図

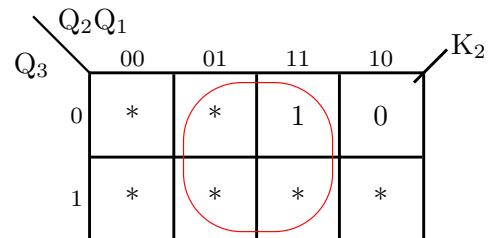


図 25 K_2 のカルノー図

Q ₂ Q ₁		J ₃			
Q ₃		00	01	11	10
0	0	0	1	0	
1	*	*	*	*	*

図 26 J₃ のカルノー図

Q ₂ Q ₁		K ₃			
Q ₃		00	01	11	10
0	*	*	*	*	*
1	1	*	*	*	*

図 27 K₃ のカルノー図

2.5.2 実装及び動作確認

図 28 に実装した回路を示す。LED Q_n が n 番目の出力を示す。これにより CLK の立ち下がりを 0 から 4 番目まで正常にカウントしていることが確認できた。

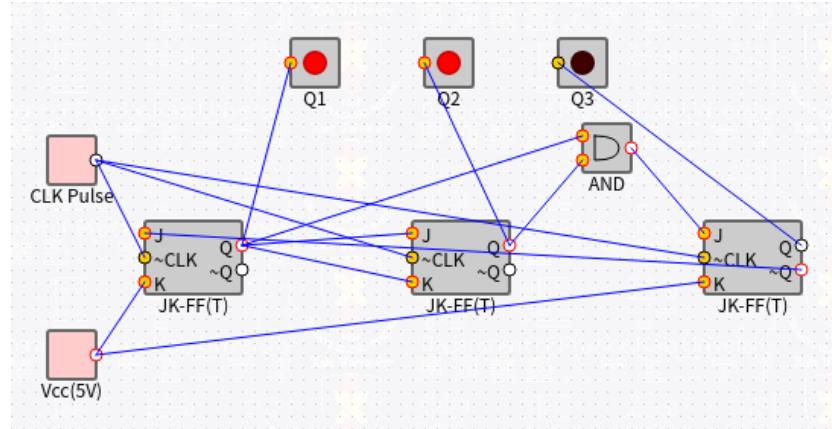


図 28 同期式カウンタの実装

3 実践編; 加算器

ここでは 2 衡の 2 進数 A_2A_1 及び B_2B_1 を加算し, その結果を 7 セグメント LED に出力する回路を作成した.

3.1 7 セグメント LED の表示回路

3.1.1 設計

7 セグメント LED の入力は各セグメントに対して図 36 のようにアサインされている. これに対して 3 衡の 2 進数 $X_3X_2X_1$ を入力し, 10 進で表示する. 各セグメントの入力を L_n とすると真理値表は表 12 のようになる. したがって各入力のカルノー図は図 29 から図 35 のようになる. また, 論理式は以下のようになる.

$$\begin{aligned}
 L_1 &= X_2 + \overline{X_1} \oplus \overline{X_3} \\
 L_2 &= \overline{X_3} + \overline{X_1} \oplus X_2 \\
 L_3 &= X_1 + \overline{X_2} + X_3 \\
 L_4 &= X_1 \overline{X_2} X_3 + \overline{X_1} \overline{X_3} + \overline{X_1} X_2 + X_2 \overline{X_3} \\
 L_5 &= \overline{X_1} X_2 + \overline{X_1} \overline{X_3} \\
 L_6 &= \overline{X_2} X_3 + \overline{X_1} \overline{X_2} + \overline{X_1} X_3 \\
 L_7 &= \overline{X_1} X_2 + X_2 \oplus X_3
 \end{aligned} \tag{4}$$

X_3	X_2	X_1	L_1	L_2	L_3	L_4	L_5	L_6	L_7
0	0	0	1	1	1	1	1	1	0
0	0	1	0	1	1	0	0	0	0
0	1	0	1	1	0	1	1	0	1
0	1	1	1	1	1	1	0	0	1
1	0	0	0	1	1	0	0	1	1
1	0	1	1	0	1	1	0	1	1
1	1	0	1	0	1	1	1	1	1
1	1	1	1	1	1	0	0	0	0

表 12 7 セグメント LED の真理値表

		X ₂ X ₁	00	01	11	10	L ₁
		X ₃	0	1	1	1	
X ₂ X ₁	X ₃	00	1	0	1	1	L ₁
		01	0	1	1	1	
X ₂ X ₁	X ₃	11	1	1	1	1	
		10	1	1	1	1	

図 29 L₁ のカルノー図

		X ₂ X ₁	00	01	11	10	L ₂
		X ₃	0	1	1	1	
X ₂ X ₁	X ₃	00	1	1	1	1	L ₂
		01	0	1	1	1	
X ₂ X ₁	X ₃	11	1	1	1	1	
		10	1	1	1	1	

図 30 L₂ のカルノー図

		X ₂ X ₁	00	01	11	10	L ₃
		X ₃	0	1	1	0	
X ₂ X ₁	X ₃	00	1	1	1	0	L ₃
		01	1	1	1	1	
X ₂ X ₁	X ₃	11	1	1	1	1	
		10	1	1	1	1	

図 31 L₃ のカルノー図

		X ₂ X ₁	00	01	11	10	L ₄
		X ₃	0	1	1	1	
X ₂ X ₁	X ₃	00	1	0	1	1	L ₄
		01	0	1	0	1	
X ₂ X ₁	X ₃	11	1	1	1	1	
		10	1	1	1	1	

図 32 L₄ のカルノー図

		X ₂ X ₁	00	01	11	10	L ₅
		X ₃	0	1	0	1	
X ₂ X ₁	X ₃	00	1	0	0	1	L ₅
		01	0	0	0	1	
X ₂ X ₁	X ₃	11	1	0	0	1	
		10	1	0	0	1	

図 33 L₅ のカルノー図

		X ₂ X ₁	00	01	11	10	L ₆
		X ₃	0	1	0	0	
X ₂ X ₁	X ₃	00	1	0	0	0	L ₆
		01	1	1	0	0	
X ₂ X ₁	X ₃	11	1	0	0	0	
		10	1	0	0	0	

図 34 L₆ のカルノー図

		X ₂ X ₁	00	01	11	10	L ₇
		X ₃	0	1	0	1	
X ₂ X ₁	X ₃	00	0	0	1	1	L ₇
		01	1	1	0	1	
X ₂ X ₁	X ₃	11	1	0	0	1	
		10	1	0	0	1	

図 35 L₇ のカルノー図

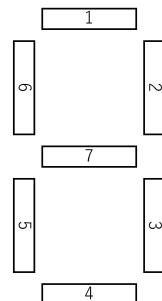


図 36 7 セグメント LED のアサイン

3.1.2 実装及び動作確認

図 37 に実装した回路を示す. トグルスイッチ X_n が X_n の状態を表す. 全 8 通りの入力を試行し, 期待される通りの動作をしていることを確認できた.

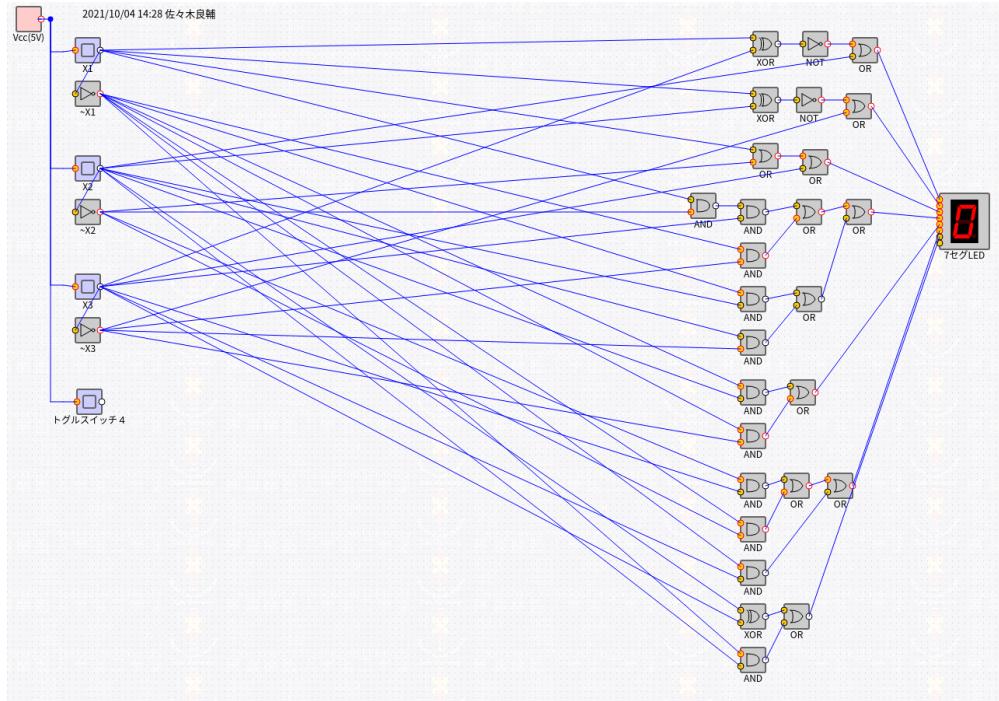


図 37 7 セグメント LED の表示回路

3.2 半加算器

3.2.1 設計

半加算器の真理値表を表 13 に示す。これから明らかに以下の論理式を得る。

$$\begin{aligned} S &= A_1 \oplus B_1 \\ C &= A_1 \cdot B_1 \end{aligned} \tag{5}$$

A_1	B_1	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

表 13 半加算器の真理値表

3.2.2 実装及び動作確認

図 38 に実装した回路を示す。トグルスイッチ A1, B1 がそれぞれ A_1, B_1 を表している。全 4 通りの入力を試行し、期待される通りの動作をしていることを確認できた。

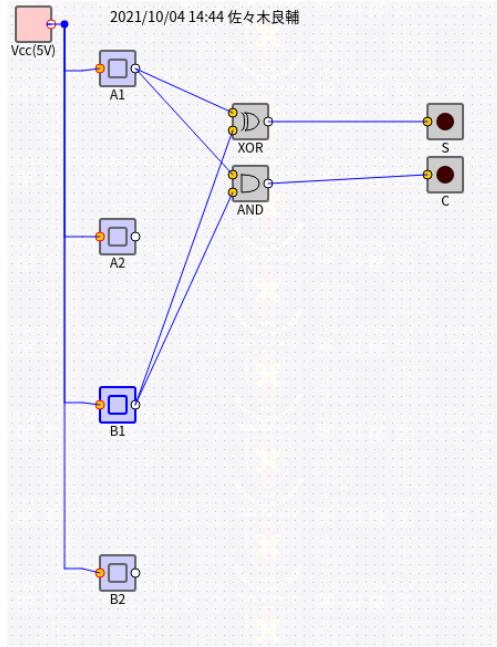


図 38 半加算器

3.3 全加算器

3.3.1 設計

全加算器は前段からの桁上げ C_n 及び入力 A_{n+1}, B_{n+1} を受けて和 S_{n+1} 及び次の桁上げ C_{n+1} を出力する。真理値表は表 14 のようになる。ここで S_{n+1} の真理値表を C_n によって場合分けすると表 15 及び表 16 のようになる。したがって S_{n+1} の論理式は以下のようになる。

$$S_{n+1} = \overline{C_n}(A_{n+1} \oplus B_{n+1}) + C_n(\overline{A_{n+1}} \oplus \overline{B_{n+1}}) \quad (6)$$

また C_{n+1} のカルノー図は図 39 であり論理式は以下のようになる。

$$C_{n+1} = A_{n+1}C_n + B_{n+1}C_n + A_{n+1}B_{n+1} \quad (7)$$

A_{n+1}	B_{n+1}	C_n	C_{n+1}	S_{n+1}
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

表 14 全加算器の真理値表

A_{n+1}	B_{n+1}	S_{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

表 15 S_{n+1} の真理値表 ($C_n = 0$)

A_{n+1}	B_{n+1}	S_{n+1}
0	0	1
0	1	0
1	0	0
1	1	1

表 16 S_{n+1} の真理値表 ($C_n = 1$)

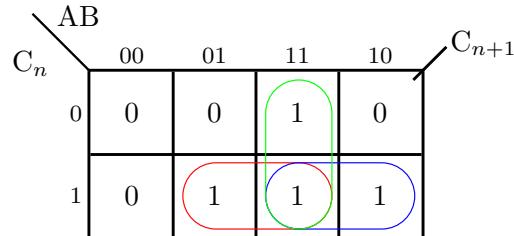


図 39 C_{n+1}

3.3.2 実装及び動作確認

図 40 に実装した回路を示す。トグルスイッチ A_n, B_n がそれぞれ A_n, B_n を表している。1 段目は半加算器であり、2 段目に上の回路を用いている。全 16 通りの入力を試行し、期待される通りの動作をしていることを確認できた。

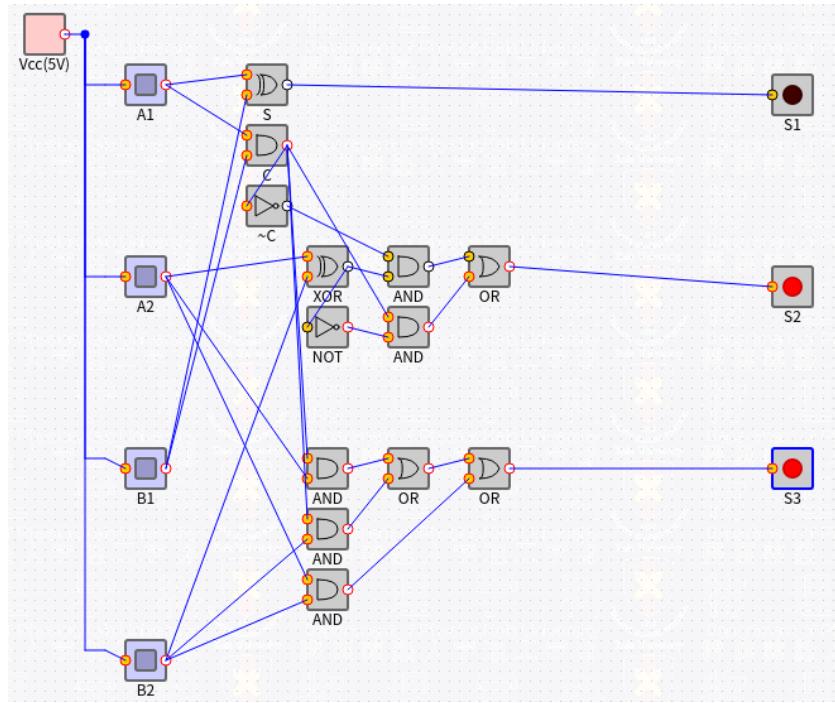


図 40 全加算器

3.4 加算器と7セグメントLEDの結合

上で作成した7セグメントLEDの表示回路と加算器を組み合わせ、計算結果を10進で表示する回路を作成した。

3.4.1 実装及び動作確認

図41に実装した回路を示す。左側に加算器、右側に7セグメントLEDの表示回路がある。全16通りの入力を試行し、期待される通りの動作をしていることを確認できた。

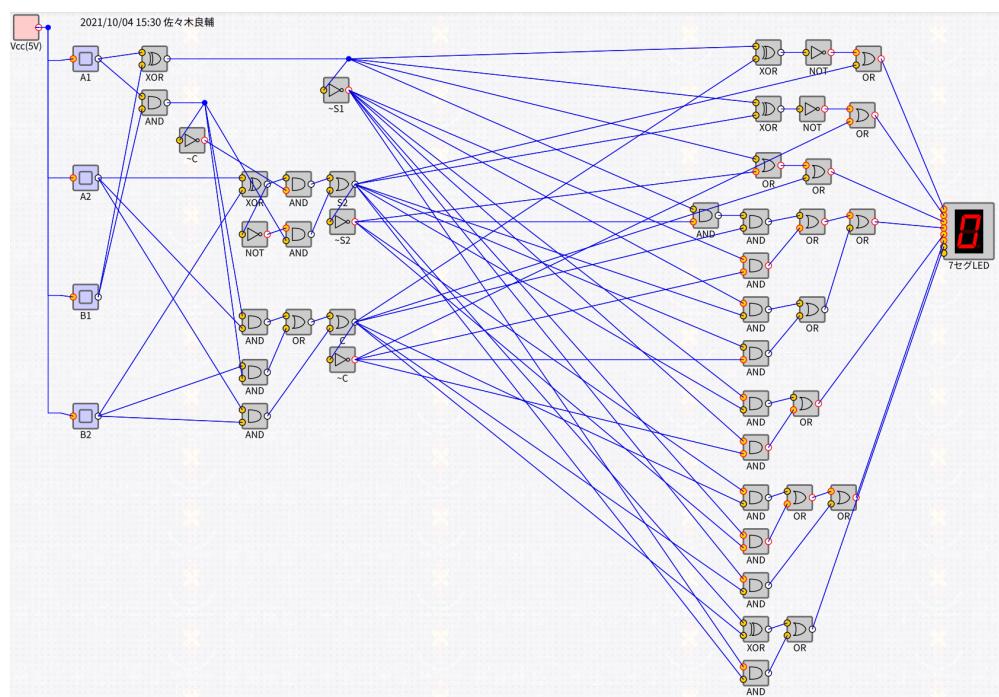


図41 加算器と表示回路

4 応用編; 早撃ちゲーム

早撃ちゲームは合図生成部, ロジック部, メモリー&出力部, リセット部から構成される。

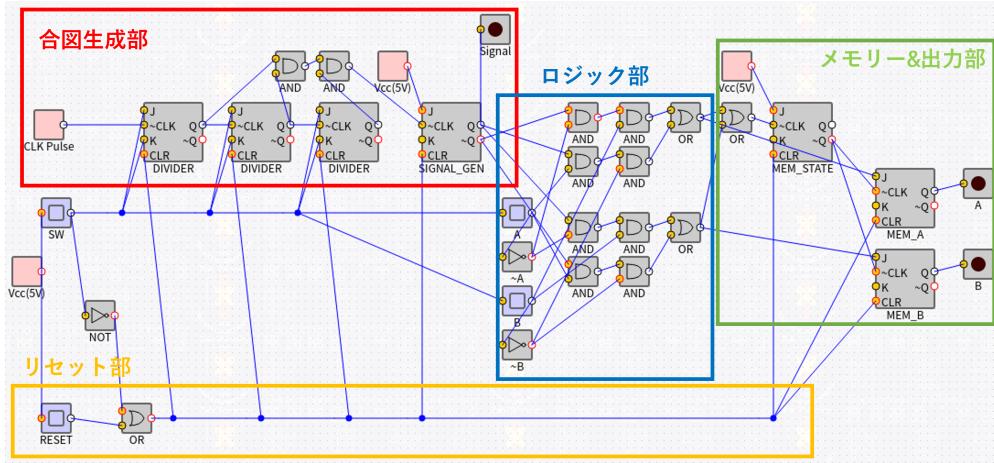


図 42 早撃ちゲーム

4.1 合図生成部

図 43 に合図生成部の回路を示す。合図生成部は 3 桁の分周器 (カウンタ) とメモリー用の JK F/F (SIGNAL_GEN) から成る。カウンタがオーバーフローすると SIGNAL_GEN の CLK に信号が入力され $J = 1, K = 0$ であることから $Q = 1$ となり、表示用 LED (Signal) 及びロジック部に入力される。これ以降はカウンタがオーバーフローしても $Q = 1$ のままである。カウンタの JK F/F の入力 J と入力 K は電源スイッチ (SW) から入力されており、これが OFF になるとカウントが停止する。

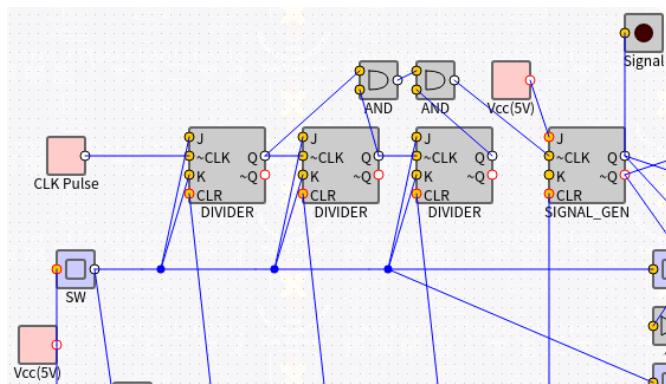


図 43 合図生成部

4.2 ロジック部

ロジック部は合図の状態とプレイヤー A, B の入力に応じて勝敗を判定する。

4.2.1 設計

プレイヤー A, B の勝敗の状態を W_A , W_B とする。 $W_A = 1$ のときは A の勝利, $W_B = 1$ のときは B の勝利である。このとき真理値表は表 17 のようになる。ここで Q は合図生成部から入力される合図信号である。ただし 2 人が同時にボタンを押したときはドローとする。したがって論理式は以下のようになる。

$$\begin{aligned} W_A &= \overline{QAB} + QAB \\ W_B &= \overline{QA\bar{B}} + Q\bar{A}\bar{B} \end{aligned} \quad (8)$$

Q	A	B	W_A	W_B
0	0	0	0	0
0	0	1	1	0
0	1	0	0	1
0	1	1	0	0
1	0	0	0	0
1	0	1	0	1
1	1	0	1	0
1	1	1	0	0

表 17 ロジック部の真理値表

4.2.2 実装及び動作確認

図 44 にロジック部の実装を示す。本来 Q は合図生成部から入力されるが、ここでは単体試験のためトグルスイッチを用いて代用している。全 8 通りの入力を試行し、期待される通りの動作をしていることを確認できた。

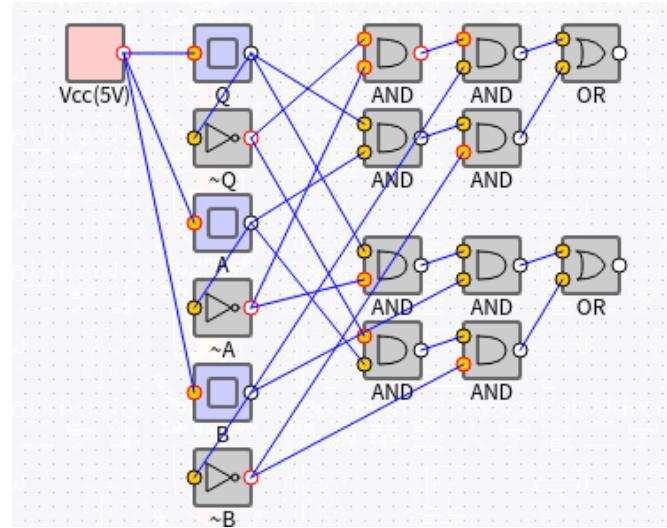


図 44 ロジック部

4.3 メモリー&出力部

メモリー&出力部はロジック部が出力した勝敗を記録、出力する。メモリー&出力部は 3 個の JK F/F (MEM_STATE, MEM_A, MEM_B) と出力用 LED A, B からなる。MEM_STATE は W_A , W_B のどちらかが $1 \rightarrow 0$ と遷移したときに $J = 1$ であることから $\bar{Q} = 0$ となる。以降 \bar{Q} はスイッチの状態が変化しても 0 のままである。MEM_A, MEM_B の入力 J には W_A , W_B が入力されており、A が勝利したときは MEM_A に 1, B が勝利したときは MEM_B に 1 が記録される。また MEM_A, MEM_B の \bar{CLK} には MEM_STATE の \bar{Q} が入力されているため、これ以降はスイッチの状態が変化しても記録された値は変化しない。

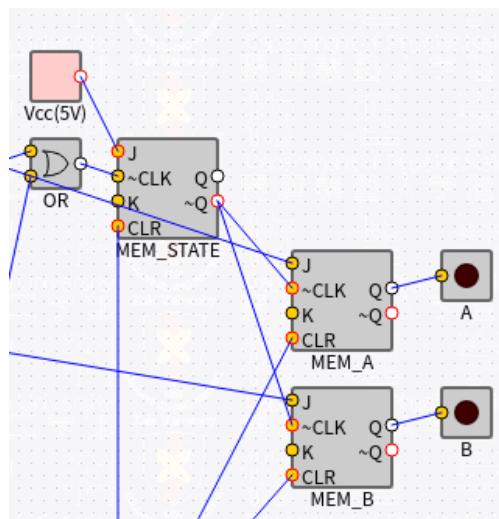


図 45 メモリー&出力部

4.4 リセット部

リセット部は合図生成部及びメモリー&出力部に含まれるすべての JK F/F に CLR 信号を入力し, 状態を初期化することでリセット処理を行う. また電源スイッチが OFF になったときもリセット信号が 1 になり, すべてリセットされる.

4.5 全体の動作確認

プレイヤー A, B それぞれが勝利する場合, お手つきする場合の全 4 通りについて試行し, 期待される通りの動作をしていることを確認できた.

参考文献

- [1] 武内修—筑波大学. Timing chart formatter. <https://rawgit.com/osamutake/tchart-coffee/master/bin/editor-offline.html>, 04 2021. (Accessed on 10/16/2021).