

Arquiteturas de Computadores

Arquiteturas multi-núcleo

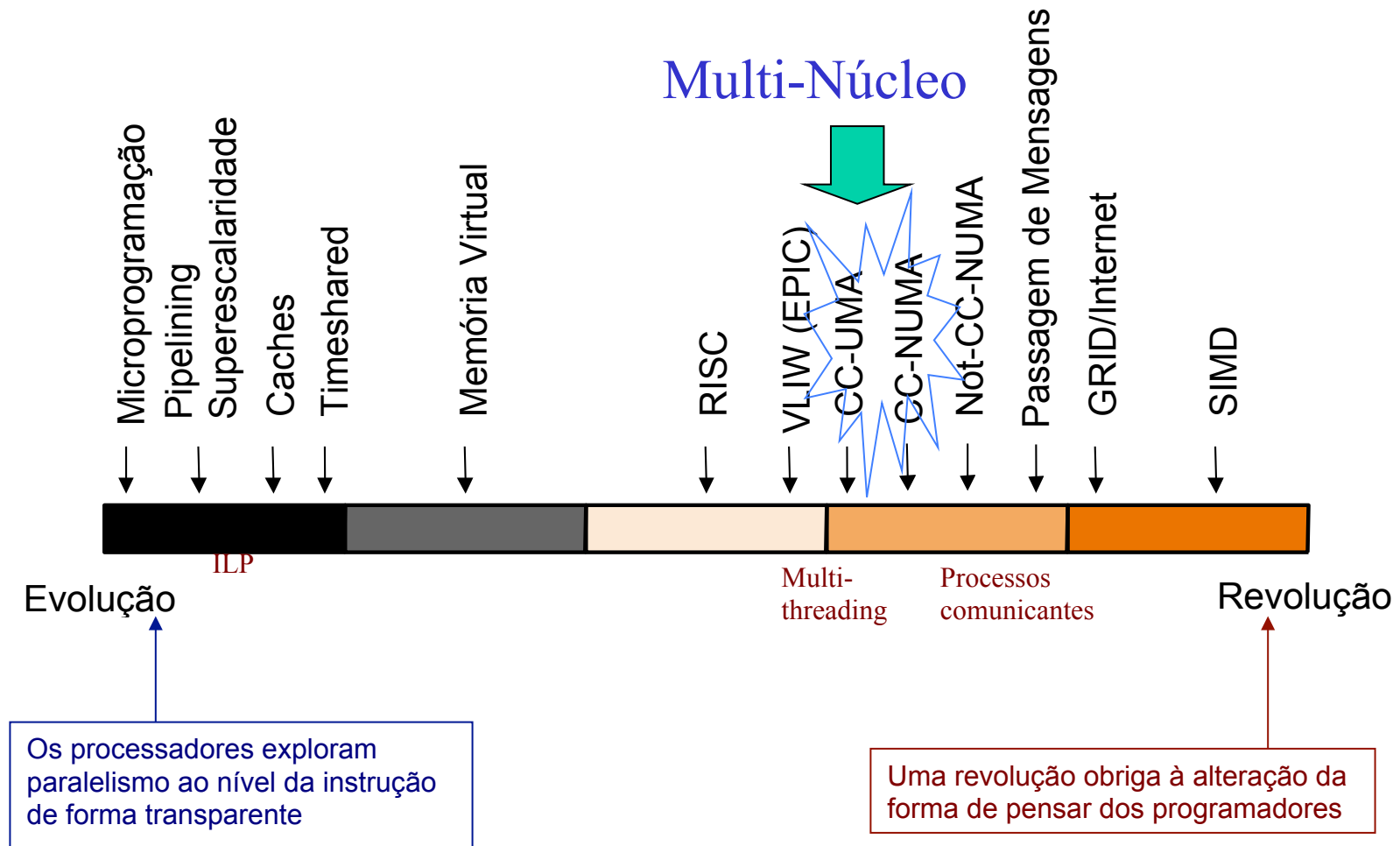
João Luís Ferreira Sobral

jls@...

Arquiteturas de computadores

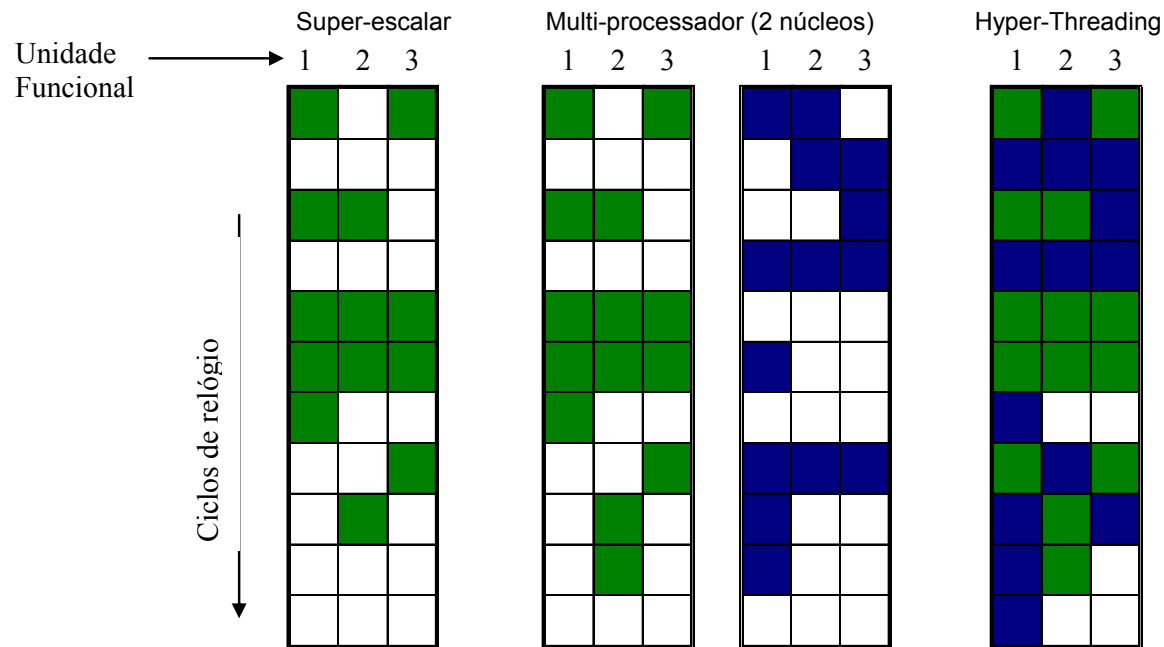
Conteúdos	5 – Processamento paralelo	
Resultados de Aprendizagem	5.1 - Processadores Multi-Núcleo	
	R5.1 – Justificar e comparar tendências recentes na arquitetura e organização de sistemas de computação	

Arquiteturas de Computadores



Arquiteturas de Computadores

Hyper-Threading versus arquiteturas multi-núcleo



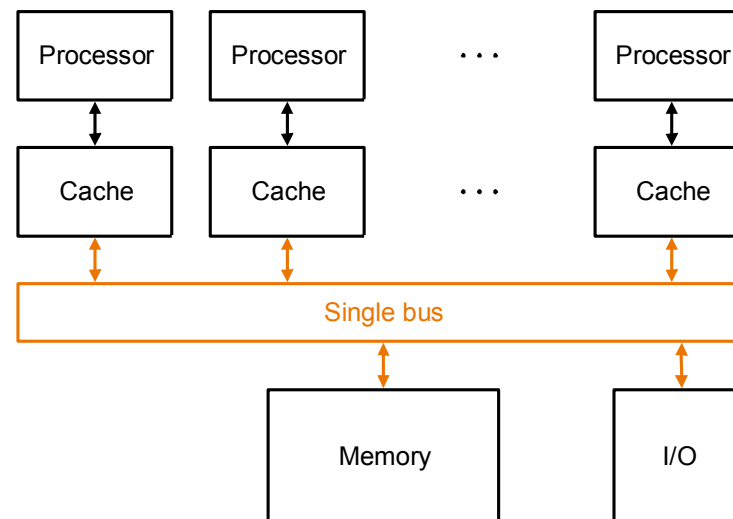
1 processador com Hyper-threading = 2 processadores ?

Não porque parte dos recursos do processador não são duplicados (i.é., são divididos pelos vários fios de execução) (*caches*, registros internos, *buffers* internos, etc.)

Arquiteturas multi-núcleo

Memória centralizada (CC-UMA, CC-NUMA)

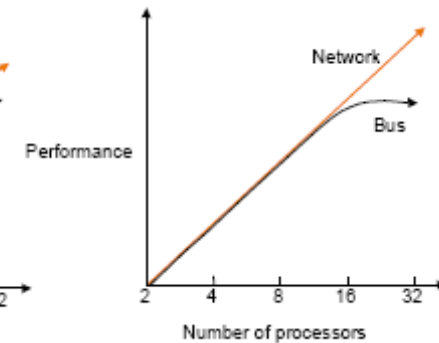
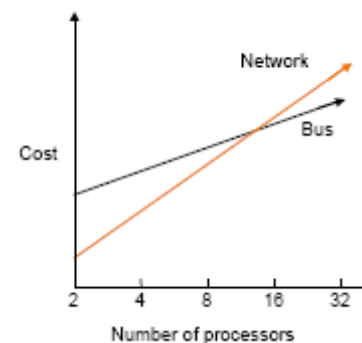
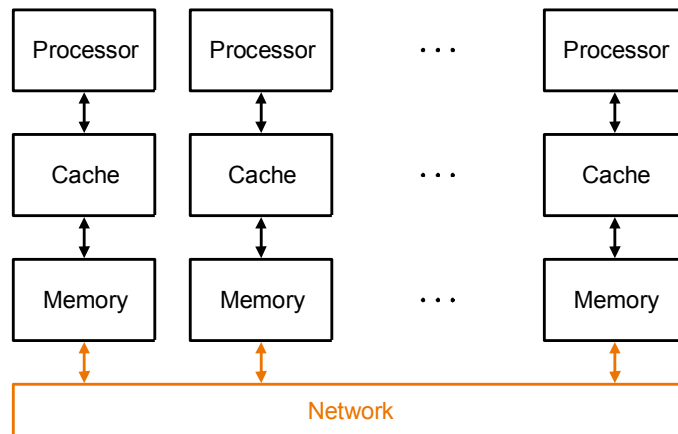
- Vários processadores partilham um barramento (*bus*) de acesso à memória
- As *caches* de cada processador contribuem para reduzir o tráfego no barramento e a latência média dos acessos à memória
- Um valor pode estar replicado em vários sítios
 - são necessários mecanismos para assegurar a coesão entre as *caches* dos vários processadores e a memória
- A largura de banda de acesso à memória é partilhada pelos vários processadores
 - limitação da escalabilidade deste tipo de arquitetura



Arquiteturas multi-núcleo

Memória distribuída – processadores conectados por uma rede de interligação (CC- NUMA, passagem de mensagens)

- Os sistemas interligados por um barramento tendem a limitar o número de processadores que efetivamente podem ser ligados
- A alternativa reside na utilização de uma rede dedicada à interligação dos vários processadores, possuindo cada processador a sua memória dedicada



Arquiteturas multi-núcleo

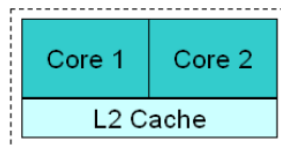
- **Questões de desenho dos processadores multi-núcleo**
 - **Hierarquia processador-memória**
 - Organização dos diversos níveis de memória cache
 - Coesão entre os vários níveis de memória cache
 - Conectividade dos núcleos com o exterior
 - **Topologias de interligação entre núcleos**
 - Barramentos, estrela, híbridos
 - **Programação de sistemas multi-núcleo**
 - Especificação de atividades paralelas
 - Modelos de consistência da memória

Arquiteturas multi-núcleo

- **Hierarquia processador-memória**

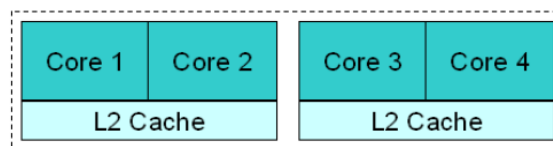
- Partilha de L1, L2 ou L3 entre núcleos?
 - Como assegurar a coesão das caches de diferentes núcleos?
- Partilha do barramento de acesso à memória externa?

– Exemplos:



Shared Cache

- Core Duo
- Core 2 Duo

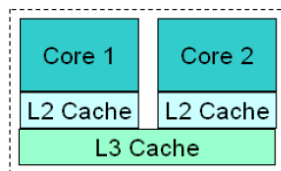


Current Intel Quad-Core CPUs

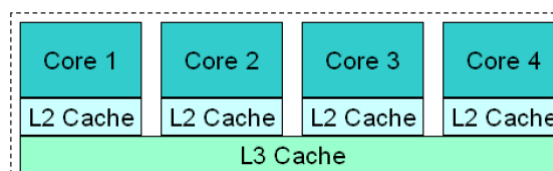
- Core 2 Quad
- Core 2 Extreme QX

L1 = 32KB+32KB (/Core)

L2 = 2MB/4MB/6MB



K10-based dual-core CPU



K10-based quad-core CPU

L1 = 64KB+64KB (/Core)

L2 = 512K (/Core)

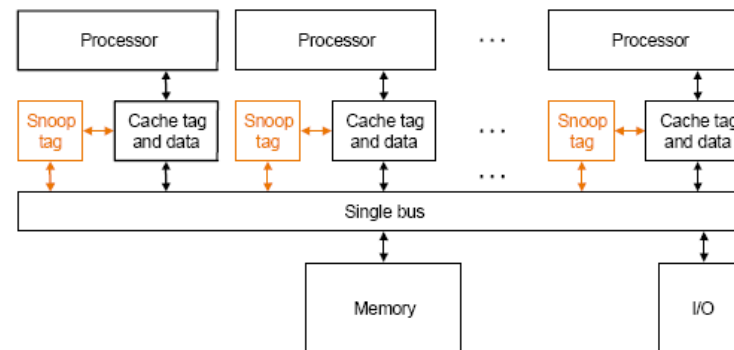
L3 = 2MB/6MB

Arquiteturas multi-núcleo

- **Hierarquia processador-memória**

- Protocolos de coesão entre “caches”

- A utilização de protocolos *write back* pode originar valores inconsistentes entre a cache e a memória principal partilhada
 - Os **protocolos de coesão de caches** asseguram a coesão entre os valores nas *caches* dos vários processadores/núcleos e a memória central/cache partilhada
 - **Coesão baseada em Snooping** – cada bloco da *cache* contém informação indicando se é partilhado.



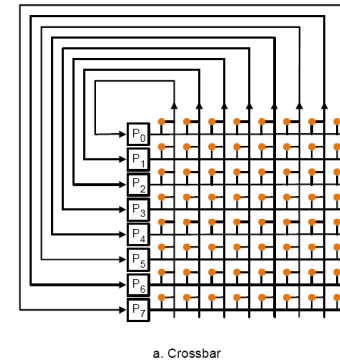
- **Write-invalidate**: numa escrita todas as outras cópias são marcadas como inválidas
 - » Gera menos tráfego no barramento (ex. no caso de escritas sucessivas)
 - **Write-update**: numa escrita as outras cópias são também atualizadas
 - » Reduz a latência nos acessos
 - **Falsa partilha**: duas variáveis utilizadas por diferentes processadores são mapeadas no mesmo bloco da cache
 - Problema agrava com o aumento da dimensão dos blocos da cache
 - Caches “inclusivas” tornam o “snoop” no barramento mais rápido

Arquiteturas multi-núcleo

- **Redes de interligação**

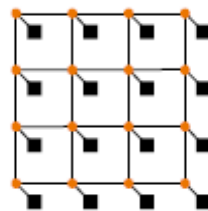
- Topologias

- Completamente conectada (requer N^2 comutadores)

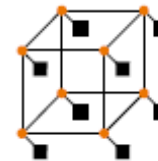


- Anel (requer $2N$ comutadores)

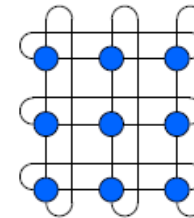
- Matriz e hipercubo



a. 2D grid or mesh of 16 nodes



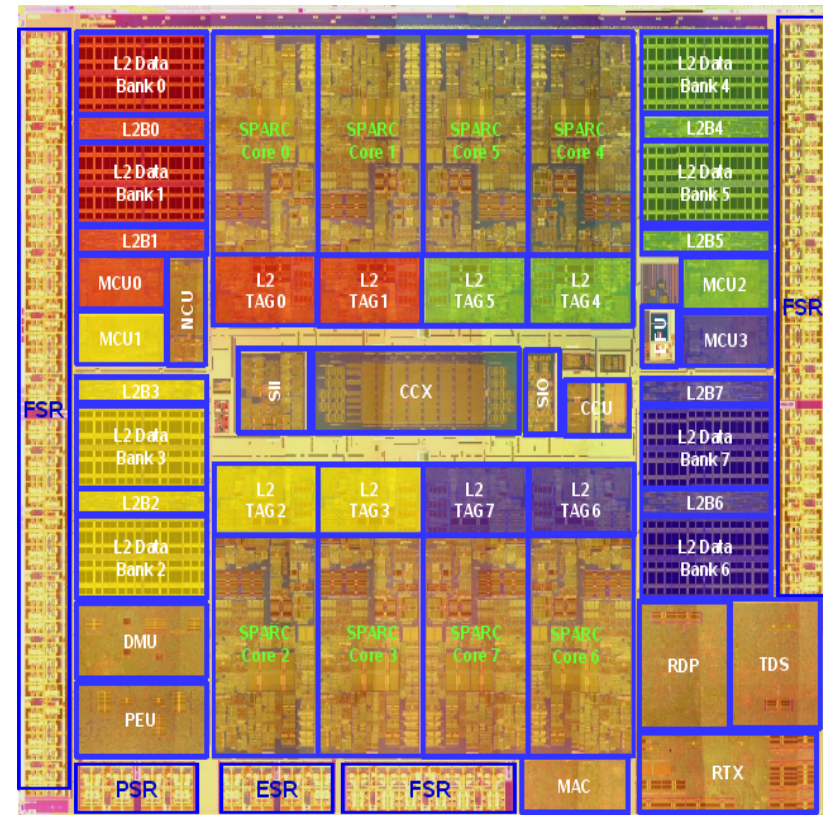
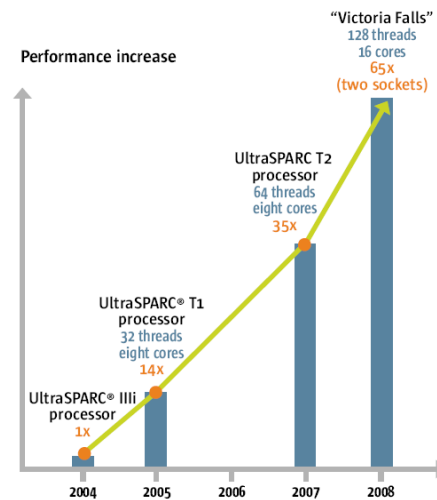
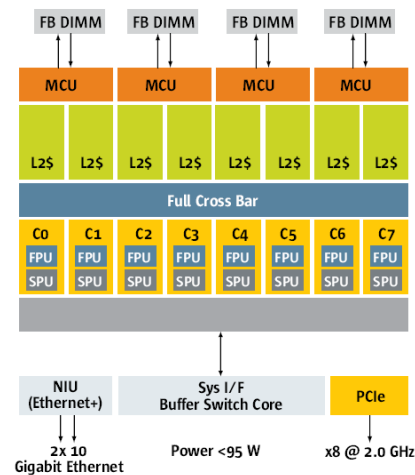
b. n-cube tree of 8 nodes ($8 = 2^3$ so $n = 3$)



Arquiteturas multi-núcleo

OpenSparc T2

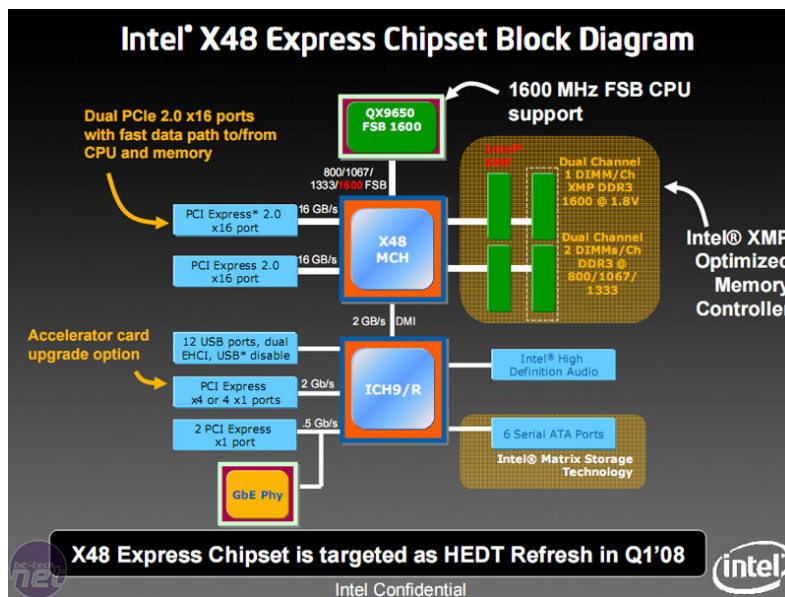
- 8 núcleos
- 64 *threads* simultâneas (8/núcleo)
- 8 bancos de *caches* L2
- 4 controladores de memória



Arquiteturas multi-núcleo

• Arquitetura do sistema (tradicional)

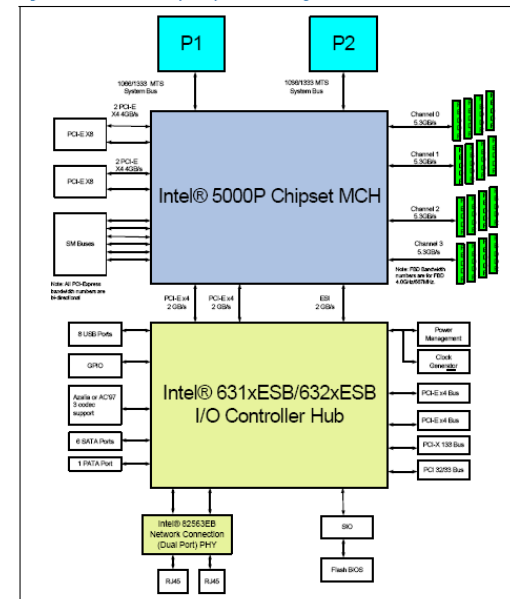
- Controlador de memória externo



Largura de Banda da memória:
25.6 GB/s (DDR3 1600 dual 12.8 Gb/s)

O controlador de memória é o “gargalo”!

Figure 1-1. Intel 5000P Chipset System Block Diagram



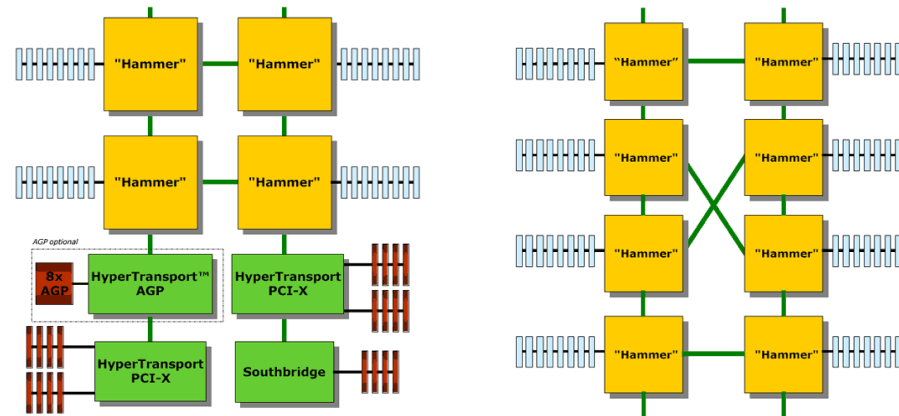
MCH Internal micro-architecture

- FSB**
 - 2 load point-to-point operation at 333MHz (1333MT/s)
 - Supports “MESI” Xeon® processor Bus protocol with cache coherency between the 2 buses
 - Overhead of cross-bus coherency of mitigated by snoop filter (SF)
 - FSB transactions are “Deferred” (in general)
 - In-order completions for SF on mode / single bus mode possible
- Snoop Filter**
 - The snoop filter stores tags and coherency state info of all cache lines mapped into coherent system memory
 - Snoop Filter (SF) can help improve Dual Independent FSB efficiency
- Coherency Engine/Data manager**
 - Transaction flows & ensures MESI coherency protocol
 - Resolve conflicts/retries/anti-starvation/deadlock prevention
 - Interfaces to FSB, SF, DM, Memory and I/O unit clusters
 - Tracks all pending transactions (memory, I/O, configurations, locks)
- Memory Controller**
 - Supports three interleaving modes (Branch, Rank, Bank)

Arquiteturas multi-núcleo

AMD K10 (Opteron)

- Integra o controlador de memória do próprio chip e 4 ligações externas (Hyper Transport) para ligação a outros processadores/periféricos.
- O Hyper Transport permite a ligação até 8 processadores sem recurso a componentes adicionais:

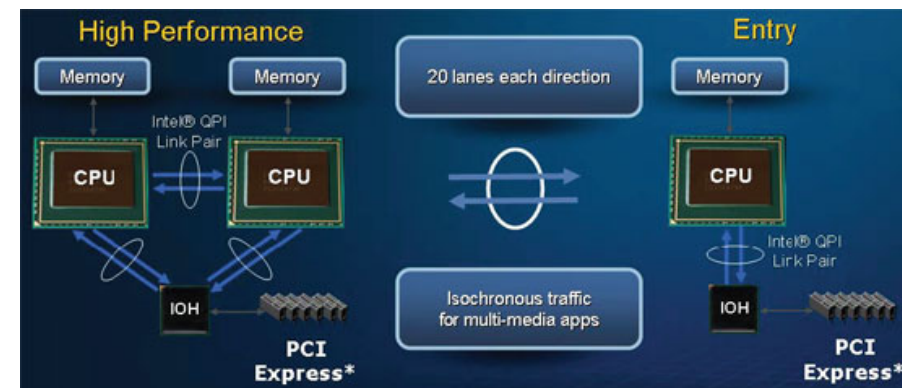
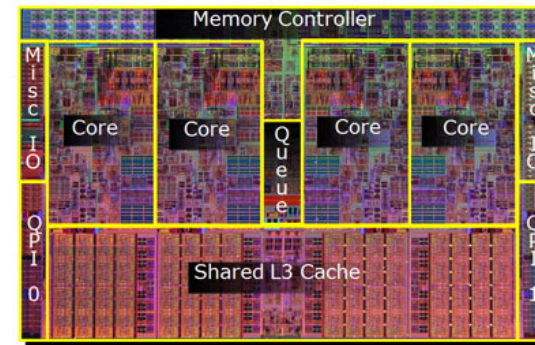
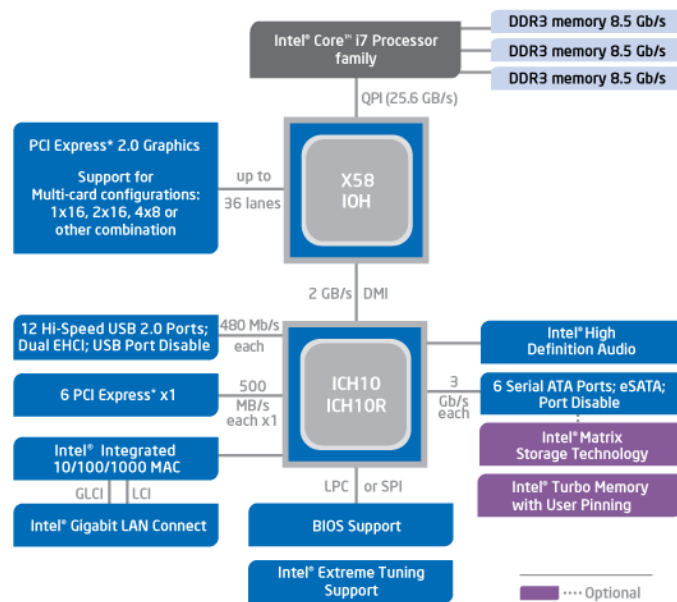


- Cada processador pode conter vários núcleos
- CC-NUMA - a largura de banda disponível para a memória local a cada processador é superior à disponibilizada pelo Hyper Transport

Arquiteturas multi-núcleo

- **Intel Core i7**

- Controlador de memória integrado
- Barramento QPI para conexão a periféricos ou outros processadores (2 x 12,8 GB/s)

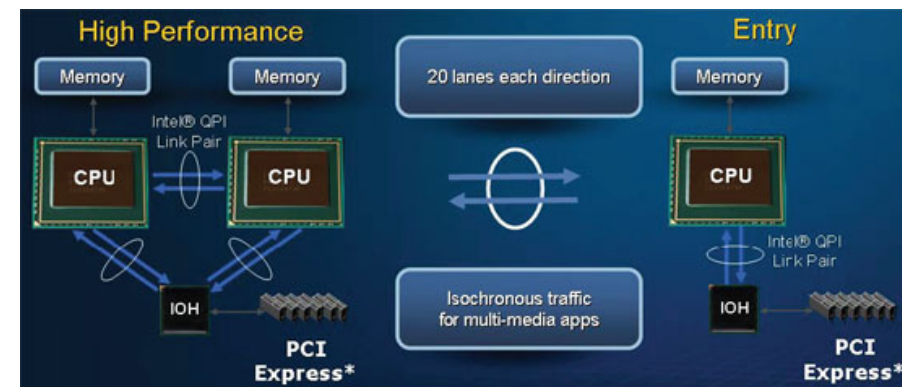
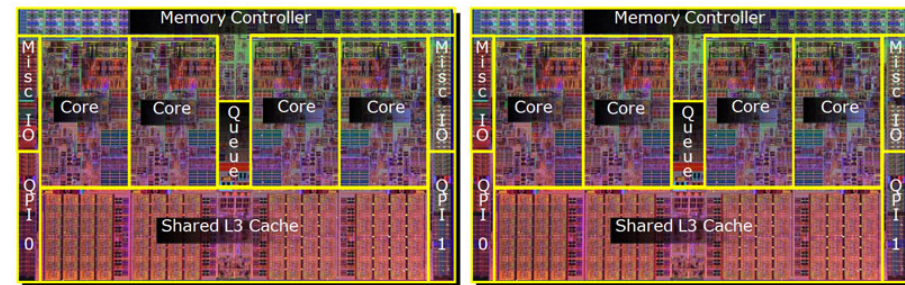


Arquiteturas multi-núcleo

- **Non Uniform Memory Access (NUMA)**

- Nas arquiteturas recentes (e.g., i7) a introdução de vários bancos de memória ligados a múltiplos CPU implica uma latência de acesso não uniforme à memória
 - Exemplo (i7, valores estimados)

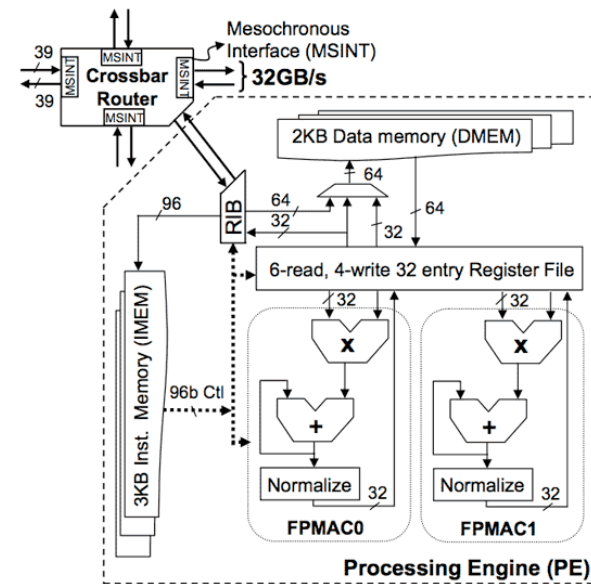
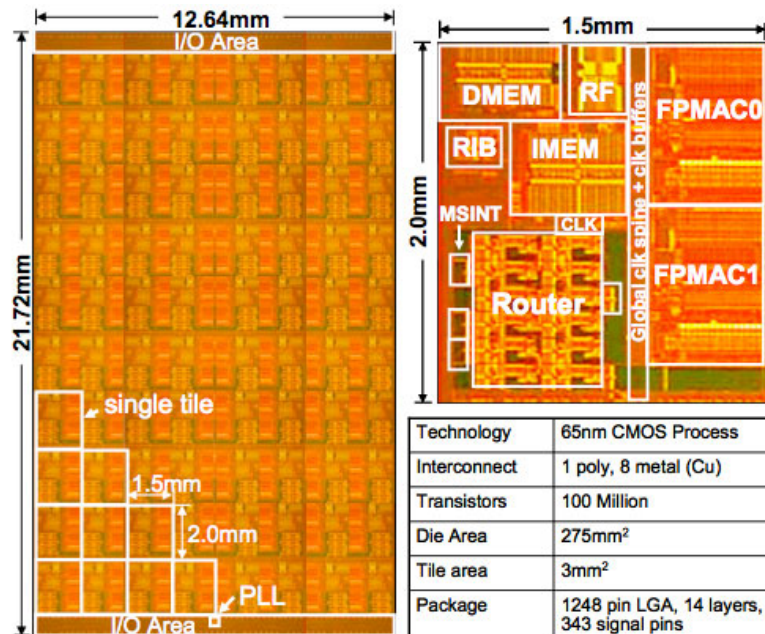
Data Source	Latency
L1	4 cycles
L2	10 cycles
L3 CACHE hit, line unshared	~40 cycles
L3 CACHE hit, shared line in another core	~65 cycles
L3 CACHE hit, modified in another core	~75 cycles
remote L3 CACHE	~100-300 cycles
Local Dram	~60 ns
Remote Dram	~100 ns



Arquiteturas multi-núcleo

- Intel 80-core TeraScale

- Chip para investigação de tecnologias futuras para multi-núcleo, que não pretende ser comercializado
- Protótipo atual atinge 1 TeraFlop



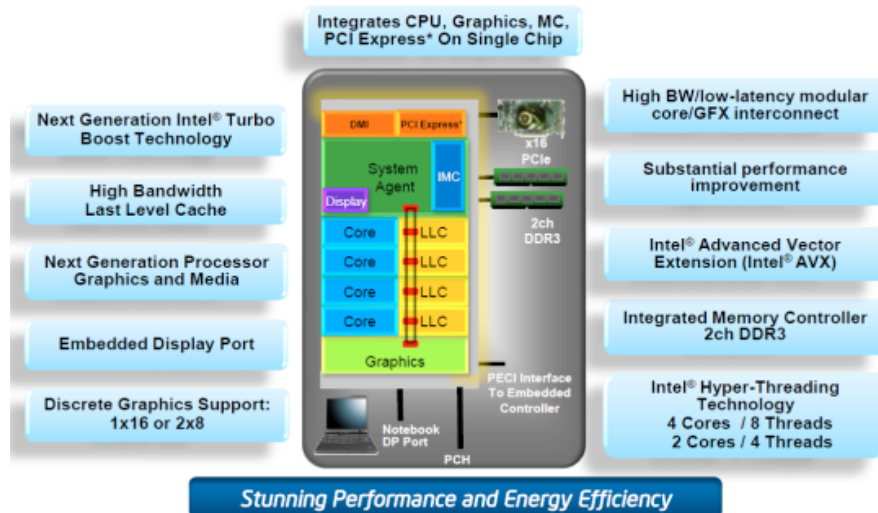
Arquitecturas multi-núcleo

- **Novas arquiteturas Intel**

- Sandy bridge

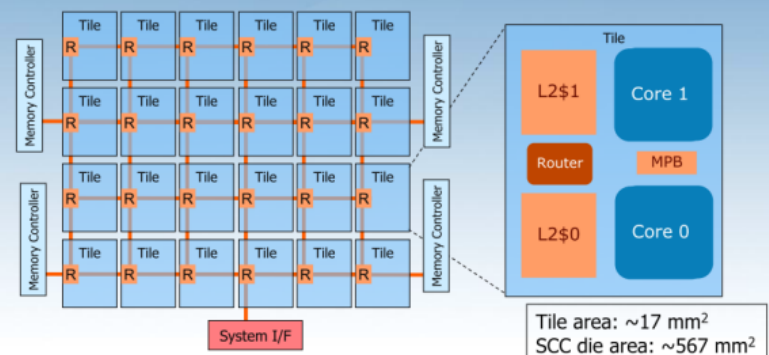
Intel 48-core SSC

2nd Gen Intel® Core™ Processor Overview



Top Level Hardware Architecture

- 6x4 mesh 2 Pentium™ P54c cores per tile
- 256KB L2 Cache, 16KB shared MPB per tile
- 4 iMCs, 16-64 GB total memory



R = router, iMC = integrated Memory Controller, MPB = message passing buffer



Arquiteturas multi-núcleo

- **O futuro das arquiteturas multi-núcleo**
 - Aumento do número de núcleos por chip (100 ou mais)
 - Desafios:
 - **Interligação** - Como interligar de forma eficiente os núcleos
 - **Hierarquia de memória e coesão** – Partilha de cache pelos núcleos
 - **Memória** – Aumento do débito proporcional ao número de núcleos
 - **Programação!!!**
 - A tendência atual é para o tipo NUMA
 - Processadores multi-núcleo são mais eficientes em termos energéticos
 - As aplicações do “dia-a-dia” não beneficiam automaticamente desta evolução