

não usar	
1	
2	
3	
4	
T	

1. Discuta a veracidade da afirmação abaixo, justificando a sua resposta:

“O ganho de desempenho obtido com a vectorização de código, relativamente à respectiva versão escalar, deve-se essencialmente à diminuição do número médio de ciclos por instrução (CPI).”

Nome: \_\_\_\_\_

Número: \_\_\_\_\_

2. Para cada um dos ciclos abaixo indique justificando se é vectorizável. Se identificar dependências de dados entre iterações calcule a respectiva distância e indique o seu tipo (*Write After Read (WAR)* ou *Read After Write (RAW)*).

<pre>struct {int g, h; } a[SIZE];  for (i=0 ; i &lt;SIZE-1 ; i++)     a[i].g = 20 * a[i+1].h;</pre>	<pre>float a[SIZE];  for (i=SIZE ; i &gt;= 2 ; i--)     a[i] = 5 * a[i] / a[i-2];</pre>
---	---

3. Para cada um dos excertos de código abaixo indique justificando se usaria a cláusula `schedule(static)` ou `schedule(dynamic)` para a directiva `for` do OpenMP.

Código 1	Código 2
<pre>#define S 100000000 double a[S] int i; ... #pragma omp parallel for   for (i=0 ; i &lt; S ; i++) {     double f = (double) i;     a[i] = f * f * f;   }</pre>	<pre>#define S 100000000 double a[S] int i; ... #pragma omp parallel for   for (i=0 ; i &lt; S ; i++) {     double f = (double) i;     a[i] = factorial (f);   }</pre>

4. Um processador com 4 núcleos de processamento (*core* 0 a *core* 3). Estes núcleos partilham a cache L2 em pares, isto é, os *cores* 0 e 1 partilham a *cache* L2 entre si, bem como os *cores* 2 e 3. Entre estes pares a *cache* é privada. Este processador inclui um protocolo *writeback/update* de coerência das *caches*. Considere a seguinte sequência de operações apresentada por ordem cronológica:

T1 - *core* 1 : lê a posição de memória com endereço 0x00FF5500

T2 - *core* 3 : lê a posição de memória com endereço 0x00FF5500

T3 - *core* 0 : escreve na posição de memória com endereço 0x00FF5500

T4 - *core* 2 : lê a posição de memória com endereço 0x00FF5500

Indique justificando os passos realizados pelo protocolo de coerência de *cache* após a escrita no instante T3 para garantir que a leitura no instante T4 é correcta.