

Laboratorium Podstaw Elektroniki

Kierunek <i>Informatyka</i>	Specjalność –	Rok studiów <i>I</i>	Symbol grupy lab. <i>II</i>
Temat Laboratorium	<i>Tranzystory</i>		Numer lab. <i>5</i>
Skład grupy ćwiczeniowej oraz numery indeksów <i>Ewa Fengler(132219), Sebastian Maciejewski(132275), Jan Techner(132332)</i>			
Uwagi	Ocena		

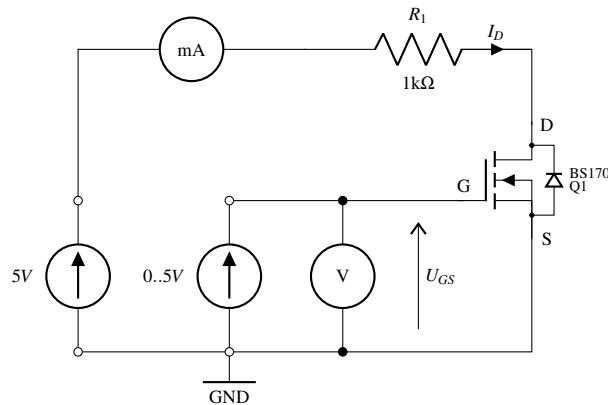
Cel

Celem przeprowadzanych ćwiczeń jest zapoznanie się z właściwościami tranzystora MOSFET jako elementu elektronicznego w układach prądu stałego oraz zmiennego.

1 Zadanie 1.5

Badanie zależności pomiędzy sygnałem sterującym a sterowanym dla tranzystora nMOS.

1.



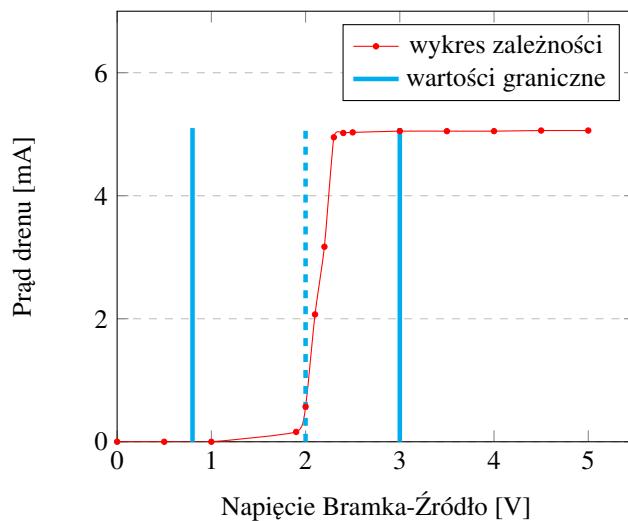
Rysunek 1: Obw. 1.6 Układ do badania charakterystyki bramkowej tranzystora nMOS

2.

Pomiary prądu drenu I_D w zależności od napięcia bramka - źródło U_{GS} z uwzględnieniem szczególnej wartości U_{GS} , przy której gwałtownie wzrasta natężenie prądu - 1,9V.

$U_{GS}[V]$	$I_D[mA]$
0	0
0,5	0
1	0
1,9	0,16
2	0,57
2,1	2,07
2,2	3,17
2,3	4,95
2,4	5,02
2,5	5,03
3	5,05
3,5	5,05
4	5,05
4,5	5,06
5	5,06

3.



Rysunek 2: Wartości prądu drenu I_D w zależności od napięcia Bramka Źródło U_{GS} dla tranzystora nMOS

4.

Minimalna wartość napięcia progowego odczytana z noty katalogowej producenta wynosi $0,8V$, typowa wartość to $2,0V$, zaś wartość maksymalna wynosi $3,0V$.

5.

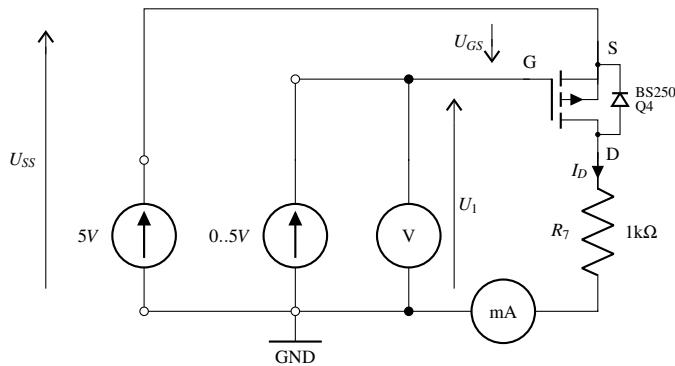
Wyniki pomiarów wskazują, że badany tranzystor zaczyna przewodzić gdy napięcie bramka-źródło przekroczy wartość $1,9V$. Jest to zgodne z danymi katalogowymi tranzystora, które napięcie progowe (napięcie odcięcia)

określają jako większe od $0,8V$, a mniejsze od $3,0V$, typowo $2,0V$. Oznacza to, że zmierzona wartość napięcia progowego jest tylko nieznacznie mniejsza od wartości typowej.

2 Zadanie 1.6

Badanie działania tranzystora pMOS.

1.



Rysunek 3: Obw. 1.7 Układ do badania charakterystyki bramkowej tranzystora pMOS

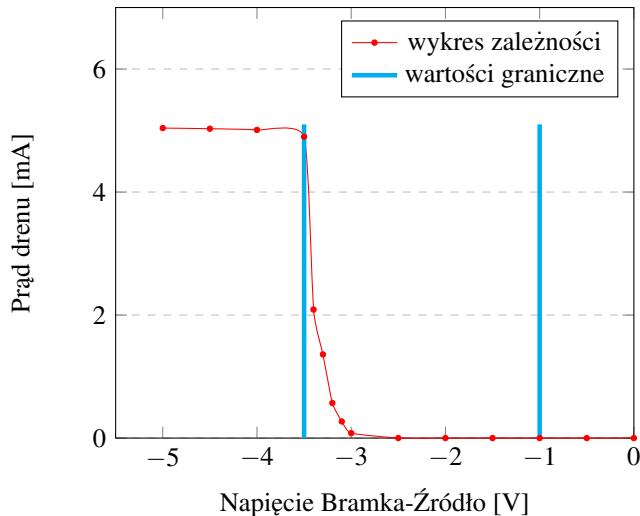
2.

Pomiary prądu drenu I_D w zależności od napięcia źródła U_1 z uwzględnieniem szczególnej wartości U_1 , przy której gwałtownie wzrasta natężenie prądu. Dla wszystkich pomiarów obliczone zostało także napięcie bramka - źródło U_{GS} na podstawie napięciowego prawa Kirchhoffa, ze wzoru $U_{GS} = -(U_{SS} - U_1)$.

Widać dla jakiej wartości V_1 prąd drenu zaczyna gwałtownie spadać - jest to napięcie skojarzone z progiem załączenia tranzystora: $2V$, to oznacza, że napięcie bramka-źródło wynosiło $-3V$ - ta wartość mieści się w przedziale z noty katalogowej.

$U_1[V]$	$I_D[mA]$	$U_{GS}[V]$
0	5,04	-5
0,5	5,03	-4,5
1	5,01	-4
1,5	4,9	-3,5
1,6	2,09	-3,4
1,7	1,36	-3,3
1,8	0,57	-3,2
1,9	0,27	-3,1
2	0,08	-3
2,5	0	-2,5
3	0	-2
3,5	0	-1,5
4	0	-1
4,5	0	-0,5
5	0	0

3.



Rysunek 4: Wartości prądu drenu I_D w zależności od napięcia Bramka Źródło U_{GS} dla tranzystora pMOS

4.

Dla używanego tranzystora progowe wartości napięcia odczytane z noty katalogowej producenta wynoszą minimum $-1V$ i maksimum $-3,5V$.

Wyniki pomiarów wskazują, że badany tranzystor zaczyna przewodzić gdy napięcie bramka-źródło przekroczy $-3V$. Zmierzona wartość należy do zakresu określonego przez dane katalogowe tranzystora, które napięcie progowe (napięcie odcięcia) określają jako wartość z przedziału od $-1V$ do $-3,5V$, zatem parametry danego tranzystora zgadzają się z danymi katalogowymi.

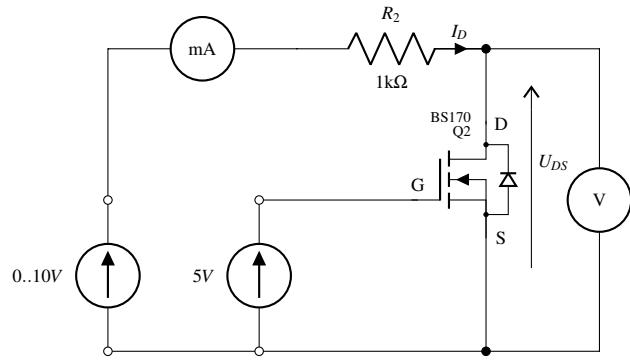
3 Zadanie 1.7

Badanie charakterystyki drenowej tranzystora nMOS.

1.

2.

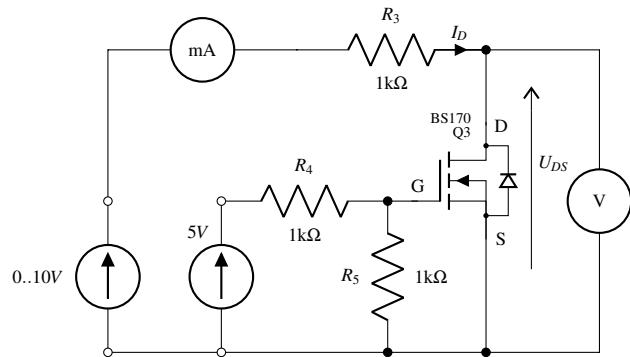
Napięcie bramka-źródło $U_{GS} = 5,05V$



Rysunek 5: Obw. 1.8 Układ do badania charakterystyki drenowej tranzystora nMOS

$U_{DS}[mV]$	$I_d[mA]$
0	0
3,2	1,16
6,1	2,23
8,7	3,14
11,3	4,15
14,0	5,18
16,7	6,19
19,4	7,19
22,2	8,19
25	9,24
27,9	10,29

3.

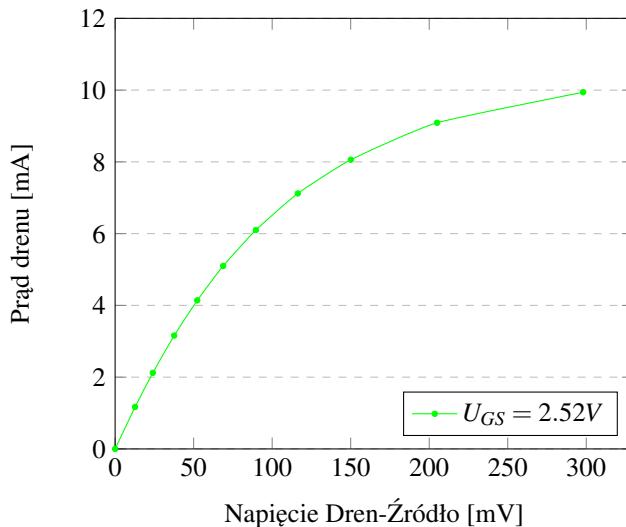


Rysunek 6: Obw. 1.9 Układ do badania charakterystyki drenowej dla obniżonego napięcia bramki

4.

Napięcie bramka-źródło $U_{GS} = 2,52V$

$U_{DS} [mV]$	$I_D [mA]$
0	0
12,7	1,17
24	2,12
37,6	3,16
52,3	4,14
68,8	5,10
89,6	6,10
116,3	7,12
150,1	8,06
205	9,09
298	9,94

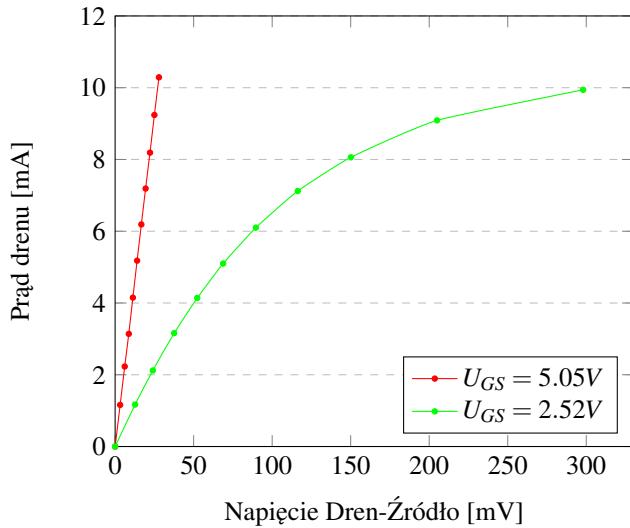


Rysunek 7: Wartości prądu drenu I_D w zależności od napięcia Dren-Źródło U_{DS} dla tranzystora nMOS przy obniżonym napięciu bramki

5.

6.

Wykonane pomiary obejmowały fragment charakterystyki drenowej (wyjściowej) tranzystora MOS dla niewielkich napięć dren-źródło. Na wykresie zielonym możemy obserwować zarówno fragment charakterystyki w obszarze liniowym jak i początkowym obszarze nasycenia. Jest to możliwe dzięki temu, że napięcie bramka-źródło (2,52V) jest bliskie napięciu odcięcia wcześniej zmierzonego. Charakterystyka czerwona obejmuje wyłącznie fragment liniowej charakterystyki wyjściowej, ponieważ wysoka wartość rezystancji umieszczonej w drenie tranzystora ($1k\Omega$), oraz niezbyt wysoka wartość napięcia zasilającego (10V) nie pozwoliła na badanie charakterystyki dla prądów drenu większych niż 10mA. Stąd wniosek, że prąd nasycenia drenu dla napięcia Bramka-Źródło równego 5,05V musi być wielokrotnie większy od 10mA.

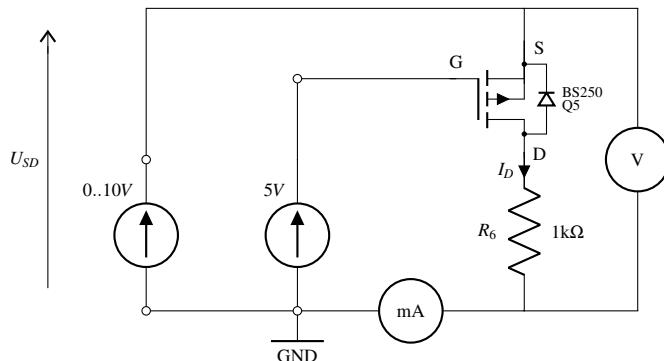


Rysunek 8: Wartości prądu drenu I_D w zależności od napięcia Dren-Źródło U_{DS} dla tranzystora nMOS dla różnych napięć bramki

4 Zadanie 1.8

Badanie charakterystyki drenowej tranzystora pMOS.

1.



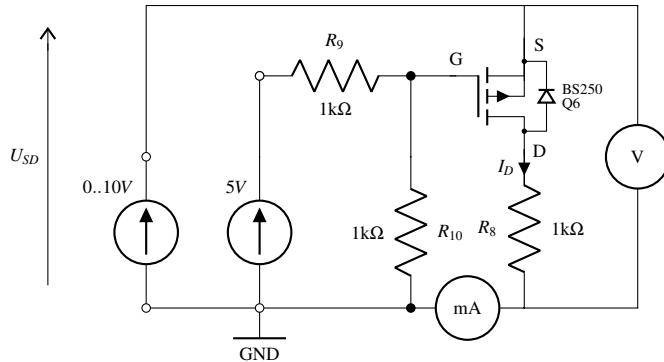
Rysunek 9: Obw. 1.10 Układ do badania charakterystyki drenowej tranzystora pMOS

2.

Zmierzony napięcie bramki U_{GS} wynosiło $-5,05V$.

Napięcie źródła [V]	$U_{DS}[V]$	$I_D[mA]$
1	-1,12	0
2	-2,15	0
3	-3,15	0
4	-4,24	0
5	-5,25	0
6	-6,16	0
7	-6,92	0,22
7,5	-1,46	6,15
8	-0,1	8,13
9	-0,07	9,20
10	-0,07	10,18

3.



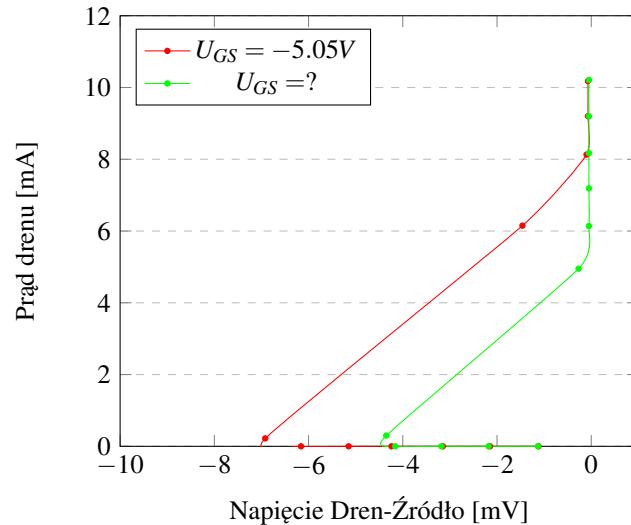
Rysunek 10: Obw. 1.11 Układ do badania charakterystyki drenowej dla obniżonego napięcia bramki pMOS

4.

Napięcie bramki U_{GS} wynosiło 2,5V.

Napięcie źródła [V]	U_{DS} [V]	I_D [mA]
1	-1,13	0
2	-2,18	0
3	-3,18	0
4	-4,16	0
4,5	-4,35	0,3
5	-0,27	4,95
6	-0,05	6,14
7	-0,05	7,19
8	-0,05	8,17
9	-0,06	9,2
10	-0,06	10,21

5.



Rysunek 11: Wartości prądu drenu I_D w zależności od napięcia Dren-Źródło U_{DS} dla tranzystora pMOS dla różnych napięć bramki

6.

Otrzymane charakterystyki w zadaniu 1.8 są niepoprawne (nie są charakterystykami wyjściowymi lub charakterystykami drenowymi tranzystora MOS z kanałem typu p). Wynika to z błędnego układu pomiarowego, w którym:

1) nie było mierzone napięcie Dren-Źródło, tylko napięcie zasilające układ

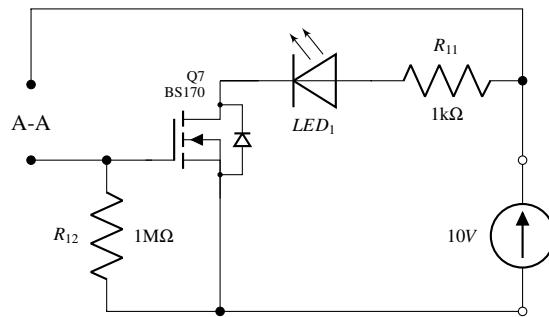
2) napięcie Bramka-Źródło zmieniało się w trakcie każdego pomiaru po zmianie napięcia zasilającego (zależało od napięcia zasilającego)

Dla układu 1.10 napięcie Bramka-Źródło było równe różnicy 5V i napięcia zasilającego, czyli dla napięcia zasilającego 10V wynosiło -5V, a dla 1V wynosiło +4V, co spowodowało, że nie był spełniony podstawowy warunek $U_{GS} = \text{const}$ dla każdego wykresu z rodziny. Analogicznie dla schematu z rysunku 1.11: napięcie pomiędzy Bramką a Źródłem było równe 2,5V - napięcie zasilania.

5 Zadanie 1.9

Badanie zachowania tranzystora nMOS jako przełącznika, w którym przepływem prądu można sterować przy pomocy napięcia.

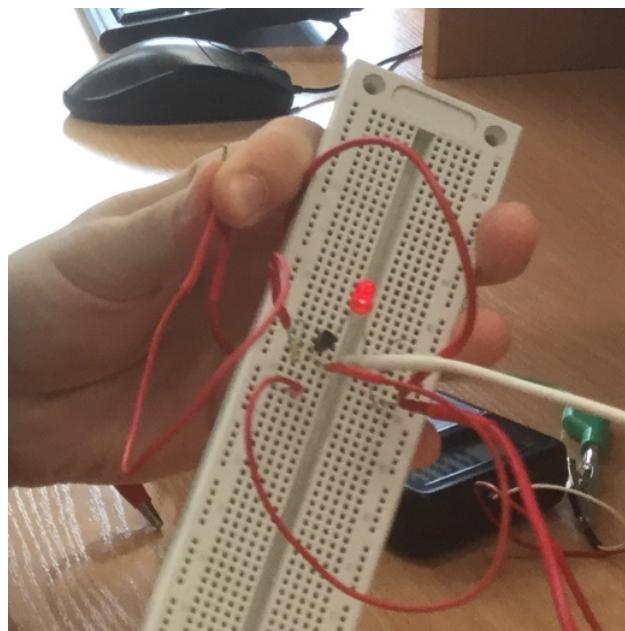
1.



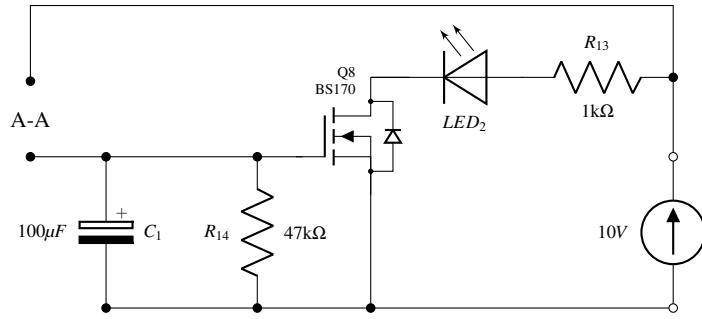
Rysunek 12: Obw. 1.14 Schemat układu do badania tranzystora nMOS w roli przełącznika

3.

Po zwarciu palcem zacisków oznaczonych jako A - A dioda zaczęła świecić, co widać na poniższym zdjęciu:



4.



Rysunek 13: Obw. 1.15 Model układu z opóźnieniem wyłączenia

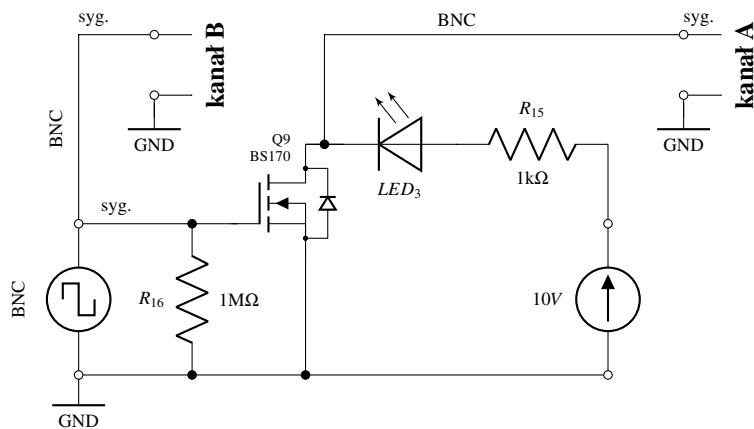
Układ zachowuje się podobnie jak w poprzednim przypadku, z tym, że dioda świeci przez jakiś czas po zwarciu przewodów. Dzieje się tak dzięki energii zgromadzonej w kondensatorze.

Czas świecenia diody po rozwarciu styku A - A zależy od pojemności kondensatora, wartości rezystora przez który kondensator się rozładowuje oraz od napięcia odcienia rezystora. Gdy napięcie bramka-źródło spadnie poniżej napięcia odcienia, tranzystor odcina prąd, a dioda gaśnie. Taki układ może mieć zastosowanie np. w włącznikach czasowych światła na klatkach schodowych bloków mieszkalnych.

6 Zadanie 1.10

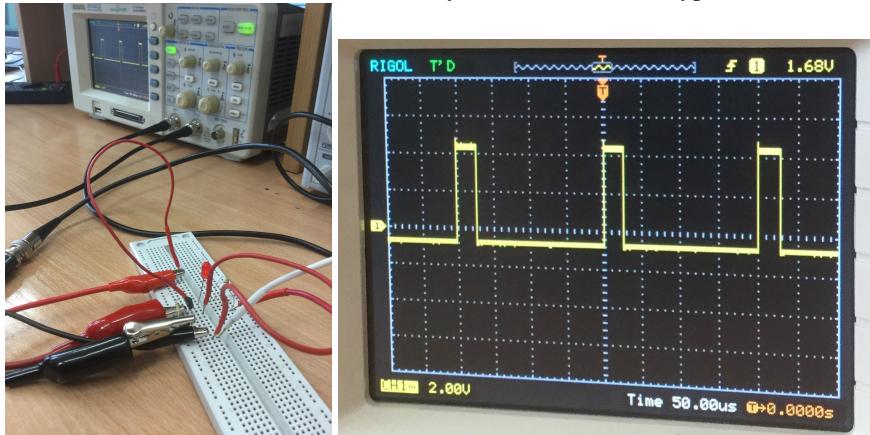
Badanie czasu złączenia tranzystora.

1.

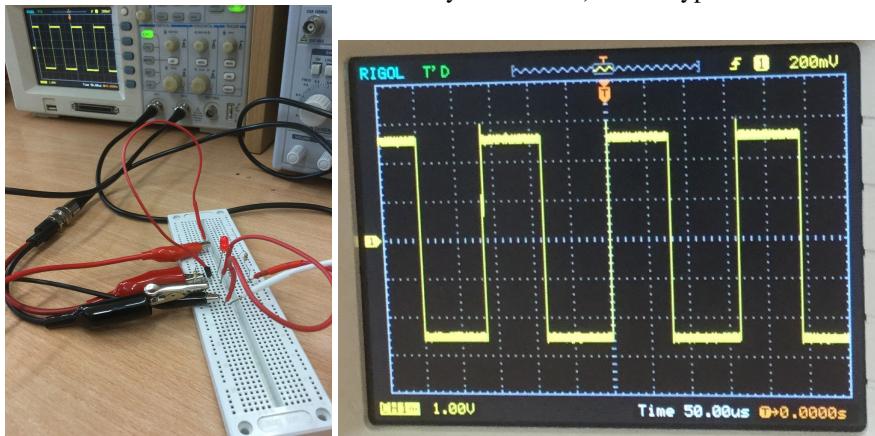


Rysunek 14: Obw. 1.17 Obwód do pomiaru czasu przełączenia

Rysunek 15: 1) Małe wypełnienie



Rysunek 16: 2) Duże wypełnение

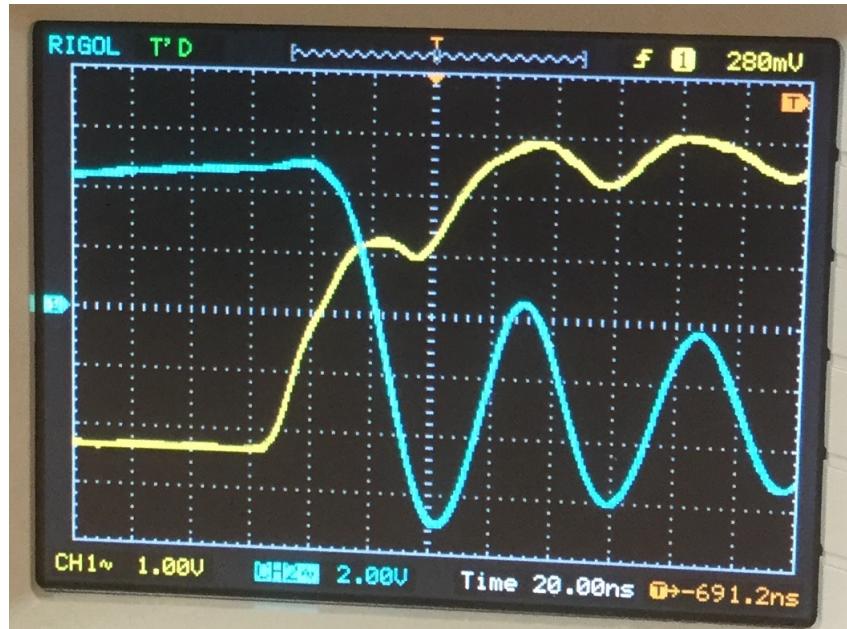


4.

Zależność świecenia diody od wypełnienia sygnału sterującego została ukazana na poniższych zdjęciach:

5.

Poniżej znajduje się oscylogram ukazujący przebieg sygnałów (w powiększeniu) dla częstotliwości pobudzenia $1,13\text{MHz}$.



Z oscylogramu widać, że opóźnienie czasowe związane ze stanem przejściowym w pracy elementu to około 10ns .

6.

Maksymalna częstotliwość stabilną pracy układu tranzystora i diody wyrażoną wzorem

$$f_{max} = \frac{1}{t_d}$$

wynosi, dla $t_d = 10\text{ns}$, $f_{max} = 10^8\text{Hz} = 100\text{MHz}$.

Literatura

- [1] W trakcie przeprowadzania doświadczeń i pisania sprawozdania zespół korzystał głównie z materiałów ze strony <http://mariusznaumowicz.ddns.net/materiały.html> oraz z wiedzy własnej.
Dane dotyczące tranzystorów pochodzą ze stron producentów: <https://www.onsemi.com/pub/Collateral/BS170-D.PDF> oraz <http://www.vishay.com/docs/70209/70209.pdf>.