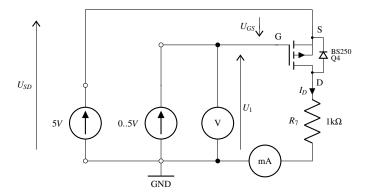
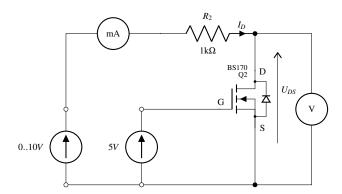


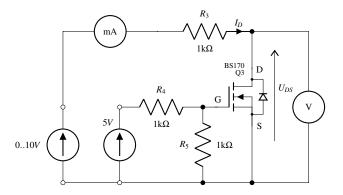
Rysunek 1: Obw. 1.6 Układ do badania charakterystyki bramkowej tranzystora nMOS



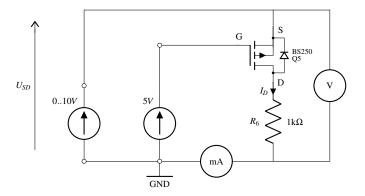
Rysunek 2: Obw. 1.7 Układ do badania charakterystyki bramkowej tranzystora pMOS



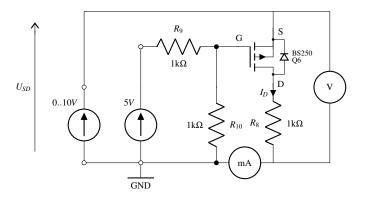
Rysunek 3: Obw. 1.8 Układ do badania charakterystyki drenowej tranzystora nMOS



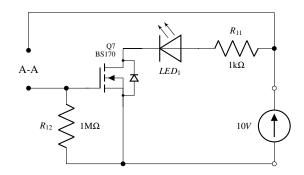
Rysunek 4: Obw. 1.9 Układ do badania charakterystyki drenowej dla obniżonego napięcia bramki



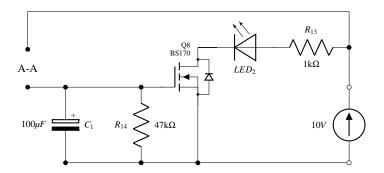
Rysunek 5: Obw. 1.10 Układ do badania charakterystyki drenowej tranzystora pMOS



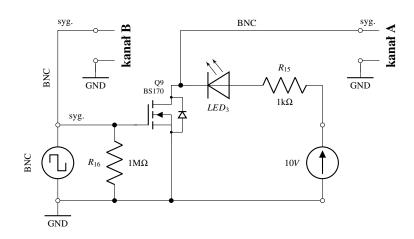
Rysunek 6: Obw. 1.11 Układ do badania charakterystyki drenowej dla obniżonego napięcia bramki pMOS



Rysunek 7: Obw. 1.14 Schemat układu do badania tranzystora nMOS w roli przełącznika



Rysunek 8: Obw. 1.15 Model układu z opóźnieniem wyłączenia



Rysunek 9: Obw. 1.17 Obwód do pomiaru czasu przełączenia