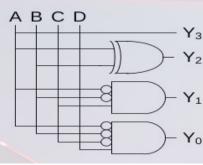
Question 1. Circuits combinatoires, simplification (25 pts)

a) (5 pts) Écrire les équations booléennes implémentant le circuit présenté plus bas.



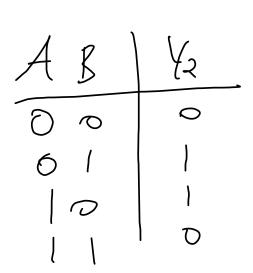
b) (5 pts) Donner une implémentation de la fonction Y_0 en utilisant un multiplexeur 8-à-1.

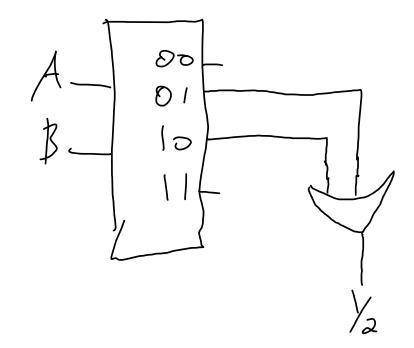
$$Y_{o} = \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot D$$

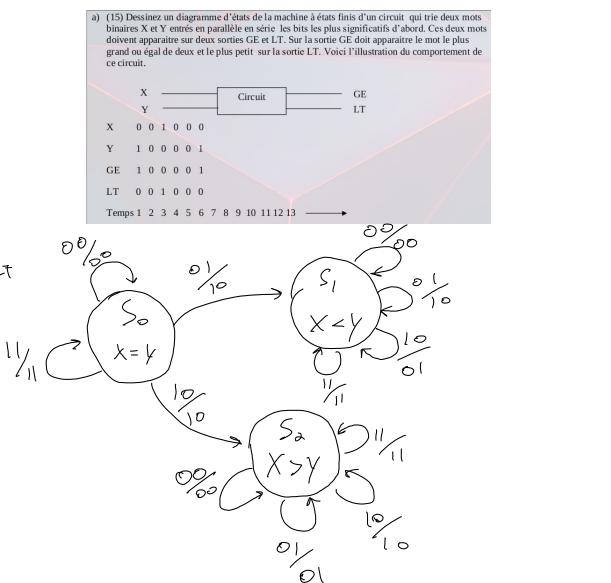
110

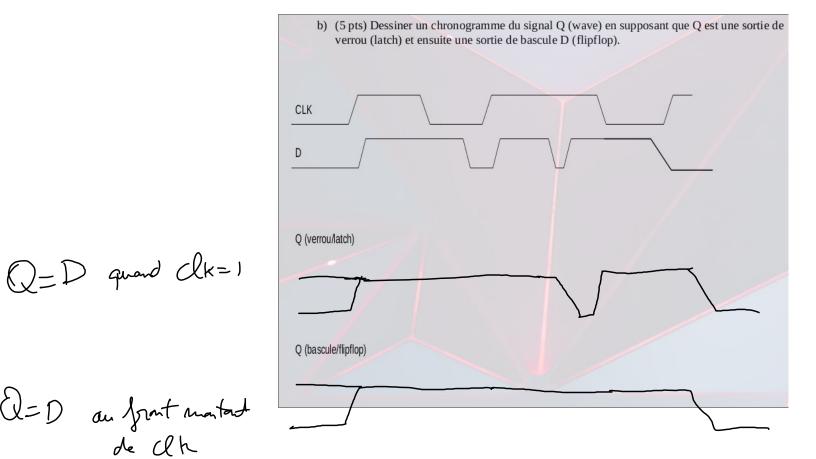
GND

c) (5 pts) Donner une implémentation de la fonction Y_2 en utilisant un décodeur et une porte OU logique.

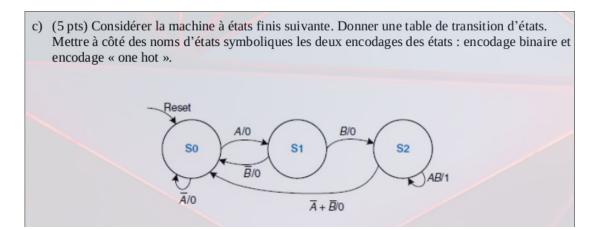




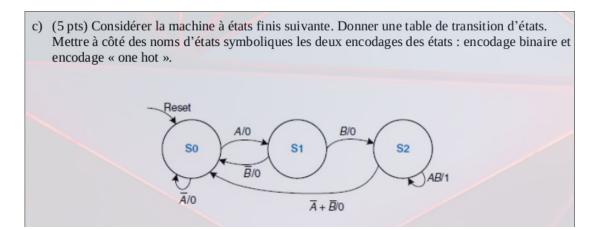




Q=D au front montant de Ch



[+ tx]	AB				[+ + \	Encodage Linain	Encodors one-hot	
	00	01	10		<u>Etots</u>		001	
5.	50/0	S0/0	ا م ا ۱	51/0 52/0	$\sum_{\mathcal{O}}$			
(50/	52/	50/3	52/0	S 1	0	010	
>1		1			<i>(</i> ,) 00	
<	(5)	50,	50	52/1	27		C	
2	10	/ /3	10	') '				



[+ tx]	AB				[+ + \	Encodage Linain	Encodors one-hot	
	00	01	10		<u>Etots</u>		001	
5.	50/0	S0/0	ا م ا ۱	51/0 52/0	$\sum_{\mathcal{O}}$			
(50/	52/	50/3	52/0	S 1	0	010	
>1		1			<i>(</i> ,) 00	
<	(5)	50,	50	52/1	27		C	
2	10	/ /3	10	') '				

Question 3. VHDL (25 pts) existent déjà.

end;

bas.

a) (15 pts) Supposons que les implémentations de deux modules modFSM et lightsFSM

library IEEE; use IEEE.STD_LOGIC_1164.all; entity modFSM is

port (P,R: in STD LOGIC; clk: in STD LOGIC;

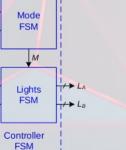
out STD LOGIC);

end; entity lightsFSM is

port (Ta, Tb, M: in STD LOGIC;

clk: in STD_LOGIC;
La, Lb : out STD_LOGIC_VECTOR (2 downto 0));

Écrire un modèle structurel du module controllerFSM. Le schéma de ce module est présenté plus



b) (10 pts) Codez un module VHDL comportemental d'un circuit implémentant les trois fonctions logiques définies par les équations booléennes suivantes.

$$F_1 = A \oplus B$$

$$F_{2} = ABC + \bar{A}\bar{B}D$$

$$F_{3} = ABCD + \bar{A}\bar{B}CD$$

