IFT1227 – Architecture des ordinateurs I Examen Intra – Automne 2012

Chargée de cours : Alena Tsikhanovich

Durée : 2 heures **Directives :**

- Toute documentation est permise,
- Tous les appareils électroniques (cellulaire etc.) sont interdits à l'exception d'une calculatrice,
- Inscrivez votre nom et code permanent sur l'entête du questionnaire,
- Répondez aux questions directement sur la feuille du questionnaire,
- Veillez à la clarté de vos réponses et justifiez-les,
- Si une question vous semble ambiguë, faites une interprétation, expliquez-la et continuez.

Note:

Question 2 Question 3	/ 30
Question 4	/ 25
Total	/ 100

NOM:

Code permanent:

Question 1 (20 pts)

La fonction Y est définie par la table de vérité suivante :

a) (5 pts) Donnez des équations canoniques SOP (Somme des Produits) et POS (Produits des Sommes) de la fonction Y.

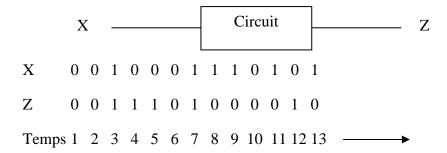
b) (5 pts) Simplifiez la fonction Y en utilisant la méthode de Tables de Karnaugh.

c) (5 pts) Simplifiez la fonction Y en utilisant la méthode algébrique (lors de simplification nommez les lois de l'algèbre de Boole que vous appliquez).

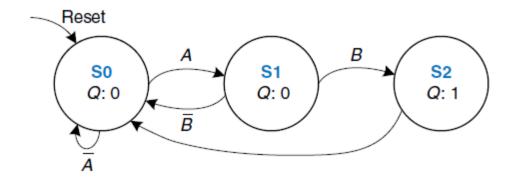
d) (5 pts) Simplifiez la fonction Y en utilisant la méthode de Quine-McCluskey

Question 2 (30 pts)

a) (10) Dessinez un diagramme d'états de la machine à états finis du circuit qui prend une entrée en série et détecte les séquences de trois bits 010, 100 et 001 (lorsque l'une de ces trois séquences se présente sur les trois derniers bits en entrée X, la sortie Z devra être assignée à 1). Le comportement de ce circuit est suivant :



b) Considérez la machine à états finis suivante :



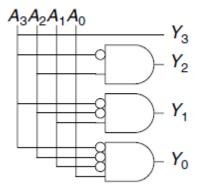
- (5) Établissez la table de transitions d'états

- (8) Établissez la table de vérité en utilisant l'encodage « one- hot » pour les états

(7) Implémentez schématiquement ce circuit en utilisant le (les) décodeur(s) et la (les) porte(s)
 OU logique(s) pour les parties combinatoires.

Question 3 (25 pts)

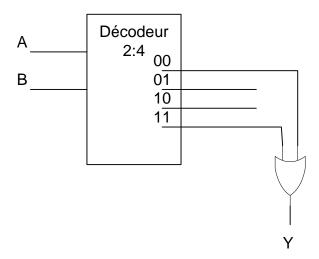
a) (8) Codez en VHDL le circuit présenté plus bas.



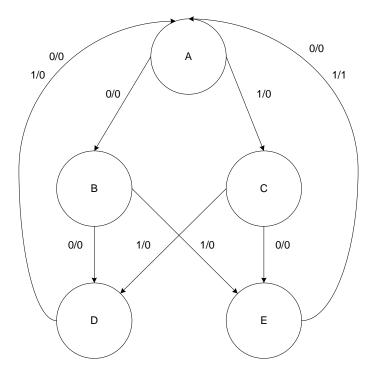
b) (8) Écrivez le module VHDL d'un décodeur 2:4 appelé dec2 avec les entrées d0, d1, et les sorties y0, y1, y2, y3.

NOM:

c) (9) Écrivez le module VHDL structurel du circuit présenté plus bas.



<u>Question 4 (25 pts)</u> Soit la machine à états finis suivante :



a) (5) La machine de quel type est représentée dans la figure ?

Examen Intra 10 IFT1227

b) (12) Implémentez cette machine en VHDL.

c) (8) Écrivez en mots ce que fait la machine. Dessinez une machine équivalente (Moore/Melay).