

Problem 1

a. 16Bytes.

b. 由于 L2 的数据总线是 16B 宽的也即 128 位，故需要执行 2 次 64 位存储的归零操作，由于采用合并写缓存，因此 2 次操作会被合并到同一个项目中，加速比为 2.

c. 当 L1 缺失时，对于阻塞系统，发生 L1 缺失会使得处理器停顿，写缓冲区的条目数量停止增加；而对于非阻塞系统，发生 L1 缺失时处理器可以从指令缓存中继续提取指令，写缓冲区的条目会比预期的少(受前面的 L1 缺失的影响)。

Problem 2

a. 平均访问时间为 $1 + \frac{90}{1000} \times \left(12 + \frac{20}{90} \times 200\right) = 6.08$

b. 平均访问时间为 $1 + \frac{90}{1000} \times \left[6 + \frac{40}{90} \times \left(12 + \frac{20}{40} \times 200\right)\right] = 6.02$

c. 平均访问时间为 $1 + \frac{90}{1000} \times \left\{4 + \frac{50}{90} \times \left[6 + \frac{40}{50} \times \left(12 + \frac{20}{40} \times 200\right)\right]\right\} = 6.14$

过浅的缓存层次结构的缺点是会使增加缺失率,而过深的缓存层次结构的缺点是会增加缺失时的代价。

Problem 3

采用固定惩罚周期的: $CPI = 1 + 0.15 \times 2 = 1.3$

采用分支目标缓存:

考虑以下两种情况出现的概率:

①缓存中命中但是预测错误, 概率为 $0.15 \times 0.9 \times (1 - 0.8) = 0.027$, 对应的惩罚周期为 4.

②缓存未命中, 概率为 $0.15 \times (1 - 0.9) = 0.015$, 对应的惩罚周期为 3.

$$CPI=1+0.027\times4+0.015\times3=1.153$$

因此,, 使用分支目标缓存的速度是使用固定惩罚周期的 $\frac{1.3}{1.153} \approx 1.127$ 倍。

Problem 4

a. 由于在缓存中找到目标指令和预测错误的惩罚都为 2 个周期, 因此可以推出在缓存中的预测正确率为 100%, 因此当非条件分支指令出现在缓存中时, 惩罚为 0 个周期。相对于在缓存中找到条件分支的目标地址, 然后通过地址寻找指令, 少了一次寻址, 因此惩罚周期为 -1.

b. 对于没有使用分支折叠的情况, 平均惩罚为 $0.1 \times (1-0.9) \times 2 = 0.02$ 个周期;

而对于使用分支折叠的情况, 平均惩罚为 $0.1 \times [0.9 \times (-1) + (1-0.9) \times 2] = -0.07$ 个周期。

因此使用分支折叠可以减少的平均惩罚为 $0.02 - (-0.07) = 0.09$ 个周期。

Problem 5

a. 由于该系统连接到一个使用 ECC 的 2GB 的 DRAM, 也即 16Gb, 因此对于数据部分, 需要 16 个 1Gb 的 DRAM 芯片。由于该系统采用 72 位的存储器通道, 其中 64 位用于数据而 8 位用于 ECC, 也即, 每 8 位用于数据就要有 1 位用于 ECC, 因此还需要 $16/8=2$ Gb 的 ECC 也即 2 个 1Gb 的 DRAM, 因此共需要 $16+2=18$ 个 1Gb 的 DRAM 芯片。如果只有一个 DRAM 连接到了每个 DIMM 的数据管脚, 则每个 DRAM 需要 $72/18=4$ 个数据 I/O。

b. 需要 $\frac{32 \times 8}{64} = 4$ 的突发长度。

c. 由于峰值带宽 = $\frac{\text{内存模块频率} \times \text{数据总据宽度}}{8}$, 所以 DDR2-533DIM 的峰值带宽

为 $\frac{533\text{Mhz} \times 64\text{位}}{8} = 4264\text{MB} / \text{s}。$