|  |
| --- |
| МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ |
| ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ |
| **«Национальный исследовательский ядерный университет «МИФИ»** |
| ИНСТИТУТ ИНТЕЛЛЕКТУАЛЬНЫХ КИБЕРНЕТИЧЕСКИХ СИСТЕМ |
| КАФЕДРА «КОМПЬЮТЕРНЫЕ СИСТЕМЫ И ТЕХНОЛОГИИ» (№12) |

**Курсовая работа**

**по дисциплине**

**Схемотехника цифровых устройств**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Тема: Топовый уровень проекта** | | | | |
| Студенты | Красиков Г.Е. Спешинский К.А. | | Группа | С20-501 |
|  | ФИО | |  |  |
| Руководитель | | Решетько Валерий Михайлович | | |
|  | | ФИО, степень, звание, должность | | |

|  |  |  |  |
| --- | --- | --- | --- |
| Студент |  |  | Красиков Г.Е. |
|  | подпись |  | ФИО |
| Студент |  |  | Спешинский К.А. |
|  | подпись |  | ФИО |
|  |  |  |  |
| Руководитель |  |  | Решетько В.М. |

подпись

**Москва, 2022**

**Содержание**

1. Введение…………………………………………………………………….3
2. Спецификация……………………………………………………………...4
   1. Соединение……………………………………………………………...4
   2. Сигналы соединения и их описание…………………………………...5
   3. Формирование сигналов………………………………………………..6
   4. ФАПЧ……………………………………………………………………7
   5. Процедуры чтения и записи……………………………………………8
3. Симуляция…………………………………………………………………11
4. Синтез……………………………………………………………………...13
5. Заключение………………………………………………………………..16
6. **Введение**

В рамках выполнения курсовой работы выполняется общее подключение всех модулей проекта и разработка общего тестового окружения. Проект состоит из двух устройств – функциональный генератор сигналов и векторный анализатор сигналов.

Генератор сигналов (функциональный генератор) служит источником тестовых сигналов, которые подаются на испытуемые компоненты: фильтры, усилители или готовые модули. Это требуется для проверки их работы и изучения их поведения и характеристик. Помимо формирования простых сигналов (импульсы, периодические сигналы), генератор сигналов может формировать сигналы с аналоговой и цифровой модуляцией (векторные генераторы). Сигнал, формируемый модулем функционального генератора, подается на исследуемое устройство (усилитель, фильтр и т.п.). Затем выходной сигнал модуля анализируется с помощью подходящего контрольно-измерительного оборудования. В данном случае таким оборудованием является векторный анализатор, который напрямую подключен к генератору, минуя исследуемое устройство.

Векторный анализатор сигналов используется для анализа радиосигналов сложной формы, например, сигналов с цифровой квадратурной модуляцией. Параметры таких колебаний трудно, если вообще возможно оценить с помощью обычных устройств. Чтобы получить исчерпывающие сведения о модуляции и характеристиках сигнала, а также извлечь полезные данные, необходимо исследовать двухкомпонентный, то есть векторный процесс, который отражает изменения во времени амплитуды и фазы исходного сигнала. Средства цифровой обработки векторного анализатора позволяют регистрировать подобные процессы и выделять информацию о параметрах принимаемого сигнала.

Модуль

функционального

генератора

Аналоговый

сигнал

Векторный

анализатор

Цифровой

сигнал

Цифровой

сигнал

Рисунок 1. Измерительный тракт

1. **Спецификация**
   1. **Соединение**

Из модуля управления ЦАП в функциональном генераторе сигнал поступает соответственно на плату ЦАП, откуда переходит в АЦП и далее в модуль демультиплексирования векторного анализатора.

USB

Модуль управления ЦАП

Модуль синтеза периодических сигналов

Анализатор протокола

Модуль протокольного обмена

WB

Рисунок 2.1. Упрощённая блок-схема функционального генератора сигналов

USB

Модуль управления системой

Набор буферов входных данных

Модуль гетеродинирования

Модуль управления частотой дискретизации

Модуль протокольного обмена

Анализатор трафика

Модуль демультиплексирования

Рисунок 2.2. Упрощённая блок-схема векторного анализатора сигналов

* 1. **Сигналы соединения и их описание**

Через последовательный COM-порт сигнал отправляется на FT, где преобразуется и поступает в модуль протокольного обмена, общего для генератора и анализатора сигналов.

На рисунке 2.2 представлено условное графическое представление модуля протокольного обмена с упрощенным описанием внутреннего устройства.



Рисунок 2.2. Условное графическое представление модуля протокольного обмена

**FT2232H\_FSDO** – Шина входных данных, обеспечивает обмен данными между шлюзом и FT2232H;

**FT2232H\_FSCTS (Fast serial Clear To Send)** – Сигнал готовности FT2232H к приему данных. При значении «0» данные могут передаваться от шлюза к FT2232H;

**FT2232H\_FSDI** – Шина выходных данных, обеспечивает обмен данными между шлюзом и FT2232H;

**FT2322H\_FSCLK** – Входной тактовый сигнал для микросхемы FT2232H.

Взаимодействие между ведущим и ведомыми модулями как генератора, так и анализатора осуществляется через интерфейс wishbone. Из модуля протокольного обмена в модуль управления частотой дискретизации, который является частью векторного анализатора, поступают следующие сигналы:

**WB\_Addr (15:0)** – это адрес смещения для целевого адресного пространства;

**WB\_DataIn (15:0)** – поток данных на запись, 16-битные слова;

**WB\_WE** (Write Enable) – сигнал разрешения записи: высокий уровень – цикл записи в модуль, низкий – цикл чтения из модуля;

**WB\_Sel(1:0)** (Select) – сигналы разрешения приема/пересылки байта;

**WB\_STB** (Strobe) – строб-импульс, высокий уровень показывает корректность данных;

**WB\_Cyc** (Cycle) – высокий уровень сигнала показывает выполнение корректного цикла обмена информацией;

**WB\_CTI (2:0)** (Cycle Type Identifier) – определяет режим работы интерфейса.

А также сигналы, выходящие из модуля управления частотой дискретизации в модуль протокольного обмена:

**WB\_DataOut (15:0)** – поток данных на чтение, 16-битные слова;

**WB\_Ack** (Acknowledge) – сигнал подтверждения штатного завершения пересылки элемента пакета.

* 1. **ФАПЧ**

Для того чтобы избежать расфазирования тактовых импульсов устройства используется устройство фазовой автоподстройки частоты генератора (ФАПЧ) – **PLL** (Phase Locked Loop). В данном случае PLL представляется в виде IP-блока, сгенерированного средствами Quartus.

На вход PLL поступает опорная частота 12 MHz. Имеется две выходные частоты – 40 MHz и 80 MHz.

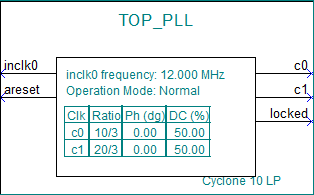


Рисунок 2.3. Сгенерированный PLL

Опорная частота – 12 MHz

AD9761 - 40 MHz

ADC10D040 - 40 MHz

DS\_FT2232H - 12MHz – 480MHz

ADC10D040 - 40 MHz

wbspec\_b3/wbspec\_b4 - over 150MHz.

* 1. **Формирование сигналов**

Для тестирования работы устройства требуется подать данные на функциональный генератор. Для отправки данных через последовательный порт используется утилита SerialSend.

SerialSend - приложение Windows, запускаемое из командной строки, используемое для отправки строк текста через последовательный порт. Утилита обладает следующими возможностями:

* Послать строку произвольных символов текста в устройство через последовательный порт с помощью одной команды;
* Послать текст из простых консольных приложений в аппаратные устройства через последовательный порт с использованием функции "system";
* Указать скорость передачи (baud rate) последовательного канала связи;
* Указать номер последовательного порта, куда будет послан текст;
* Автоматически найти доступный порт с самым большим номером (полезно для конвертеров USB VCP, или USB-to-serial, потому что именно они чаще всего соответствуют самым большим номера COM-портов в операционной системе Windows).



Рисунок 2.4.1. Пример отправки сообщений

На рисунке 2.4 показан пример отправки данных с помощью утилиты SerialSend.

С помощью опции /hex мы можем передавать случайные, в том числе не печатаемые символы. Пользователь будет вводить последовательность бит для отправки через порт. Отдельное консольное приложение будет представлять эту последовательность в hex виде и вызывать подпроцесс SerialSend для отправки.

На рисунке 2.4.2 показан пример отправки данных в шестнадцатиричном виде.



Рисунок 2.4.2. Пример отправки данных в шестнадцатиричном виде

На рисунке 2.4.3 приведен пример работы программы.

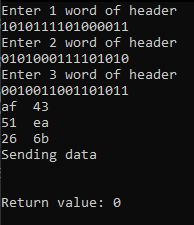


Рисунок 3.4.3. Пример работы программы

* 1. **Процедуры чтения и записи**

Для тестирования корректности отправки данных были написаны две процедуры – на чтение данных и запись.

Header

Data

от хоста

устройство

Рисунок 2.5.1. Диаграмма обмена для базового запроса на запись

На рисунке 2.5.1. представлена диаграмма обмена для базового запроса на запись.

Рисунок 2.5.2. Диаграмма обмена для запроса на запись с подтверждением

Header

Header’

Data

от хоста

к хосту

устройство

На рисунке 2.5.2. представлена диаграмма обмена для запроса на запись с подтверждением.

Пакет включает в себя две субъединицы — заголовок (Header) и данные (Data). Длина заголовка — 3 слова. Длина набора данных зависит от величины, указанной в заголовке пакета. Заголовок пакета используется для описания задачи по обмену информации или управления.

Процедура записи реализована таким образом, что сначала происходит циклическая запись заголовка. В каждой итерации цикла происходит запись стартового бита. Далее запись 8 значащих бит, и запись source bit.

После записи заголовка происходит циклическая запись данных по той же схеме.

Рисунок 2.5.3. Диаграмма обмена для базового запроса на чтение

Header

Header’

Data

от хоста

к хосту

устройство

На рисунке 2.5.3. изображена диаграмма обмена для базового запроса на чтение.

Рисунок 2.5.4. Диаграмма обмена для запроса на чтение с подтверждением

Header

Header’’

Data

от хоста

к хосту

устройство

Header’

к хосту

Процедура чтения данных реализована аналогичным образом с процедурой записи.

1. **Симуляция**

На рисунке 3.1 представлена временная диаграмма процесса получения заголовка и данных с FT2232H\_FSDO. После побитового получения данных они передаются на FIFO, откуда будут прочитаны второй частью модуля протокольного обмена.

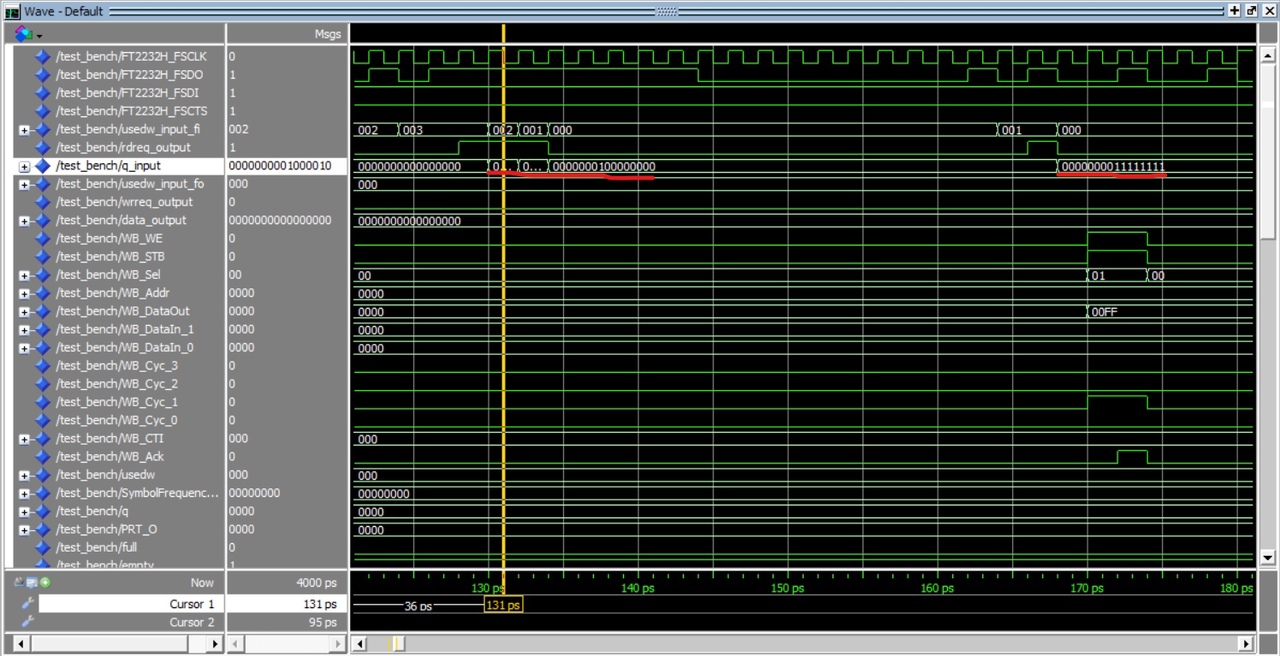


Рисунок 3.1. Симуляция получения заголовка и данных с FT2232H\_FSDO

На рисунке 3.2 показана временная диаграмма процесса работы модуля управления частотой дискретизации векторного анализатора сигналов после получения необходимой информации. При задании частоты и включения модуля, он начинает работу.

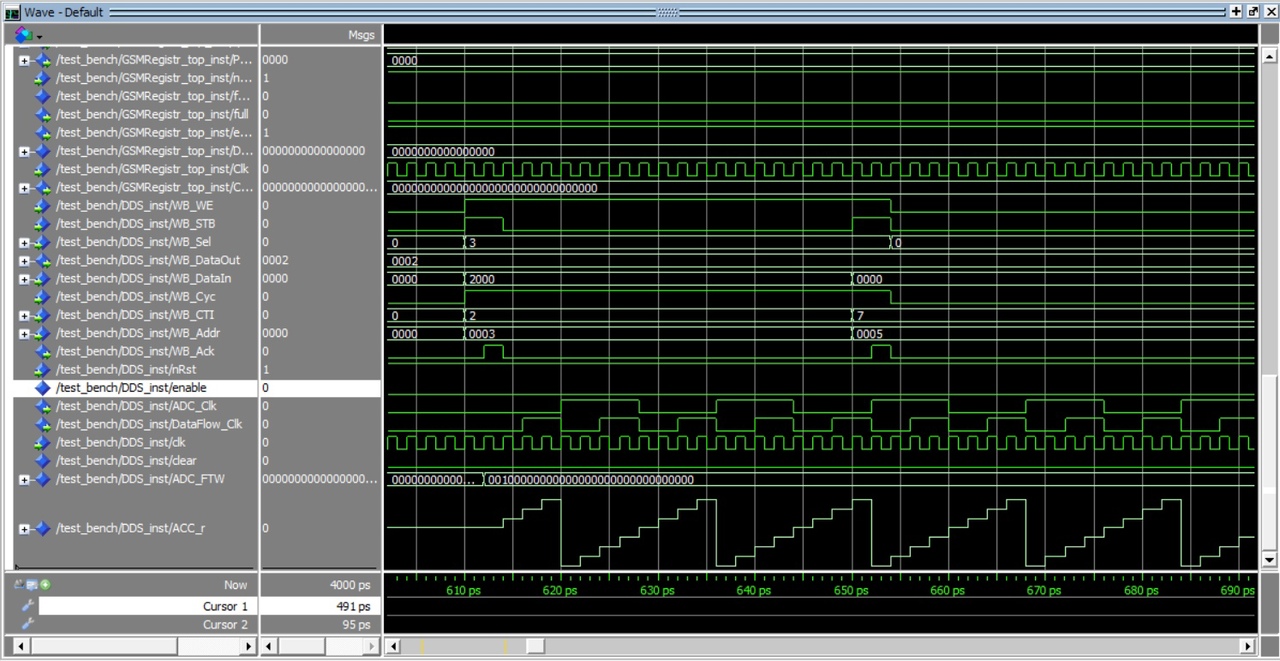


Рисунок 3.2. Симуляция работы модуля управления частотой дискретизации векторного анализатора сигналов после получения необходимой информации

На рисунке 3.3 показана отправка считанных данных на соответствующий ведомый модуль протокольного обмена.

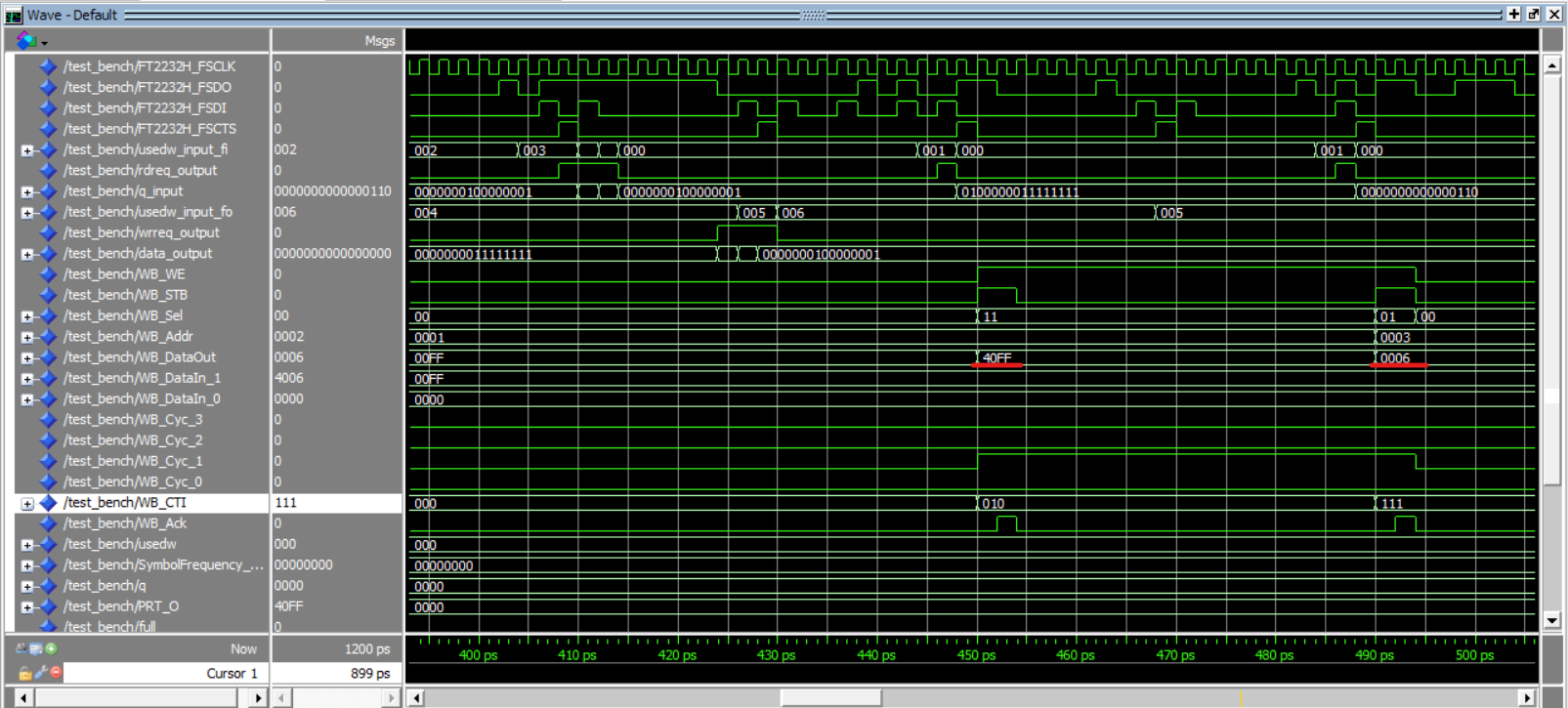


Рисунок 3.3. Симуляция записи по адресу, ассоциированному с модулем управления частотой дискретизации векторного анализатора сигналов

На рисунке 3.3 показана отправка записанных данных из соответствующего ведомого модуля протокольного обмена.

Изображение выглядит как текст, монитор, экран

Автоматически созданное описание

Рисунок 3.4. Симуляция чтения по адресу, ассоциированному с модулем управления частотой дискретизации векторного анализатора сигналов

**4. Синтез**

Для проверки синтезируемости были проведены стадии Analysis & Synthesis, Place & Route, Generate programming files и Timing Analysis спроектированной схемы для ПЛИС семейства Cyclone 10 LP. На рисунках 4.1-4.7 представлены результаты проведенного синтеза.

На рисунке 4.1 изображена RTL-схема функционального генератора сигналов.

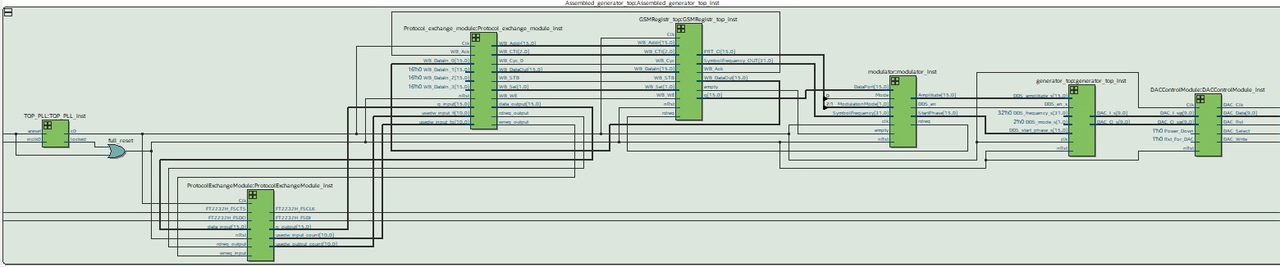


Рисунок 4.1. RTL-схема функционального генератора сигналов

На рисунке 4.2 изображена RTL-схема векторного анализатора сигналов.

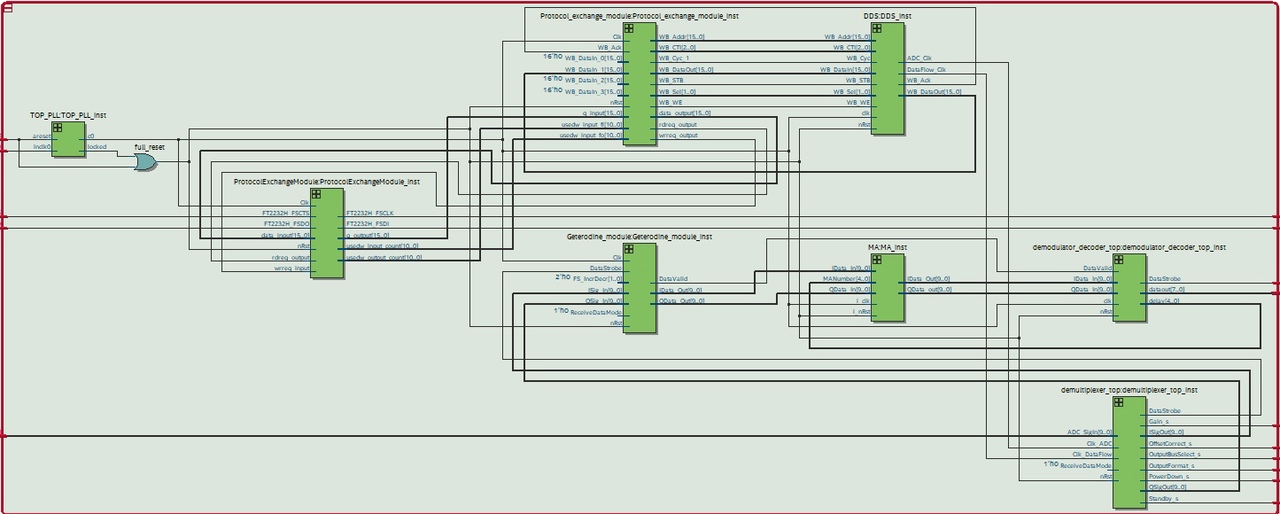


Рисунок 4.2. RTL-схема векторного анализатора сигналов

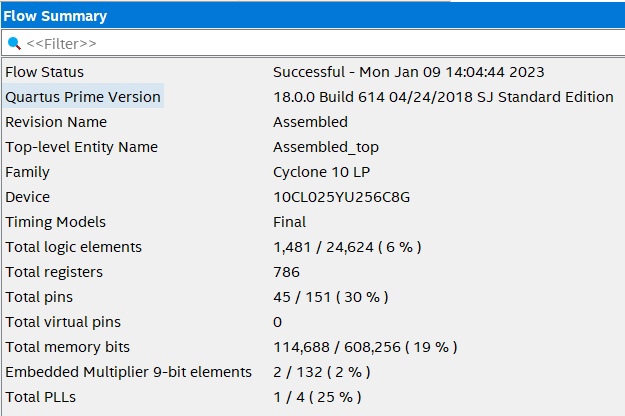


Рисунок 4.4. Отчёт о занимаемых ресурсах

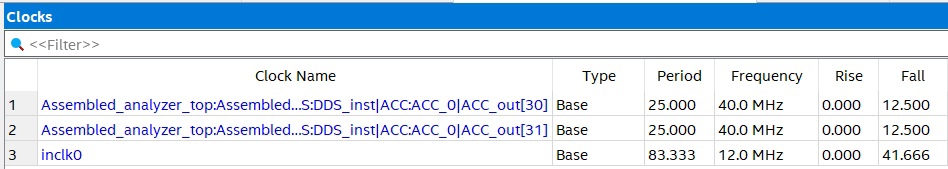


Рисунок 4.5. Используемые тактовые сигналы

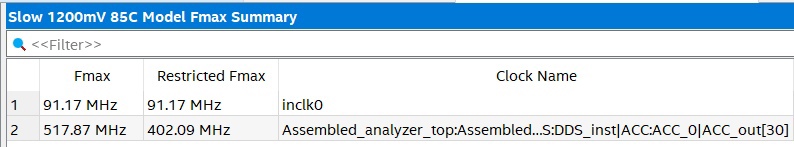


Рисунок 4.6. Отчёт о временных характеристиках при 85 С

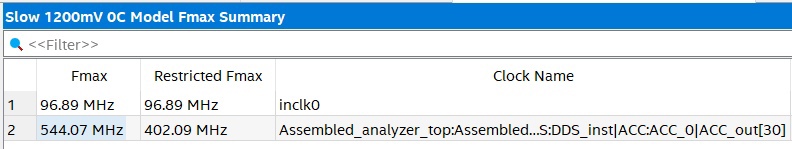


Рисунок 4.7. Отчёт о временных характеристиках при 0 С

1. **Заключение**

В ходе выполнения данной работы было описано общее подключение всех модулей проекта на языке VHDL. В ходе работы были получены навыки работы с языком описания оборудования VHDL, приобретен опыт работы с программным обеспечением Quartus Prime и ModelSim и опыт работы в команде.