

5 Projekt-Aufgabe 3 (EI/EI3nat) – Testbench-Erstellung

5.1 Vorbemerkung und Empfehlungen

Systementwicklung heißt in den meisten Fällen nicht nur alleine an einem Projekt zu arbeiten, sondern in einem ganzen Team. Aus diesem Grunde soll diese Projektaufgabe jeweils in einem Team von **4 Personen** durchgeführt werden. Die Aufgabenstellung ist so gewählt, dass die Aufgabe durch geschickte Aufteilung auf die 4 Personen zu schaffen ist. Bilden Sie also für diese Projektaufgabe ein Team aus 4 Personen. Anbei ein paar Empfehlungen, damit Sie die Aufgabe erfolgreich realisieren können:

- Bilden Sie bis spätestens Montag, den Montag, den 18.12.2017 Ihr Team bestehend aus 4 Personen.
- Wählen Sie in Ihrer Gruppe einen Teamleiter, der eventuelle Treffen plant und die Koordination der Projektaufgabe vornimmt. Zudem hat der Teamleiter folgende Verantwortlichkeiten:
 - Prof. Dr.-Ing. E. Mackensen bis 18.12.2017 mitteilen, aus wem das Team besteht.
 - Abgabe der Ergebnisse/Dokumentation in Moodle.
- Achten Sie darauf sich regelmäßig zu treffen, um ihren gegenseitigen Status zu erfassen, eventuelle Tests durchzuführen und nicht erst kurz vor der Abgabe der Projektaufgabe die endgültige Realisierung der Projektaufgabe zusammenzustellen oder eventuell zu testen.

5.2 Teilaufgabe 1: Erstellung von Testbenches für vier Teilkomponenten aus Projektaufgabe 1 und 2

Im Rahmen dieser ersten Teilaufgabe sollen Sie für vier Teilkomponenten Ihrer in Projektaufgabe 1 oder 2 entworfenen VHDL-Projekte Testbenches entwerfen und damit Ihre entsprechenden Entwürfe verifizieren. Entsprechende Teilkomponenten könnten z.B. sein Clock-Teiler, BCD-Dekodierer, 2-Bit-Zähler usw. Im Detail bedeutet dies:

- Wählen Sie zunächst die unterschiedlichen Teilkomponenten aus, für die Sie Testbenches erstellen möchte. Teilen Sie dies spätestens beim Abgabe-Termin Prof. Dr.-Ing. E. Mackensen mit. Achten Sie darauf, dass es sich hierbei um unterschiedliche Teilkomponenten handelt und dass die Teilkomponenten einen unterschiedlichen Schwierigkeitsgrad besitzen (also nicht 4 x das Niveau eines D-FF testen!)
- Erstellen Sie zunächst ein Konzept für Ihre einzelnen Testbenches, d.h. überlegen Sie sich,
 - in welcher Reihenfolge Sie was testen wollen,
 - wie Sie die Anforderungen an die entsprechenden Teilkomponenten testen wollen,
 - welche Ausgaben Sie am Bildschirm bei der Durchführung der Tests sehen möchten.

Bei der Erstellung des Konzeptes können Sie wieder alle Designmethoden anwenden, die Sie kennen (Erstellung von Blockschaltbildern, Ablaufdiagrammen...)

Die jeweilige Testbench soll folgendes leisten:

- Stimulation des jeweiligen DUT in der Art, dass eine vollständige Verifikation des jeweiligen DUT möglich ist.
- Überprüfung der entsprechenden Simulationsergebnisse auf Grund der Stimuli mittels Assert-Anweisung und einer entsprechenden Ausgabe-Meldung auf der Konsole des Simulators
- Schreiben Sie schließlich auf Grund Ihres Konzeptes die jeweiligen Testbenches für Ihre ausgewählten Komponenten
- Führen Sie jeweils mit Modelsim eine Simulation mit der jeweiligen Testbench durch, die die korrekte Funktionsweise der ausgewählten Komponenten bestätigen.

5.2.1 Geforderte Ergebnisse/Dokumentation

- Die Dokumentation der jeweiligen Testbench (Dokumentation des Konzeptes für die Testbench und Simulationsergebnisse bei Ausführung der Testbench) als pdf-Datei. Bitte kennzeichnen Sie die Dokumentation auf einem Deckblatt mit den Namen Ihrer Gruppe, Matrikelnummer und das Datum.
- Der VHDL-Source-Code, der jeweiligen Testbench und des entsprechenden Kurzzeitweckers, der getestet wurde. Bitte kennzeichnen Sie den VHDL-Code durch die Namen Ihrer Gruppe, Matrikelnummer und das Datum.
- Vorführung der jeweiligen Testbench-Simulation mit Modelsim.

5.3 Teilaufgabe 2: Erstellung einer Testbench für den Kurzzeitwecker

Im Rahmen dieser Teilaufgabe sollen Sie für Ihren in Projektaufgabe 2 entworfenen Kurzzeitwecker eine Testbench entwerfen und damit Ihren Entwurf verifizieren. Im Detail bedeutet dies:

- Wählen Sie zunächst aus, von welchem Teilnehmer aus dem 4er-Team Sie den VHDL-Code des Kurzzeitweckers verwenden möchten. Teilen Sie dies spätestens beim Abgabetermin Prof. Dr.-Ing. E. Mackensen mit.
- Erstellen Sie zunächst ein Konzept für die Kurzzeitwecker-Testbench, d.h. überlegen Sie sich,
 - in welcher Reihenfolge Sie was testen wollen,
 - wie Sie die geforderten Anforderungen aus der Projektaufgabe 2 testen wollen,
 - welche Ausgaben Sie am Bildschirm bei der Durchführung der Tests sehen möchten.

Bei der Erstellung des Konzeptes können Sie wieder alle Designmethoden anwenden, die Sie kennen (Erstellung von Blockschaltbildern, Ablaufdiagrammen...)

Die Testbench soll folgendes leisten:

- Stimulation des jeweiligen DUT in der Art, dass eine vollständige Verifikation des jeweiligen DUT möglich ist.
- Überprüfung der entsprechenden Simulationsergebnisse auf Grund der Stimuli mittels Assert-Anweisung und einer entsprechenden Ausgabe-Meldung auf der Konsole des Simulators
- Schreiben Sie schließlich auf Grund Ihres Konzeptes die Testbench für den gesamten Kurzzeitwecker.
- Führen Sie jeweils mit Modelsim eine Simulation mit der Testbench durch, die die korrekte Funktionsweise des Kurzzeitweckers bestätigt.

5.3.1 Geforderte Ergebnisse/Dokumentation

- Die Dokumentation der Testbench (Dokumentation des Konzeptes für die Testbench und Simulationsergebnisse bei Ausführung der Testbench) als pdf-Datei. Bitte kennzeichnen Sie die Dokumentation auf einem Deckblatt mit den Namen Ihrer Gruppe, Matrikelnummer und das Datum.
- Der VHDL-Source-Code, der jeweiligen Testbench und des entsprechenden Kurzzeitweckers, der getestet wurde. Bitte kennzeichnen Sie den VHDL-Code durch die Namen Ihrer Gruppe, Matrikelnummer und das Datum.
- Vorführung der Testbench-Simulation mit Modelsim.