Stefan Bucur 3153

Incomplete: testbench not completed yet

// ECE5440

// Author: Stefan Bucur

// Module: secTimer

// Description: 1-second timer for the FPGA. Timer is assumed to be connected to a 50MHz oscillator.

module secTimer(clk, rst, pulse\_1s);

    input clk, rst;

    output pulse\_1s;

    wire pulse\_1ms;

    cnt1000 counter (rst, pulse\_1ms, pulse\_1s);

    timer\_1ms timer (clk, rst, pulse\_1ms);

endmodule

// ECE5440

// Author: Stefan Bucur

// Module: secTimer

// Description: 1-second timer for the FPGA. Timer is assumed to be connected to a 50MHz oscillator.

module secTimer(clk, rst, pulse\_1s);

    input clk, rst;

    output pulse\_1s;

    wire pulse\_1ms;

    cnt1000 counter (rst, pulse\_1ms, pulse\_1s);

    timer\_1ms timer (clk, rst, pulse\_1ms);

endmodule

// ECE5440

// Author: Stefan Bucur 3153

// Module: cnt100

// Description: counter for the secTimer module; receives a pulse every 1ms

module cnt1000(rst, cnt\_up, pulse\_sec);

    input rst, cnt\_up;

    output pulse\_sec;

    reg [9:0] cnt;

    always @ (posedge cnt\_up) begin

        if(rst == 0)

        begin

            cnt <= 0;

            pulse\_sec = 1;

        end

        else begin

            if(cnt >= 1000)

            begin

                pulse\_sec <= 1;

                cnt <= 0;

            end

            else begin

                pulse\_sec <= 0;

                cnt <= cnt + 1;

            end

        end

    end

endmodule

// ECE5440

// Author: Stefan Bucur

// Module: timer\_1ms

// Description: Sends a short pulse every 1millisecond.

//      timer assumed to be connected to a 50MHz oscillator

module timer\_1ms(clk, rst, pulse\_1ms);

    input clk, rst;

    output pulse\_1ms;

    reg [31:0] cnt;

    always @ (posedge clk) begin

        if(rst == 0)

        begin

            pulse\_1ms <= 0;

            cnt <= 0;

        end

        else begin

            if(cnt >= 50000)

            begin

                cnt <= 0;

                pulse\_1ms <= 1;

            end

            else begin

                cnt <= cnt + 1;

                pulse\_1ms <= 0;

            end

        end

    end

endmodule

// ECE5440

// Author: Stefan Bucur

// Module: timer\_1s\_tb

// Description: testbench for the 1-secoond timer

//      count reset values are internally modified to simplify testing

`timescale 1ms/100ps

module timer\_1s\_tb();

    reg clk, rst;

    wire pulse;

    secTimer timer\_test (clk, rst, pulse);

    always begin

        clk <= 0;

        #10

        clk <= 1;

        #10

    end

    initial begin

        // TODO

    end

endmodule