

Lab 1

學號:109062318

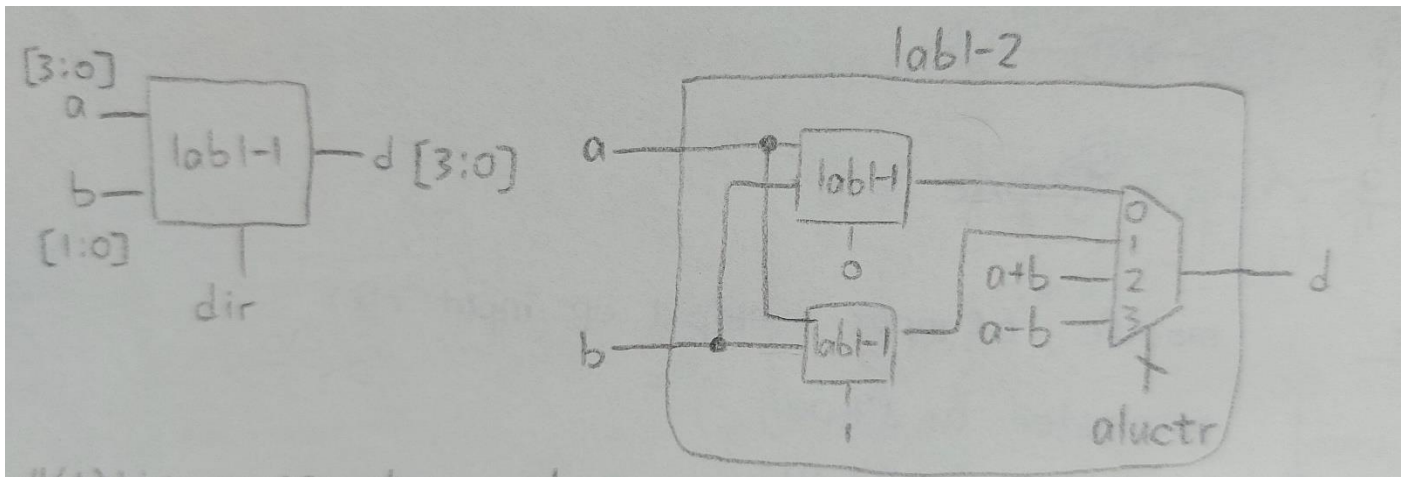
姓名: 簡弘哲

1. 實作過程

$\{a, b, dir\} = \{a, b, dir\} + 7'd1$ · 用 concatenation 做+1 比較直觀與輕鬆 · 非常好用的語法。

$d \leftarrow \{a[2:0], 1'b0\}$ · slicing 搭配 concatenation 達到 left shift 的效果。

`lab1_1 mylab1_1_left(.a(a), .b(b), .dir(0), .d(1s))` · 學會如何 instantiate module。



左圖是 lab1_1 的 block diagram，右圖是 lab1_2 的 block diagram，看到 if ...else if...覺得可以用 mux 來畫，雖然我不是很確定 2,3 的 input signal 可不可以直接接上 a+b,a-b，aluctr 應為 2bits(在圖上忘記標示)。

2. 學到的東西與遇到的困難

一開始沒有加 initial block 就直接寫 if 的語法，顯示 syntax error，卡了半小時也沒有頭緒，看了以前寫的 verilog code 以及網路上的範例以後才意識到高級的語法要寫在 initial, always block 裡。

後來發現在 simulation 的過程中，d 的值一直是 x 也不知道為什麼，起初懷疑是 wire 沒有接好，或是 wire 跟 reg 的問題，後來想到因為 a,b,dir 的值一直會變，所以應該要用 always@* block 而不是 initial block，就解決了。

學會如何分辨 wire & reg

在 simulate lab1_2 的時候忘記把 lab1_1 的 module 放到 design source 裡，導致有 error，不過很快就解決了。

3. 想對老師或助教說的話

我覺得老師錄的那些影片對我來說獲益良多，有一個系統性的方法去學習 verilog，不然大一下的選設課程只有片段、瑣碎地教一部分 verilog 的語法，不太容易了解，讓我在寫 verilog 的時候不斷碰壁。

1. 同 width 的 Wire type 跟 reg type 可以這樣寫嗎?

```
wire w;  
reg r;  
assign w=r;
```

2. 可以直接拿一個常數跟 wire type 比較嗎?

```
wire w;  
if(w==1'b0)  
....
```