山东大学 计算机科学与技术 学院

计算机组成与设计 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号： | 姓名： | | 班级： |
| 实验题目：RAM实验 | | | |
| 实验学时：2 | | 实验日期：2025/5/6 | |
| 实验目的：  1了解FPGA中RAM的功能；  2掌握block ram的参数设置和使用方法；  3掌握BRAM作为随机存储器RAM的仿真测试方法，工作特性和读写方法。 | | | |
| 实验软件和硬件环境：  软件环境：  Vivado软件、FPGA实验平台  硬件环境：  1.实验室台式机  2.FPGA服务器，PYNQ-Z2开发板 | | | |
| 实验原理和方法：  实验方法：  通过设置BRAM的定义和结构来实现一个可读可写的存储器模块，在这里BRAM被设置为单口RAM来实现存储和读取数据。  在初始化时，可加载COE文件预先设定存储内容，便于后续读取操作获取初值数据，然后根据按钮的输入进行索引地址来完成RAM的输入和输出。  实验原理：  数据从ram\_dp0的左边D[7..0]输入，从右边Q[7..0]输出，R/W为读/写控制信号端。  当输入数据和地址准备好以后，在inclock是地址锁存时钟，当信号上升沿到来时，地址被锁存，数据写入存储单元。  数据的读出控制是从A[7..0]输入存储单元地址，在CLK信号上升沿到来时，该单元数据从Q[7..0]输出。  R/W是读/写控制端，低电平时进行读操作，高电平时进行写操作；CLK是读/写时钟脉冲信号；DATA[7..0]是RAM\_dq0的8位数据输入端；A[7..0]是RAM的读出和写入地址；Q[7..0]是RAM\_dq0的8位数据输出端。  image-20240912183856397 | | | |
| 实验步骤：  （1）创建工程：打开本地安装的Vivado 2022.2，新建项目，选择pynq-z2器件。  fig:  （2）添加实验环境：进入FPGA在线实验环境，点击右上角项目材料下载实验源代码和希冀ip核到本地并解压。  fig:   1. 在Vivado项目中，点击Settings→IP→Repository，将上一步解压后的ip\_repo文件夹的位置添加进IP搜索目录。   fig:   1. 点击Sources窗口中的+，选择 Add or create design sources → Next → Add File, 添加实验源代码文件。   fig:   1. 点击Create Block Design创建一个新的顶层设计，随后点击添加IP核按钮，添加cg\_fpga IP.   fig:  (6)点击IP Catalog，并找到Block Memory Generator，开始配置BRAM  fig:  (7)按照如下方法定制单口BRAM，**并命名为ram0**:  image-20240912183123126  image-20240912183148478  (8)根据要求完成原理图的输入。BRAM也能使用初始化文件（\*.coe），请在Block Memory Genarator配置窗口的Other Options下进行添加。  image-20240912183856397  下面是Vivado软件下的电路图：    （9）右击Sources下顶层设计图标→Create HDL Wrapper，待Wrapper正确生成后，点击左下方Generate Bitstream，开始综合并生成bit文件。注意：综合前wrapper模块应被设置为顶层（加粗表示），若自动设置错误，需右击wrapper图标点击Set as Top手动设置。  fig:  （10）通过 FPGA 云实验平台，可在线分配远程 FPGA 硬件开发板。首先点击 connect 按钮，然后在下拉菜单中选择任意空闲的开发板，并点击Choose File中选择上一步生成的 \*.bit 文件，后点击 send，即可将本地bit文件烧写至希冀远程FPGA.  高电平时可以看到，发光管分别显示T1、T2、T3、T4的输出电平，将实验过程和实验结果写进实验报告。    在FPGA平台上分析其正确性。  首先！是没有配置coe文件的情况，默认输入为00  下面是配置了coe文件的情况，在这里默认输入是85:    在FPGA平台上面测评结果如下： | | | |
| 结论分析与体会：  实验结果验证成功 ：通过本次实验，成功实现了对FPGA中BRAM的读写操作，并验证了其功能的正确性。在未配置COE文件时，BRAM默认输出全0，数码管显示符合预期；配置COE文件后，BRAM能够正确加载初始化数据，数码管显示出与COE文件中对应的数值（如85），说明BRAM的初始化功能正常。  深入理解BRAM原理 ：本次实验让我对FPGA中BRAM的工作原理和应用有了更深入的理解。从BRAM的单口配置、初始化到读写操作，我深刻认识到BRAM在FPGA存储系统中的重要性以及其灵活的配置方式，为今后设计更复杂的存储系统奠定了基础。 | | | |
| 就write bitstream error的情况，发现是并没有set as top的原因，在解决这个问题后，成功生成bit文件。 | | | |