山东大学 计算机科学与技术 学院

计算机组成与设计 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号： | 姓名： | | 班级： |
| 实验题目：RAM扩展实验（上） | | | |
| 实验学时：2 | | 实验日期： 2025/5/13 | |
| 实验目的：  了解半导体静态随机读写存储器RAM的工作原理及其使用方法。  掌握半导体存储器的字、位扩展技术。 | | | |
| 实验软件和硬件环境：  软件环境：  Vivado软件、FPGA实验平台  硬件环境：  1.实验室台式机  2.FPGA服务器，PYNQ-Z2开发板 | | | |
| 实验原理和方法：  采用1K x 4 的LPM\_RAM的结构，构成1K x8的存储器。这里采用了位扩展来增加存储器的数据位宽，当系统对存储器的数据位宽有要求时，可以通过位扩展来增加存储器的数据位宽。例如，将多个存储芯片的数据线并联，字线连接到同一个地址总线上，从而实现位扩展。  然后就是在实验过程中的修改RAM的设置，根据数据线和地址线来修改RAM的读写位宽和数据容量，这里的情况如图所示：    在这里我发现数据位宽应该为4bit，地址选择应该是1024的大小。 | | | |
| 实验步骤：  （1）创建工程：打开本地安装的Vivado 2022.2，新建项目，选择pynq-z2器件。  fig:  （2）添加实验环境：进入FPGA在线实验环境，点击右上角项目材料下载实验源代码和希冀ip核到本地并解压。  fig:   1. 在Vivado项目中，点击Settings→IP→Repository，将上一步解压后的ip\_repo文件夹的位置添加进IP搜索目录。   fig:   1. 点击Sources窗口中的+，选择 Add or create design sources → Next → Add File, 添加实验源代码文件。   fig:   1. 点击Create Block Design创建一个新的顶层设计，随后点击添加IP核按钮，添加cg\_fpga IP.   fig:   1. 在Sources窗口下的Design sources中，根据[实验任务](#X235b964e49820cd75bed49e483d9561e9ff1263)的电路图拖拽相应模块，完成原理图的输入。   电路简图如下：    Vivado电路图如下：    配置RAM如下：       1. 右击Sources下顶层设计图标→Create HDL Wrapper，待Wrapper正确生成后，点击左下方Generate Bitstream，开始综合并生成bit文件。注意：综合前wrapper模块应被设置为顶层（加粗表示），若自动设置错误，需右击wrapper图标点击Set as Top手动设置。   fig:  （8）通过 FPGA 云实验平台，可在线分配远程 FPGA 硬件开发板。首先点击 connect 按钮，然后在下拉菜单中选择任意空闲的开发板，并点击Choose File中选择上一步生成的 \*.bit 文件，后点击 send，即可将本地bit文件烧写至希冀远程FPGA.  高电平时可以看到，发光管分别显示T1、T2、T3、T4的输出电平，将实验过程和实验结果写进实验报告。    在FPGA分析其正确性。  首先在这里测试存入功能，在address为0000000100，数据为00010001的情况下输出数据为11，结果正常:  下面是测试存入功能，在address为0000000101，数据为00110001的情况下输出数据为31，结果正常:    还有测试读出功能，在address为0000000101的情况下输出数据为31，结果正常：  在FPGA平台上面，测评结果如下： | | | |
| 结论分析与体会：  结论分析：  理论验证 ：通过本次 RAM 扩展实验，成功利用 1Kx4 的 LPM\_RAM 构建出 1Kx8 的存储器，实践证明采用位扩展技术，即将多个存储芯片的数据线并联，字线连接到同一地址总线的方式是可行的，这与半导体存储器扩展的理论相符，验证了相关理论的正确性与可操作性。  功能测试 ：在 FPGA 平台进行的测试表明，无论是存入功能还是读出功能均正常。例如在 address 为 0000000100，数据为 00010001 时输出数据为 11；address 为 0000000101，存入数据 00110001 时输出 31，读出时也能正确得到 31，这充分说明所设计的存储器在数据的写入与读取方面达到了预期效果，能够准确地按照给定地址进行数据存储和提取，各部分电路协同工作良好，实现了存储器的基本功能。  结论体会：  这次实验让我对半导体静态随机读写存储器 RAM 的工作原理有了更为深入的理解，不再局限于书本上的抽象概念。通过对实际电路的设计与搭建，清晰地看到 RAM 如何在地址信号、控制信号的作用下进行数据的读写操作，也明白了字扩展和位扩展技术是如何巧妙地提升存储器容量与数据位宽。 | | | |
| 问题：最初对数据位宽和地址选择的设置不够准确，影响了整个存储器的正常运行和功能测试。  原因分析 ：对实验要求的理解不够深入，在设置 RAM 参数时没有充分考虑到系统对数据位宽和地址范围的实际需求，导致设置值与实际应用情况不符。  解决方法 ：重新审视实验原理和要求，明确数据位宽应为 4bit，地址选择应满足 1024 的大小（即 1K 的地址空间），据此对 RAM 的相关设置进行修改，调整数据线和地址线的连接与配置，确保存储器的参数设置正确合理，满足实验要求，之后再次进行功能测试，成功解决了该问题，使存储器能够正常工作。 | | | |