山东大学 计算机科学与技术 学院

计算机组成与设计 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号： | 姓名： | | 班级： |
| 实验题目：逻辑运算电路 | | | |
| 实验学时：2 | | 实验日期：2025/3/10 | |
| 实验目的：  了解到Vivado软件设计电路的方法，并生成bit文件并到FPGA虚拟测试平台测试  设计一个能实现1位逻辑乘（ab）、逻辑或（a+b）、半加（ab）的逻辑运算电路 | | | |
| 实验软件和硬件环境：  软件环境：  Vivado软件、FPGA实验平台  硬件环境：  2.FPGA服务器，PYNQ-Z2开发板 | | | |
| 实验原理和方法：  电路板抽象为cg\_fpga\_0芯片，然后通过输入接口和输出接口完成与逻辑电路的相连，实现电路的功能，通过and，not逻辑门实现一位逻辑乘（ab）、逻辑或（a+b）、半加（ab）的，然后将他们or的逻辑运算电路。 | | | |
| 实验步骤：  （1）创建工程：打开本地安装的Vivado 2022.2，新建项目，选择pynq-z2器件。  （2）添加实验环境：进入FPGA在线实验环境，点击右上角项目材料下载实验源代码和希冀ip核到本地并 解压。  （3）在Vivado项目中，点击 Settings → IP → Repository ，将上一步解压后的ip\_repo文件夹的位置 添加进IP搜索目录。  （4）点击 Sources 窗口中的 + ，选择 Add or create design sources → Next → Add File , 添加 实验源代码文件。  （5）点击 Create Block Design 创建一个新的顶层设计，随后点击添加IP核按钮，添加cg\_fpga IP。  （6）在 Sources 窗口下的 Design sources 中，根据电路图拖拽相应模块，完成原理图的输入。  （7）将输入的模块与cg\_fpga如下图连接，并选择cg\_fpga模块上的 FIXED\_IO 和 DDR ，点击右键→ Make External .    （8）右击 Sources 下顶层设计图标→ Create HDL Wrapper ，待Wrapper正确生成后，点击左下方  Generate Bitstream ，开始综合并生成bit文件。注意：综合前 wrapper 模块应被设置为顶层  （加粗表示），若自动设置错误，需右击wrapper图标点击 Set as Top 手动设置。  首先！在输入为10000的时候输出为0  下面是输入为10010的时候输出为1的情况:    这是因为逻辑或现在为1，然后逻辑乘为0，然后一或就是1，所以输出1.  选作实验： 前面步骤与基本实验相同，只是把上面实验的电路图进行了封装，实现了4位的逻辑操作  具体电路图如下：    这里的warp是四个一样的，是上面单位逻辑电路的封装，具体展开如下：  关于引脚分配：  四个输出为LED灯16，15，14，13  11个输入为：前八个为a，b，a1，b1，a2，b2，a3，b3，后三个为：and，or，xor  然后是效果展示图：  输入为and，a：1001，b：1100  输出应为1000，效果展示：    然后是or门，输入为or，a：1001，b：1100  输出应为：1101  效果如图：    最后是xor门，输入为xor，a：1001，b：1100  输出应为0101    通过输出结果检验没有问题 | | | |
| 结论分析与体会：  这次的实验让我对于逻辑运算有了一个深入的理解。同时还熟悉了Vivado软件的使用以及云端FPGA实验板来实现电路板的效果。  然后是选做实验，学会了封装的作用，用来减少编码量，还学会了如何通过基本电路实现多功能的电路图。 | | | |
| 中间遇到的问题：  中间我发现无论输入什么输出都是1，然后我观察了电路图发现并没有问题，然后我去对照了一下Q2的电路图发现只有那个常量1才可能导致这种结果，所以我加了一个not门，这时候输出就正常了。 | | | |