山东大学 计算机科学与技术 学院

计算机组成与设计 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号：202300130120 | 姓名： 李上一 | | 班级：23.1 |
| 实验题目：四位补码运算器 | | | |
| 实验学时：2 | | 实验日期：2025/4/2 | |
| 实验目的：  本实验要求设计一个能够实现补码加法、减法、加1、左移、右移、直接传送等功能的四位补码运算器。 | | | |
| 实验软件和硬件环境：  软件环境：  Vivado软件、FPGA实验平台  硬件环境：  1.实验室台式机  2.FPGA服务器，PYNQ-Z2开发板 | | | |
| 实验原理和方法：  实验原理：  实验原理图：    实验电路图：    根据这两幅图进行分析，R0和R1是两个寄存器，用来存放对应的数据，方便进行不同的操作，然后相加减就是根据K的正负进行相加减，然后把输出结果输入到移位器中，移位器中还有三个输入接口，分别是LM，RM，DM。然后根据这些输入进行输出不同的结果，然后存放到后面的寄存器中，最后放到adpt\_out这个接口，进行输出。 | | | |
| 实验步骤：  （1）创建工程：打开本地安装的Vivado 2022.2，新建项目，选择pynq-z2器件。  （2）. 添加实验环境：进入FPGA在线实验环境，点击右上角项目材料下载实验源代码和希冀ip核到本地并解压。  （3）3. 在Vivado项目中，点击 Settings → IP → Repository ，将上一步解压后的ip\_repo文件夹的位置  添加进IP搜索目录。    （4）点击 Sources 窗口中的 + ，选择 Add or create design sources → Next → Add File , 添加  实验源代码文件。  （5）点击 Create Block Design 创建一个新的顶层设计，随后点击添加IP核按钮，添加cg\_fpga IP.  （6）在 Sources 窗口下的 Design sources 中，根据上面的电路图拖拽相应模块，完成原理图的输入。   1. 将输入的模块与cg\_fpga如下图连接，并选择cg\_fpga模块上的 FIXED\_IO 和 DDR ，点击右键→ Make External . 这里为了保证补码减法器运算正确，可直接将 C0 与输入 K 连接。   （8）：右击 Sources 下顶层设计图标→ Create HDL Wrapper ，待Wrapper正确生成后，点击左下方 Generate Bitstream ，开始综合并生成bit文件。注意：综合前 wrapper 模块应被设置为顶层 （加粗表示），若自动设置错误，需右击wrapper图标点击 Set as Top 手动设置。  （9）：通过 FPGA 云实验平台，可在线分配远程 FPGA 硬件开发板。首先点击 connect 按钮，然后在下  拉菜单中选择任意空闲的开发板，并点击 Choose File 中选择上一步生成的 \*.bit 文件，后点击 send ，即可将本地bit文件烧写至希冀远程FPGA.  管脚绑定如图：    利用开关与指示灯测试：加法、减法、加1、左移、右移、直传等功能，并分析结果正确性。  在FPGA电路板上面分析其正确性。  首先！输入为DM k = 0，a = 0011 b = 0001，理论情况下输出结果应该为0100，根据实验结果观察发现结果确实是0100，验证正确。  下面是输入位LM，k = 0，a = 0011，b = 0001的情况，理论情况下输出结果应该为1000，根据观察实际结果就是1000。验证正确    还有DM k = 1， a = 0011，b = 0001的情况，理论情况下输出结果是0001，通过实验观察，结果确实是0001。 | | | |
| 结论分析与体会：   1. 这次的实验让我对于移码有了一个深入的理解。同时进行了：   实验正确性验证 通过实验结果验证，四位补码运算器能够正确实现加法、减法、加1、左移、右移和直接传送等基本功能。以下是主要验证结果：  加法功能：当输入 a=0011 和 b=0001，且 k=0 时，输出结果为 0100，与理论值一致。  左移功能：当输入 a=0011 和 b=0001，且 k=0 时，左移操作后输出结果为 1000，验证正确。  减法功能：当输入 k=1，a=0011，b=0001 时，输出结果为 0001，与理论值一致。  移码的理解与应用 在实验过程中，移码的处理是关键。移码是补码的一种变体，主要用于简化符号位的处理。通过实验，我们对移码的运算规则有了更深入的理解，尤其是在左移和右移操作中，移码的符号位扩展和数值位处理需要特别注意。  FPGA硬件验证 实验中通过FPGA硬件平台验证了运算器的正确性。实验结果表明，硬件设计与理论分析一致，说明实验设计的逻辑电路能够正确实现补码运算器的功能。 | | | |
| 就管脚绑定错误：部分管脚绑定错误导致输出结果异常，通过重新检查管脚配置文件解决了问题。 | | | |