山东大学 计算机科学与技术 学院

计算机组成与设计 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号： | 姓名： | | 班级： |
| 实验题目： | | | |
| 实验学时：2 | | 实验日期： | |
| 实验目的：  根据补码加法器的模型，理解数据流及其时序关系。  掌握加法器实现补码加、减运算的基本原理。 | | | |
| 实验软件和硬件环境：  软件环境：  Vivado软件、FPGA实验平台  硬件环境：  1.实验室台式机  2.FPGA服务器，PYNQ-Z2开发板 | | | |
| 实验原理和方法：  实验原理：  补码加法器模型：  补码加法器是一种能够实现补码加法和减法运算的数字电路。其基本原理是通过将减法运算转换为加法运算来实现。补码加法器的核心是加法器和符号位处理电路。  数据流及时序关系：  补码加法器的数据流包括操作数的输入、加法器的运算、符号位的处理以及结果的输出。时序关系由时钟信号控制，确保数据在正确的时间被锁存和处理。  加法器实现补码加、减运算：  补码加法器通过以下步骤实现加法和减法运算：  加法运算：直接将两个操作数的补码相加。  减法运算：将减数取反加1，然后与被减数相加。  符号位处理：使用双符号位检测溢出。  数据流程图如图： image-20240911175006203 | | | |
| 实验步骤：  （1）创建工程：打开本地安装的Vivado 2022.2，新建项目，选择pynq-z2器件。  （2）. 添加实验环境：进入FPGA在线实验环境，点击右上角项目材料下载实验源代码和希冀ip核到本地并解压。  （3）3. 在Vivado项目中，点击 Settings → IP → Repository ，将上一步解压后的ip\_repo文件夹的位置  添加进IP搜索目录。  （4）点击 Sources 窗口中的 + ，选择 Add or create design sources → Next → Add File , 添加  实验源代码文件。   1. 点击 Create Block Design 创建一个新的顶层设计，随后点击添加IP核按钮，添加cg\_fpga IP.     （6）在 Sources 窗口下的 Design sources 中，根据上面的电路图拖拽相应模块，完成原理图的输入。   1. 将输入的模块与cg\_fpga如下图连接，并选择cg\_fpga模块上的 FIXED\_IO 和 DDR ，点击右键→ Make External . 这里为了保证补码减法器运算正确，可直接将 C0 与输入 K 连接。   （8）：右击 Sources 下顶层设计图标→ Create HDL Wrapper ，待Wrapper正确生成后，点击左下方 Generate Bitstream ，开始综合并生成bit文件。注意：综合前 wrapper 模块应被设置为顶层 （加粗表示），若自动设置错误，需右击wrapper图标点击 Set as Top 手动设置。  （9）：通过 FPGA 云实验平台，可在线分配远程 FPGA 硬件开发板。首先点击 connect 按钮，然后在下  拉菜单中选择任意空闲的开发板，并点击 Choose File 中选择上一步生成的 \*.bit 文件，后点击 send ，即可将本地bit文件烧写至希冀远程FPGA.  利用输入开关键改变输入操作数的值，看LED指示灯显示的结果是否正确并记录结果。下面是具体的验证过程。  在FPGA电路板上分析其正确性。  首先！先输入0011，并通过clk将数据导入进去，理论情况下输出应该为0011，根据实验观察，实际结果确实是0011，  下面是累加器继续累加，不改变数据，再次点击clk，进行累加的情况，理论情况下输出为：0110，通过结果验证输出确实是0110    继续累加0011的情况，理论输出应该是1001，根据实验结果，发现输出确实是1001  现在来看相减的问题，1001减去0011，理论情况下应该是0110，根据实验验证，结果确实是0110。    现在来看溢出的情况，1101加上一个0111，这时候发生了溢出，理论情况下输出应该是10100，通过下面两幅图片我们看到确实是10100，输出结果正确。 | | | |
| 结论分析与体会：  实验正确性验证 通过实验结果验证，设计的4位补码加法器能够正确实现加法、减法和累加功能，同时能够检测溢出情况。以下是主要验证结果：  加法功能：输入 0011，通过时钟信号锁存后，输出结果为 0011，验证正确。  累加功能：在累加器中继续累加 0011，输出结果依次为 0110 和 1001，验证正确。  减法功能：输入 1001 减去 0011，输出结果为 0110，验证正确。  溢出检测：输入 1101 加上 0111，结果为 10100，验证溢出检测功能正确。  对补码加法器的理解 通过本次实验，深入理解了补码加法器的工作原理及其数据流和时序关系：  加法与减法的统一性：减法运算通过将减数取反加1后与被减数相加实现，验证了补码运算的统一性。  符号位处理：通过双符号位检测溢出，确保了运算结果的正确性。  时序控制：时钟信号确保了数据在正确的时间被锁存和处理，保证了运算的稳定性。 | | | |
| 实验中遇到的“乱码”和“处理错误”问题，提醒我在硬件设计中需要更加注重细节，如管脚绑定、IP核配置和时序约束。 | | | |