山东大学 计算机科学与技术 学院

计算机组成与设计 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号： | 姓名： | | 班级： |
| 实验题目：实验8 时序系统实验 | | | |
| 实验学时：2 | | 实验日期：2025/4/15 | |
| 实验目的：  掌握计算机实验中时序系统的设计方法。设计一个基本时序系统，该系统具有4个节拍电平及四相工作脉冲，其时序关系参阅下图中的M0—M3，T0—T3。 | | | |
| 实验软件和硬件环境：  软件环境：  Vivado软件、FPGA实验平台  硬件环境：  1.实验室台式机  2.FPGA服务器，PYNQ-Z2开发板 | | | |
| 实验原理和方法：  时序系统的基本概念：  时序系统是数字电路中用于协调各个模块工作的重要部分，通常由时钟信号、节拍电平和工作脉冲组成。  本实验设计的时序系统具有4个节拍电平（M0-M3）和四相工作脉冲（T0-T3），这些信号共同决定了系统的运行节奏。  节拍电平与工作脉冲：  节拍电平（M0-M3）：用于划分时序周期，每个节拍电平对应一个阶段。  工作脉冲（T0-T3）：在每个节拍电平内，用于触发具体的操作或模块。  硬件实现原理：  时钟信号：由74LS161计数器生成，提供基本的时钟脉冲。  节拍电平划分：通过74LS161计数器的输出信号，划分出4个节拍电平（M0-M3）。  工作脉冲分配：使用74LS138译码器，将节拍电平信号分配为四相工作脉冲（T0-T3）。  移位寄存器：74LS194移位寄存器用于存储和移位数据，初始状态由拨码开关设置为0001。  通过拨码开关设置初始状态和控制信号。  使用LED指示灯观察系统运行状态和实验结果。 | | | |
| 实验步骤：  （1）创建工程：打开本地安装的Vivado 2022.2，新建项目，选择pynq-z2器件。  fig:  （2）添加实验环境：进入FPGA在线实验环境，点击右上角项目材料下载实验源代码和希冀ip核到本地并解压。  fig:   1. 在Vivado项目中，点击Settings→IP→Repository，将上一步解压后的ip\_repo文件夹的位置添加进IP搜索目录。   fig:   1. 点击Sources窗口中的+，选择 Add or create design sources → Next → Add File, 添加实验源代码文件。   fig:   1. 点击Create Block Design创建一个新的顶层设计，随后点击添加IP核按钮，添加cg\_fpga IP.   fig:   1. 在Sources窗口下的Design sources中，根据[实验任务](#X235b964e49820cd75bed49e483d9561e9ff1263)的电路图拖拽相应模块，完成原理图的输入。   image-20240911233413665   1. 右击Sources下顶层设计图标→Create HDL Wrapper，待Wrapper正确生成后，点击左下方Generate Bitstream，开始综合并生成bit文件。注意：综合前wrapper模块应被设置为顶层（加粗表示），若自动设置错误，需右击wrapper图标点击Set as Top手动设置。   fig:  （8）通过 FPGA 云实验平台，可在线分配远程 FPGA 硬件开发板。首先点击 connect 按钮，然后在下拉菜单中选择任意空闲的开发板，并点击Choose File中选择上一步生成的 \*.bit 文件，后点击 send，即可将本地bit文件烧写至希冀远程FPGA.  高电平时可以看到，发光管分别显示T1、T2、T3、T4的输出电平，将实验过程和实验结果写进实验报告。    在FPGA模板上面分析其正确性。  首先:点击CLK进行模拟一个时钟周期的前进  下面是继续点击CLK的情况:    还有继续点击CLK的情况：  测评结果如下：  表示为Accept，结果正确。 | | | |
| 结论分析与体会：  实验结果验证：  通过LED指示灯观察到的移位寄存器的输出状态，验证了时序系统设计的正确性。移位寄存器在每个工作脉冲的驱动下，按照预期的时序进行移位操作，初始状态0001依次移出，符合实验要求。  时序系统功能实现：  实验成功实现了具有4个节拍电平（M0-M3）和四相工作脉冲（T0-T3）的时序系统。节拍电平和工作脉冲的时序关系正确，能够协调各个模块的工作。  通过本次实验，深入理解了时序系统的设计方法，包括节拍电平和工作脉冲的划分、时钟信号的生成以及硬件模块的协调工作。掌握了如何利用计数器、译码器和移位寄存器等器件构建一个完整的时序系统。 | | | |
| 在实验过程中，遇到了一些问题，如硬件连接错误和时序关系不正确。通过仔细检查和调整，这些问题得到了解决，进一步验证了实验设计的合理性和可行性。 | | | |