山东大学 计算机科学与技术 学院

计算机组成与设计 课程实验报告

|  |  |  |  |
| --- | --- | --- | --- |
| 学号： | 姓名： | | 班级： |
| 实验题目：七段译码设计 | | | |
| 实验学时：2 | | 实验日期： 2025/4/22 | |
| 实验目的：  熟悉Vivado的设计流程全过程，学习计数器的设计和硬件测试。掌握原理图的设计方法。  学会并且掌握七段译码设计的电路 | | | |
| 实验软件和硬件环境：  软件环境：  Vivado软件、FPGA实验平台  硬件环境：  1.实验室台式机  2.FPGA服务器，PYNQ-Z2开发板 | | | |
| 实验原理和方法：  实验原理：  七段译码设计 ：利用计数器与七段数码管相结合，将计数器输出的二进制数值转换为七段数码管可识别的信号，从而在数码管上显示出对应的十进制数字。计数器按照一定的规律进行计数，其输出经过译码器转换后驱动七段数码管的相应段位发光，实现数字显示。  实验方法：  开发环境搭建 ：  打开本地安装的 Vivado 2022.2 软件，新建项目，并选择 pynq-z2 器件。  进入 FPGA 在线实验环境，点击右上角项目材料下载实验源代码和所需 ip 核到本地并解压。  在 Vivado 项目中，点击 Settings→IP→Repository，将解压后的 ip\_repo 文件夹的位置添加进 IP 搜索结果目录。  电路设计与输入 ：  点击 Sources 窗口中的 + ，选择 Add or create design sources→Next→Add File，添加实验源代码文件。  点击 Create Block Design 创建一个新的顶层设计，随后点击添加 IP 核按钮，添加相应的 IP（如 cg\_fpga IP 等）。  根据实验任务的电路图，在 Sources 窗口下的 Design sources 中拖拽相应模块，完成原理图的输入。  生成 bit 文件 ：  右击 Sources 下顶层设计图标→Create HDL Wrapper，待 Wrapper 正确生成后，点击左下方 Generate Bitstream，开始综合并生成 bit 文件。综合前需确保 wrapper 模块被设置为顶层，若自动设置错误，需右击 wrapper 图标点击 Set as Top 手动设置。  硬件测试与结果观察 ：  通过 FPGA 云实验平台，点击 connect 按钮，在下拉菜单中选择任意空闲的开发板，并点击 Choose File 中选择生成的 \*.bit 文件，后点击 send，将本地 bit 文件烧写至远程 FPGA。  对于移位电路实验，当输入信号高电平时，观察发光管分别显示 T1、T2、T3、T4 的输出电平，判断移位操作是否正确。  对于七段译码实验，根据数码管显示的结果，验证计数器和译码器的设计是否正确，观察数码管是否能准确显示出计数器对应的数值。 | | | |
| 实验步骤：  （1）创建工程：打开本地安装的Vivado 2022.2，新建项目，选择pynq-z2器件。  fig:  （2）添加实验环境：进入FPGA在线实验环境，点击右上角项目材料下载实验源代码和希冀ip核到本地并解压。  fig:   1. 在Vivado项目中，点击Settings→IP→Repository，将上一步解压后的ip\_repo文件夹的位置添加进IP搜索目录。   fig:   1. 点击Sources窗口中的+，选择 Add or create design sources → Next → Add File, 添加实验源代码文件。   fig:   1. 点击Create Block Design创建一个新的顶层设计，随后点击添加IP核按钮，添加cg\_fpga IP.   fig:   1. 在Sources窗口下的Design sources中，根据[实验任务](#X235b964e49820cd75bed49e483d9561e9ff1263)的电路图拖拽相应模块，完成原理图的输入。   4位计数器连接7段译码，多数码管进行显示控制。实验框图如下图所示    Vivado电路图连接：     1. 右击Sources下顶层设计图标→Create HDL Wrapper，待Wrapper正确生成后，点击左下方Generate Bitstream，开始综合并生成bit文件。注意：综合前wrapper模块应被设置为顶层（加粗表示），若自动设置错误，需右击wrapper图标点击Set as Top手动设置。   fig:  （8）通过 FPGA 云实验平台，可在线分配远程 FPGA 硬件开发板。首先点击 connect 按钮，然后在下拉菜单中选择任意空闲的开发板，并点击Choose File中选择上一步生成的 \*.bit 文件，后点击 send，即可将本地bit文件烧写至希冀远程FPGA.  高电平时可以看到，发光管分别显示T1、T2、T3、T4的输出电平，将实验过程和实验结果写进实验报告。    在FPGA电路板上分析其正确性。  首先！在开始电路的时候，数码板上面是0，状态设置为0001，电路板上面的数字是0:  下面是在这种情况下，点击clk后的结果:发现数字变为1    最后就是状态为0000，点击clk的结果，发现数字没有发生改变：  平台测评结果： | | | |
| 结论分析与体会：  实验结论：  这次的实验让我对于七段译码设计电路有了一个深入的理解。同时本次七段译码设计实验，经一系列实验操作，数码管正常显示计数器输出的数值，这表明所设计的七段译码电路在正常状态下能够准确实现二进制数到十进制数的转换和显示功能。  实验体会：  本次实验让我对七段译码设计有了更深入的理解，不仅掌握了利用计数器与七段数码管结合实现数字显示的方法，还熟悉了 Vivado 软件及 FPGA 硬件实验平台的使用流程，提升了硬件电路设计与调试能力。从最开始的创建工程、添加实验环境，到电路设计、输入，再到生成 bit 文件并进行硬件测试，这一完整过程让我明白了一个硬件电路设计项目从无到有并成功运行的全过程。 | | | |
| 就输入接口连接错误处理的过程：  在做测评的时候，发现无论如何操作，输出结果都是0，这让我联想到可能是输入接口连接错误，于是我去看那个接口规定，发现连接错误，改正过来之后，现象正确，点击加一。 | | | |