

# DISEÑO DE UN AMPLIFICADOR DE DOS ETAPAS

Juan José Restrepo Rosero  
Facultad de Ingeniería y Ciencias  
Pontificia Universidad Javeriana Cali  
Santiago de Cali, Valle del Cauca  
juanjorestrepo@javerianacali.edu.co

Manuel Alejandro Orejuela  
Facultad de Ingeniería y Ciencias  
Pontificia Universidad Javeriana Cali  
Santiago de Cali, Valle del Cauca  
manuelalejo@javerianacali.edu.co

David Alejandro Dorado  
Facultad de Ingeniería y Ciencias  
Pontificia Universidad Javeriana Cali  
Santiago de Cali, Valle del Cauca  
alejodoradog@javerianacali.edu.co

**Resumen**— Se realizó el diseño de un amplificador multietapas, en específico cuenta con dos, para una ganancia de voltaje total de 200. Se llevó a cabo el planteamiento teórico teniendo en cuenta que se diseña para Máxima Excusión Simétrica (M.E.S.), permitiéndonos hacer algunas afirmaciones como que la resistencia del colector dos es igual a la resistencia de carga. De esta manera se fueron definiendo todos los componentes del amplificador. Para una etapa posterior se espera hacer el contraste con la práctica en el laboratorio.

**Palabras clave**— Ganancia, multietapa, eficiencia, excusión, potencia, carga.

**Abstract**—The design of a multistage amplifier was made, specifically it has two, for a total voltage gain of 200. The theoretical approach was carried out taking into account that it is designed for Maximum Symmetric Excursion (M.S.E.), allowing us to make some statements such as that the resistance of collector two is equal to the load resistance. In this way, all the components of the amplifier were defined.

**Keywords**— Gain, multistage, efficiency, excursion, power, load.

## I. INTRODUCCIÓN

Partiendo del principio de funcionamiento de los transistores, es posible llegar a la idea de que un circuito de este tipo es aquel que recibe una señal y devuelve una idéntica, pero con diferente magnitud.

Sin embargo, a la hora de estudiarlos resulta un poco más complejo y es necesario tener en cuenta ciertos factores como las etapas del amplificador (emisor común, base común, etc.) y sus modos de acoplamiento. Conociendo estas etapas, sus comportamientos y valores teóricos, es posible diseñar circuitos amplificadores con muchas utilidades. Es por ello que en el siguiente informe se utilizarán los conocimientos adquiridos anteriormente para realizar el análisis del circuito propuesto junto con sus correspondientes cálculos y simulaciones para poder analizar el comportamiento de las señales de salida.

## II. OBJETIVOS

- Consolidar los conceptos teóricos adquiridos en el análisis, diseño y simulación de amplificadores con varias etapas, a partir de transistores BJT.
- Verificar mediante simulación del circuito amplificador conceptos como la potencia entregada a la carga, la eficiencia, ancho de banda del amplificador y la ganancia de voltaje.
- Comparar los resultados obtenidos en la práctica con los de simulación y la parte teórica.

## III. MARCO TEÓRICO

Los amplificadores multietapa son circuitos electrónicos compuestos por varios transistores (BJT o FET), que pueden acoplarse directamente, mediante condensadores o mediante un transformador. Este tipo de un circuito, es capaz de procesar señales

según la naturaleza de la aplicación, es decir, recibe una señal y devuelve una señal idéntica pero de diferente amplitud, menor o mayor; además de tener más de una etapa en la que realiza dicha operación [1] [2].

## IV. DISEÑO

### Cálculos:

Se sabe en primer lugar que se requiere diseñar amplificador de dos etapas para una ganancia total de 200 y cuyo punto Q se encuentre en Máxima Excusión Simétrica, que sea de la forma:

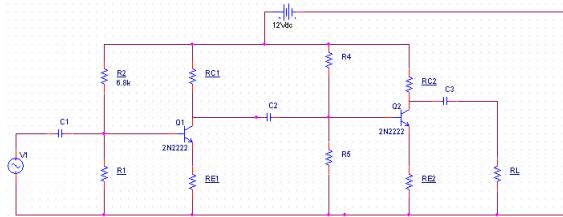


Imagen 1. Amplificador de dos etapas.

Es por eso que en primer lugar se plantean las respectivas ganancias de voltaje:

Como se sabe, la ganancia total es la multiplicación de las dos ganancias de las respectivas etapas:

$$A_{VT} = A_{V1} \times A_{V2} = 200,$$

De ahí estipulamos:

$$A_{V1} = -10$$

$$A_{V2} = -20$$

Debemos tener en cuenta que:

$$R_L = R_C = 1k\Omega$$

Además, como los transistores usados son 2N222, se tomó un  $\beta = 260$

Ahora bien, para realizar el diseño debemos empezar analizando la etapa 2 en AC, siendo el modelo híbrido:

### Etapa 2:

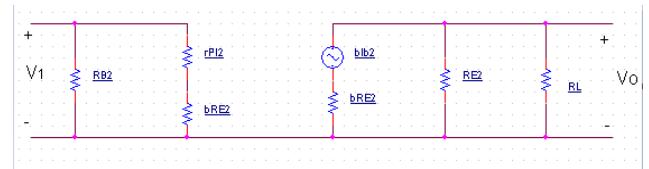


Imagen 2. Modelo Híbrido del amplificador.

En primer lugar:

$$r_{\pi 2} = \frac{\beta 26mV}{I_{CQ2}}$$

Además, cómo debe diseñarse para MES:

$$I_{CQ2} = \frac{V_{CC}}{R_{DC} + R_{AC}} = \frac{V_{CC}}{R_{C2} + 2R_{E2} + (R_{C2} + R_L)}$$

Es decir:

$$I_{CQ2} = \frac{V_{CC}}{2R_{E2} + 1.5R_{C2}}$$

Ahora:

$$A_{V2} = \frac{V_o}{V_1}$$

y si analizamos:

$$V_o = -\beta \times i_{b2} \times (R_{C2} // R_L)$$

$$V_1 = i_{b2} \times (r_{\pi 2} + \beta R_{E2})$$

como  $A_{V2}$  es -20, reemplazando todos los valores:

$$-20 = \frac{-130k}{169 \frac{R_{E2}}{150} + 260R_E + 845}$$

Despejando  $R_E$ :

$$R_E = 21.65 \approx 22\Omega$$

y se sabe que:

$$R_{B2} = 0,1 \times \beta \times R_{E2}$$

$$R_{E1} \approx 24\Omega$$

Por lo tanto,  $R_{B2}$ :

$$R_{B2} \approx 563\Omega$$

### Etapa 1:

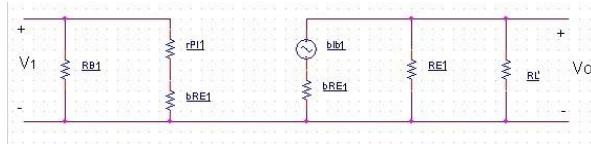


Imagen 3. Amplificador con transistores en modelo híbrido.

$$r_{\pi 1} = \frac{\beta 26mV}{I_{CQ1}}$$

$$R_L' = R_{C1} \approx 519\Omega$$

Por MES:

$$I_{CQ2} = \frac{V_{cc}}{2R_{E2} + 1.5R_{C2}}$$

Ahora:

$$A_{V2} = \frac{V_1}{V_s}$$

$$V_1 = -\beta \times i_{b1} \times (R_{C1} // R_L')$$

$$V_s = i_{b1} \times (r_{\pi 2} + \beta R_{E1})$$

Por lo tanto:

$$A_{V1} = \frac{-\beta \times i_{b1} \times (R_{C1} // R_L')}{i_{b1} \times (r_{\pi 1} + \beta R_{E1})}$$

Como  $A_{V1}$  es -10, reemplazando todos los valores:

$$-10 = \frac{-260 * 259}{169 \frac{R_{E1}}{150} + 260R_{E1} + 438}$$

Despejando  $R_{E1}$ :

Por otro lado:

$$I_{CQ1} = \frac{12}{48 + 778.02} = 14,52 mA$$

Entonces, despejando del  $V_{BB1}$ :

$$V_{BB1} \approx 1,1V$$

Y como ya tenemos  $V_{BB1}$ , podemos hallar las respectivas  $R_1$  y  $R_2$ :

$$R_1 = \frac{R_{B1}}{1 - \frac{V_{BB1}}{V_{cc}}} = 685,9\Omega \approx 686\Omega$$

$$R_2 = \frac{R_{B1} \times V_{cc}}{V_{BB1}} \approx 6.8 k\Omega$$

Por último, la impedancia de entrada:

$$Z_{in} = (r_{\pi 1} + \beta R_{E1}) // R_{B1} \approx 571\Omega$$

## V. ANÁLISIS DC -AC

### Análisis DC:

#### Etapa 2:

$$V_{BB2} = \frac{V_{cc} \cdot R_3}{R_3 + R_4} = 0,89 V$$

$$RB2 = \frac{R3 \cdot R4}{R3 + R4} = 562,962\Omega \approx 563\Omega$$

$$ICQ2 = \frac{V_{CC}}{RDC + RAC}$$

$$RDC2 = RC2 + RE2 = 1022\Omega$$

$$RAC2 = RC2 // RL = 500\Omega$$

Por lo tanto:

$$ICQ1 = \frac{VCC}{RDC + RAC}$$

$$ICQ2 = 7,77 mA$$

$$RDC1 = RC1 + RE1 = 543 \Omega$$

Con un LVK en la malla 2:

$$Vcc = ICQ2(RC2 + RE2) + VCE2$$

$$VCE2 = Vcc - ICQ2(RC2 + RE2)$$

$$VCE2 \approx 4.0 (v)$$

$$RAC1 = RC1 || RL'$$

$$RL' = Zin2 = \frac{RB2 \cdot (R\pi2 + \beta RE2)}{RB2 + (R\pi2 + \beta RE2)}$$

Necesitamos  $R\pi2$

Ahora encontramos los puntos máximos:

$$R\pi2 = \frac{\beta 26 mV}{ICQ2}$$

$$Icmax2 = \frac{Vcc}{RC2 + RE2} = 11,74 mA$$

$$Vcemax2 = Vcc = 12 v$$

$$RL' = 518,688 \Omega \approx 519 \Omega$$

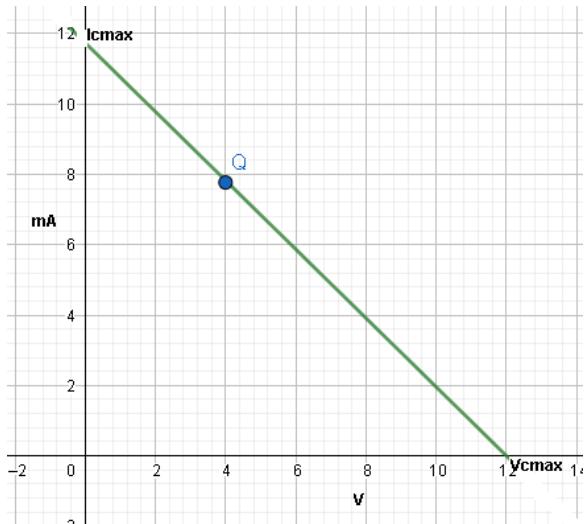


Imagen 4. Recta de carga y punto operacional Q etapa 2.

### Etapa 1:

$$VBB1 = \frac{Vcc \cdot R1}{R2 + R1} = 1,099 V$$

$$RB1 = \frac{R1 \cdot R2}{R1 + R2} = 624 \Omega$$

Por lo tanto:

$$RAC1 = 283.5 \Omega$$

Finalmente tenemos ICQ1

$$ICQ1 = 14,52 mA$$

LVK malla externa:

$$Vcc = ICQ1(RC1 + RE1) + VCE1$$

$$VCE1 = Vcc - ICQ1(RC1 + RE1)$$

$$VCE1 = 4.1 (v)$$

Ahora encontramos los puntos máximos

$$Icmax1 = \frac{Vcc}{RC1 + RE1} = 22,099 mA$$

$$Vcemax1 = Vcc = 12 v$$

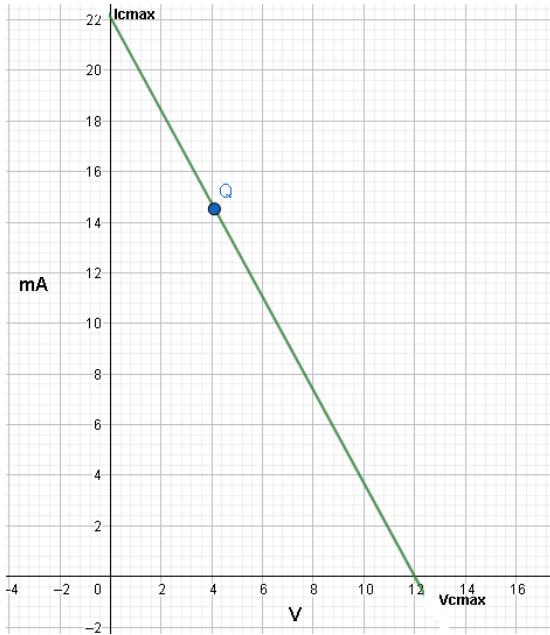


Imagen 5. Recta de carga y punto operacional Q etapa 1.

### Análisis AC:

#### Etapa 2:

$$Av2 = \frac{V_o}{V_i} = \frac{-\beta R c_2 R L}{R C_2 + R L}$$

$$Av2 = \frac{-\beta R C_2 R B_2}{(R C_2 + R B_2)(R C_2 + R \pi_2 + \beta R E_2)}$$

$$Av2 = -20,003$$

$$AI2 = \frac{I_o}{I_i} = \frac{-\beta R C_2 R B_2}{(R C_2 + R B_2)(R C_2 + R \pi_2 + \beta R E_2)}$$

$$AI2 = -13,758$$

$$Z_{out} = R C_2 = 1 \text{ k}\Omega$$

$$Z_{in} = R L' = 518.68 \Omega \approx 519 \Omega$$

#### Etapa 1:

$$R \pi_1 = 466 \Omega$$

$$Av1 = \frac{V_o}{V_i}$$

$$Av1 = \frac{-\beta R c_1 R L'}{(R C_2 + R L')(r \pi_1 + \beta R E_1)}$$

$$Av1 = -10,04$$

$$AI1 = \frac{I_o}{I_i}$$

$$AI1 = \frac{-\beta R C_1 R B_1}{(R C_1 + R B_1)(R C_1 + R \pi_1 + \beta R E_1)}$$

$$AI1 = -11,875$$

$$Z_{in} = R L' = 518.68 \approx 519 \Omega$$

$$Z_{out} = R C_2 = 1 \text{ k}\Omega$$

$$AV_{total} = 200.83$$

$$i_{cmax2} = i_{cmax2} - I_{CQ2}$$

$$i_{omax2} = (i_{cmax2} - I_{CQ2}) * \frac{R_{c2}}{R_{c2} + R L'}$$

Así tenemos:

$$i_{cmax2} = \frac{V_{CEQ_2}}{R_{c2}/RL'} = 7.884 \text{ mA}$$

Por lo tanto,  $i_{cmax2}$  e  $i_{omax2}$  quedan:

$$i_{cmax2} = 7.884 \text{ mA} - 7.77 \text{ mA} =$$

$$i_{omax2} = 57 \mu\text{A}$$

$$V_{omax} = i_{omax2} * RL = 57 \text{ mV}$$

$$V_{imax} = \frac{V_{omax}}{|AV2|} = 2.85 \text{ mV}$$

### Potencias y eficiencia:

Se procede a realizar el cálculo de las potencias para cada etapa del amplificador, para luego determinar la eficiencia de ambas tanto teóricas, como por simulación.

#### Etapa 1:

$$PL1 = \frac{VCC^2}{8RL'} = 34.7 \text{ mW}$$

$$PDC1 = \frac{VCC^2}{2RL'} = 138.72 \text{ mW}$$

$$n\% = \frac{PL1}{PDC1} * 100\% = 25.01\% \approx 25\%$$

Al realizar la simulación, se obtuvieron potencias de:

$$PL1 = 189.369 \text{ mW}$$

$$PDC1 = 49.577 \text{ mW}$$

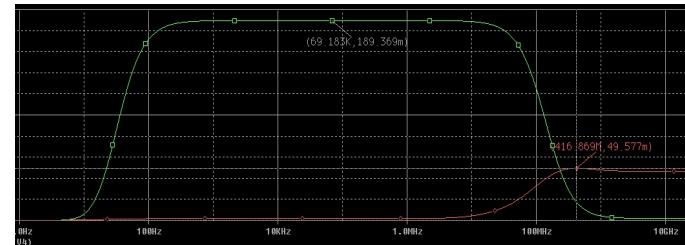


Imagen 6. Gráfica de frecuencia baja, media y alta, etapa 1.

Por lo que la eficiencia del amplificador en la etapa 1 por simulación es de:

$$n\% = \frac{PL2}{PDC2} * 100\% = 26.1\%$$

#### Etapa 2:

$$PL2 = \frac{VCC^2}{8RL} = 18 \text{ mW}$$

$$PDC2 = \frac{VCC^2}{2RL'} = 72 \text{ mW}$$

$$n\% = \frac{PL2}{PDC2} * 100\% = 25\%$$

Al realizar la simulación, se obtuvieron potencias de:

$$PL1 = 392.012 \text{ mW}$$

$$PDC1 = 49.694 \text{ mW}$$

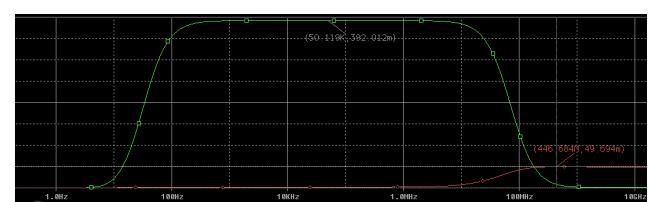


Imagen 7. Gráfica de frecuencia baja, media y alta, etapa 2.

Por lo que la eficiencia del amplificador en la etapa 2 por simulación es de:

$$n\% = \frac{PL2}{PDC2} * 100\% = 12.67\%$$

## VI. SIMULACIONES

Se realizaron las debidas simulaciones de las etapas 1 y 2 del amplificador diseñado para hallar el voltaje máximo de entrada sin distorsión, la ganancia de voltaje, potencia entregada a la carga, eficiencia y el ancho de banda, Como se puede ver a continuación:

### Etapa 1:

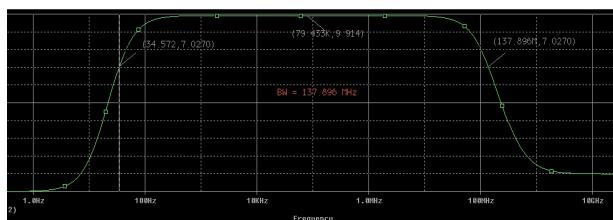


Imagen 8. Ganancia etapa 1 en simulación.

Se obtuvo una ganancia de -9.914 para una frecuencia de 79.433 kHz. Para hallar los puntos de corte de frecuencias altas (FH) y bajas (FL) se realizó lo siguiente:

$$\frac{9.914}{\sqrt{2}} = 7.010$$

Luego, se buscó dicha amplitud a lo largo de la gráfica y así encontrar a qué frecuencias se encontraba el valor anteriormente obtenido. Dichas frecuencias fueron las siguientes:

$$FL = 34.572 \text{ Hz}$$

$$FH = 137.896 \text{ MHz}$$

Finalmente el ancho de banda (BW) es el siguiente:

$$BW = FH - FL \approx 137.896 \text{ MHZ}$$

### Etapa 2:



Imagen 9. Ganancia etapa 2 en simulación.

Se obtuvo una ganancia de -19.848 para una frecuencia de 56.234 kHz. Para hallar los puntos de corte de frecuencias altas (FH) y bajas (FL) se realizó lo siguiente:

$$\frac{-19.848}{\sqrt{2}} = 14.034$$

Luego, se buscó dicha amplitud a lo largo de la gráfica y así encontrar a qué frecuencias se encontraba el valor anteriormente obtenido. Dichas frecuencias fueron las siguientes:

$$FL = 32.911 \text{ Hz}$$

$$FH = 69.332 \text{ MHz}$$

Finalmente el ancho de banda (BW) es el siguiente:

$$BW = FH - FL \approx 69.332 \text{ MHZ}$$

### Etapa completa:



Imagen 10. Ancho de banda

Se obtuvo una ganancia de 195.875 para una frecuencia de 12.883 kHz. Para hallar los puntos de corte de frecuencias altas (FH) y bajas (FL) se realizó lo siguiente:

$$\frac{195.875}{\sqrt{2}} = 138.505$$

Luego, se buscó dicha amplitud a lo largo de la gráfica y así encontrar a qué frecuencias se encontraba el valor anteriormente obtenido. Dichas frecuencias fueron las siguientes:

$$FL = 36.015 \text{ Hz}$$

$$FH = 4.9254 \text{ MHz}$$

Finalmente el ancho de banda (BW) es el siguiente:

$$BW = FH - FL \approx 4.925 \text{ MHz}$$

## VII. RESULTADOS PRÁCTICA DE LABORATORIO

### Materiales para la práctica de laboratorio

A continuación se presentan los elementos y herramientas que serán usadas para el diseño y posteriormente la puesta en práctica de este ejercicio.

- Generador de señales
- Osciloscopio
- Protoboard
- Multímetro
- Fuente DC
- Resistencias
- Transistores
- Condensadores
- Orcad Pspice

A continuación se muestran algunas fotos donde se observan algunas de las configuraciones ajustadas en los equipos del laboratorio. Entre estas configuraciones, tenemos la señal de salida en el osciloscopio, el voltaje ajustado en la fuente, y la señal de entrada en el generador.

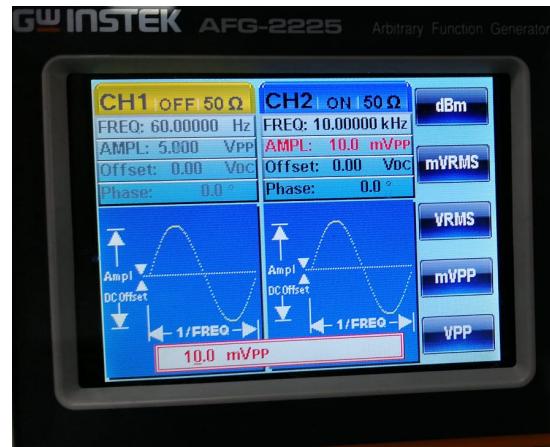


Imagen 11. Configuración de la señal de entrada.



Imagen 12. Voltaje de alimentación

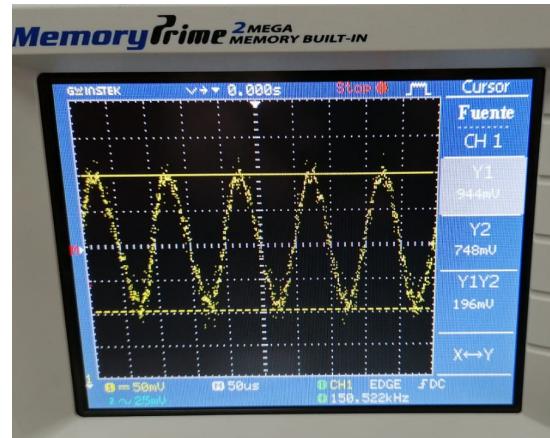


Imagen 13. Señal de salida en osciloscopio.

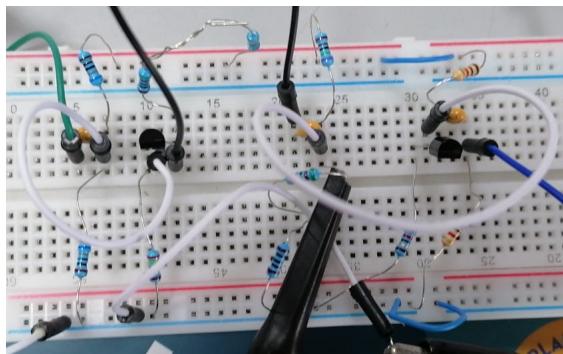


Imagen 14. Amplificador de dos etapas en protoboard.

En las siguientes tablas, se han consolidado los datos obtenidos durante todo este trabajo, tanto los datos análisis teórico, simulado y práctico, como también, los errores porcentuales.

|     | Teoría | Simulación | Práctica |
|-----|--------|------------|----------|
| Av1 | -10,04 | -9,91      | -9,8     |
| Av2 | -20,00 | -19,85     | -18,98   |
| AvT | 200,83 | 196,77     | 186      |

Tabla 1. Tabulación de datos, teoría vs práctica.

|     | Error Relativo      |                         |
|-----|---------------------|-------------------------|
|     | Teoría/<br>Práctica | Simulación/<br>Práctica |
| Av1 | 2,39                | 1,15                    |
| Av2 | 5,11                | 4,37                    |
| AvT | 7,38                | 5,47                    |

Tabla 2. Errores porcentuales.

En base a las tablas anteriores, podemos apreciar que los resultados de la práctica, han sido satisfactorios, el máximo error relativo que

se presenta es del 7,38 % y pertenece a la ganancia de Voltaje total.

El error mínimo, lo encontramos en la comparación de la ganancia de voltaje de la etapa 1 del amplificador, no alcanza a superar un error de 2%. En términos generales, la diferencia en los valores obtenidos en su mayoría no alcanzan a llegar al 6%, lo cual demuestra que, en la práctica se obtuvieron resultados muy cercanos a los valores reales o teóricos.

Fueron muy buenos los resultados, los errores obtenidos se los atribuimos a diferentes factores relacionados con inconsistencias en los materiales usados y los equipos del laboratorio. En especial, el osciloscopio nos brinda una visualización de la señal llena de mucho ruido, sin embargo, fue posible ajustar la imagen y finalmente los resultados ya presentados fueron tomados con facilidad.

## VIII. CONCLUSIONES

- Se consolidaron los conocimientos adquiridos durante la clase en torno al análisis, diseño, y simulación, de los amplificadores multietapas con transistores BJT.
- Aprendimos a usar el software pspice para el diseño de amplificadores multietapas. Especialmente, se logró obtener la gráfica del ancho de banda, desde la visualización de baja frecuencia, media y hasta alta.
- Fue posible evidenciar que resulta efectivo acoplar dos amplificadores para así tener un alto nivel de ganancia, que permitiría un mejor manejo de señales muy pequeñas si se elimina el ruido correctamente.
- Los resultados obtenidos en la práctica fueron muy similares a lo planteado en la teoría con base al diseño propuesto.

- Los errores relativos demostraron que los resultados fueron muy buenos. El valor máximo de error fue del 7 % , sin embargo, el resto de datos no supera ni siquiera el 5,5 % de error relativo.

## **IX. REFERENCIAS**

- [1] Savant C. Roden M. Carpenter G. Diseñoelectrónico. Circuitos y sistemas
- [2] Boylestad R. Nashelsky L. Electrónica teoría de circuitos