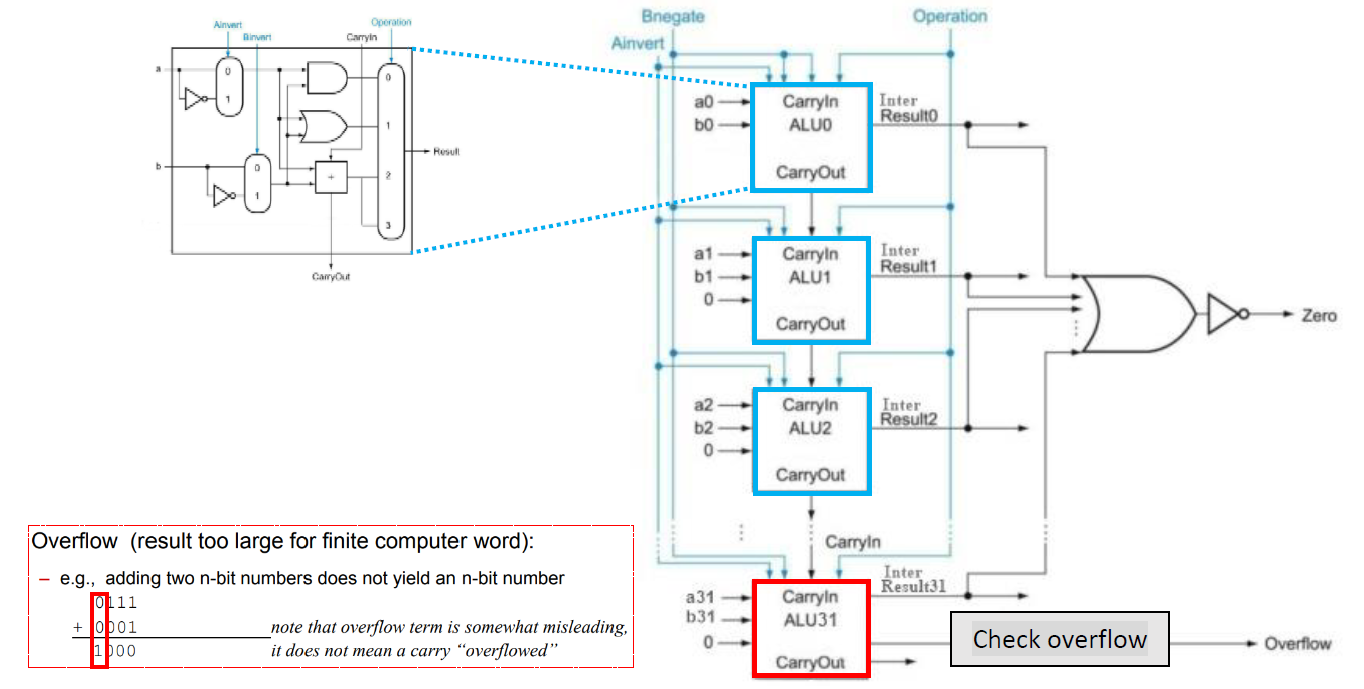
**Computer Organization**

**Lab2- 32-bit ALU**

**Architecture diagram:**

****

**Detailed description of the implementation:**

**One bit的部分就照線接就好，alu的部分有些輸出還需要用operation來判斷並作調整。**

**Implementation results:**

**\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\***

**\* PATTERN RESULT TABLE \***

**\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\***

**\* PATTERN \* Result \* ZCV \***

**\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\***

**\* Congratulation! All data are correct! \***

**\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\***

**Correct Count: 30**

**Problems encountered and solutions:**

**不知道要怎麼把wire和reg接在一起，因為網路上寫wire只能用assign，reg只能在always裡面賦值，後來發現只要在always裡面把reg = wire就好。**

**Lesson learnt (if any):**

**Verilog的語法和iverilog的使用，在語法的不熟悉上吃了很多的虧**

**Comment:**

**原本以為只要照圖片接線就好，結果發現還是有蠻多東西需要自己去調整，花了不少時間在這個作業上。**