

# 전기 · 전자 · 통신

성명 : ( )

제1차 시험	2 교시 전공 A	14문항 40점	시험 시간 90분
--------	-----------	----------	-----------

- (4)

4. 다음은 C 언어로 작성된 프로그램이다. 이 프로그램의 실행 결과를 쓰시오. [2점]

```
#include <stdio.h>

void func(char ch);

int main(void)
{
    int i;
    char ch;
    char *str = "A2B4C6";

    for(i = 2; i < 4; i++)
    {
        ch = *(str + i);
        func(ch);
    }

    return 0;
}

void func(char ch)
{
    if(ch >= 'A' && ch <= 'Z')
        ch = ch + 1;
    else
        ch = ch - 2;

    printf("%c ", ch);
}
```

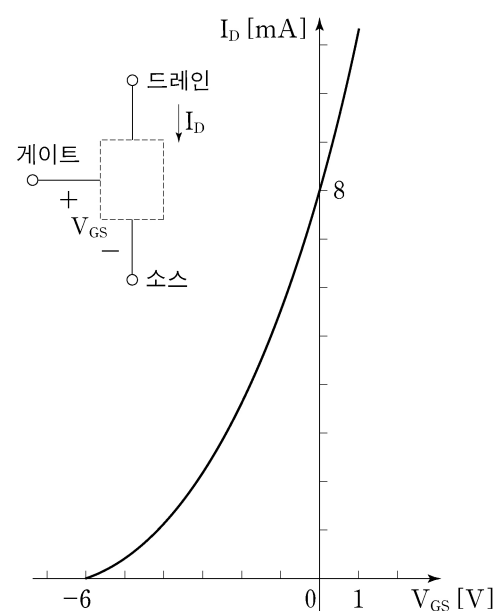
5. 다음은 직류전동기와 유도전동기에 대한 설명이다. 괄호 안의 ㉠, ㉡에 해당하는 용어를 순서대로 쓰시오. [2점]

- 직류전동기에서 전기자에 전류가 흐르면 전기자 전류에 의한 자속이 발생하여 공극 자속을 왜곡시킨다. 이와 같이 전기자 전류에 의한 자속이 공극 자속에 미치는 영향을 ( ㉠ ) (이)라고 한다. 따라서 ( ㉠ )은/는 자기적 중성점의 위치를 이동시켜 브러쉬와 정류자에 의한 정류에 문제를 발생시키기 때문에 적절한 대책이 필요하다.
- 유도전동기에서 회전자계의 속도( $n_s$ )와 회전자의 속도( $n_m$ )의 단위화된 상대속도를 ( ㉡ ) (이)라 하고  $\frac{n_s - n_m}{n_s}$ 으로 정의한다. 따라서 유도전동기의 회전자가 정지되었을 때 ( ㉡ )은/는 1이 되고 회전자가 동기속도로 회전할 때 ( ㉡ )은/는 0이 된다.

6. 다음 (가)는 어떤 반도체 소자의 구조에 대한 설명이고, (나)는 반도체 소자의 동작에 대한 전달 특성 곡선이다. (가)와 (나)에 공통으로 해당하는 반도체 소자의 명칭과 채널의 형태(type)를 쓰시오. (단,  $V_{GS}$ 는 게이트-소스 사이의 전압이고  $I_D$ 는 드레인 전류이다.) [2점]

(가)

- 한 종류의 캐리어에 의해 전류가 형성되는 소자이며, 드레인(drain), 소스(source), 게이트(gate)의 3가지 전극으로 구성되어 있다.
- 드레인 전극과 소스 전극 사이의 영역은 제조 시 기판 내부에서 채널로 형성되어 있고, 게이트 전극과 형성된 채널은  $\text{SiO}_2$ 층으로 절연되어 있다.



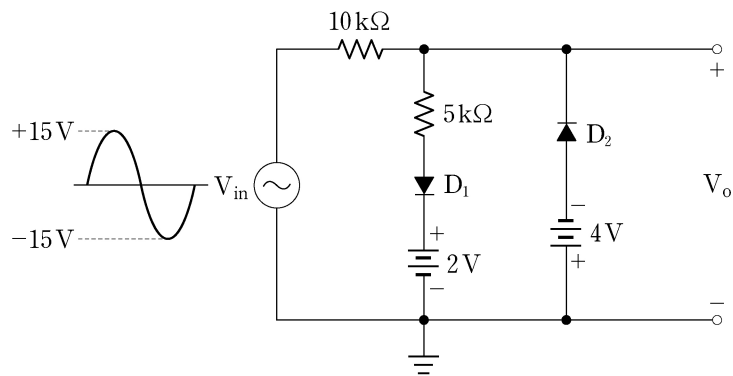
(나)

7. 다음은 상태공간에서 어떤 선형시스템의 상태방정식과 출력 방정식을 나타낸 것이다. 이 선형시스템의 극점 2개를 각각 구하여 쓰시오. [2점]

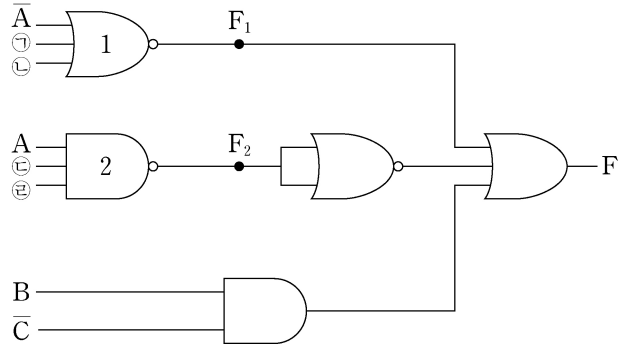
$$\dot{\mathbf{x}}(t) = \mathbf{A}\mathbf{x}(t) + \mathbf{B}u(t) = \begin{bmatrix} 5 & 1 \\ -4 & 0 \end{bmatrix} \mathbf{x}(t) + \begin{bmatrix} 1 \\ 0 \end{bmatrix} u(t)$$

$$y(t) = \mathbf{C}\mathbf{x}(t) = [1 \quad 1]\mathbf{x}(t)$$

8. 그림은 다이오드를 응용한 클리퍼 회로이다. 입력 전압  $V_{in}$ 의 값이 11[V]일 때와 -2[V]일 때 출력 전압  $V_o$ [V]의 값을 각각 구하여 순서대로 쓰시오. (단, 이상적으로 동작되는 다이오드  $D_1$ 과  $D_2$ 의 순방향 전압강하는 0으로 가정한다.) [2점]



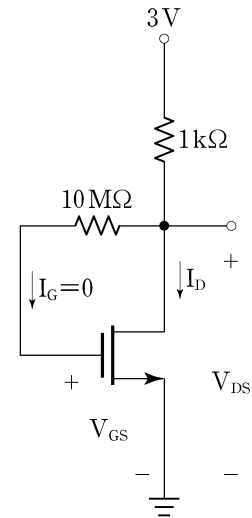
9. 그림은 3가지의 논리변수를 갖는 불 함수  $F(A, B, C)$ 를 나타낸 조합논리회로이다. 제시된 <해석 절차>에 따라 최소화된 불 함수  $F$ 를 구하여 풀이과정과 함께 서술하시오. [4점]



<해석 절차>

- [단계 1] 1번 NOR 게이트의 출력  $F_1$ 이  $A\bar{B}\bar{C}$ 가 되도록 NOR 게이트의 입력 ①, ②을 구한다.  
[단계 2] 2번 NAND 게이트의 출력  $F_2$ 가  $\bar{A} + B + \bar{C}$ 가 되도록 NAND 게이트의 입력 ③, ④을 구한다.  
[단계 3]  $F_1$ 과  $F_2$ 를 이용하여 출력  $F$ 에 대한 불 함수를 구한다.  
[단계 4] 출력  $F$ 의 최소화된 불 함수를 구한다.

10. (가)는 포화(saturation) 영역에서 동작하는 MOSFET을 사용한 바이어스 회로이고 (나)는 포화 영역에서의 MOSFET 전류-전압 특성이다.  $V_t = 1$  [V],  $k_n = 2$  [mA/V<sup>2</sup>],  $I_G = 0$  [mA]일 때  $I_D$  [mA]와  $V_{DS}$  [V]의 값을 제시된 <해석 절차>에 따라 구하여 풀이과정과 함께 서술하시오. [4점]



(가)

(나)

$$I_D = \frac{1}{2} k_n (V_{GS} - V_t)^2$$

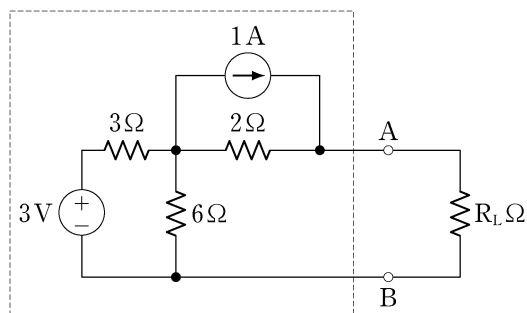
$k_n$ : 트랜스컨덕턴스 파라미터(transconductance parameter)

$V_t$ : 문턱전압(threshold voltage)

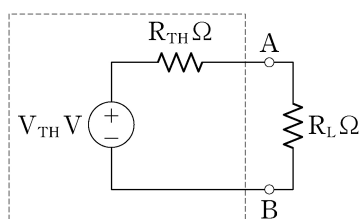
<해석 절차>

- [단계 1] 게이트와 드레인 사이의 전압  $V_{GD}$  [V]의 값을 구한다.  
[단계 2] (가)의 회로와 (나)의 전류-전압 특성을 이용하여 드레인 전류  $I_D$  [mA]의 값 2개를 구한다.  
[단계 3] [단계 2]에서 구한 2개의  $I_D$  [mA]의 값에 해당하는 각각의  $V_{DS}$  [V]의 값을 구한다.  
[단계 4] [단계 3]에서 구한  $I_D$  [mA]와  $V_{DS}$  [V]의 값 중에 포화 영역에서 정상 동작하는  $I_D$  [mA]와  $V_{DS}$  [V]의 값을 구한다.

11. 그림 (가)는 전압원과 전류원이 포함된 저항회로이고, (나)는 (가)의 테브난 등가회로를 나타낸 것이다. 부하저항  $R_L$ 에서 소비되는 전력이 1[W]가 되도록  $R_L$  [Ω]의 값을 제시된 <해석 절차>에 따라 구하여 풀이과정과 함께 서술하시오. [4점]



(가)



(나)

<해석 절차>

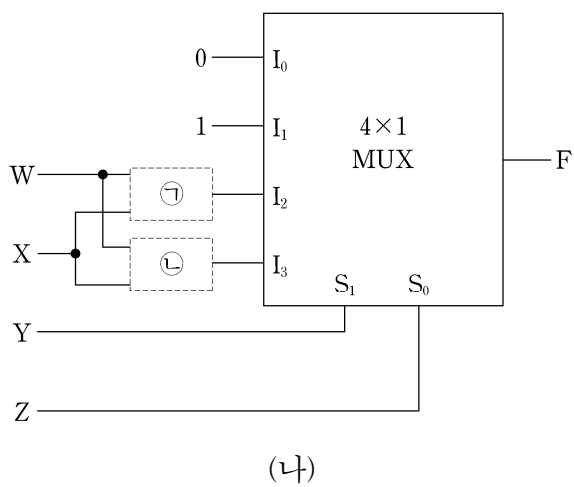
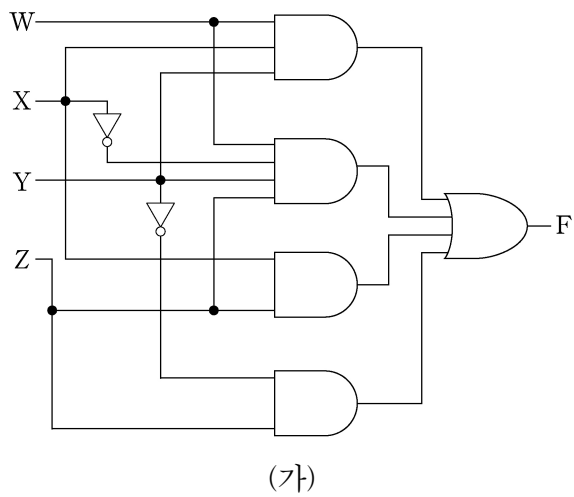
- [단계 1] 전류원을 개방하고 전압원에 대하여 단자 A와 B에서 바라본 등가전압  $V_{TH1}$  [V]을 구한다.  
 [단계 2] 전압원을 단락하고 전류원에 대하여 단자 A와 B에서 바라본 등가전압  $V_{TH2}$  [V]를 구한다.  
 [단계 3] 단자 A와 B에서 바라본 테브난 등가전압  $V_{TH}$  [V]와 테브난 등가저항  $R_{TH}$  [Ω]를 각각 구한다.  
 [단계 4] 부하저항  $R_L$ 에서 소비되는 전력이 1[W]가 되도록  $R_L$  [Ω]의 값을 구한다.

12. 전기계  $\mathbf{E} = \frac{x^2}{\epsilon_0} \mathbf{a}_x$  [V/m]가 있는 3차원 직각좌표계의 공간상에 체적  $V$  [m<sup>3</sup>]는  $0 \leq x \leq 2$  [m],  $0 \leq y \leq 2$  [m],  $0 \leq z \leq 2$  [m]이다. 전기계  $\mathbf{E}$ 로부터 체적 전하밀도  $\rho_v$  [C/m<sup>3</sup>]와 체적  $V$  내의 총 전하량  $Q$  [C]를 제시된 <해석 절차>에 따라 구하여 풀이과정과 함께 서술하시오. (단,  $\epsilon_0$ 는 진공의 유전율이고,  $\mathbf{a}_x$ 는  $x$ 축 방향의 단위벡터이다.) [4점]

<해석 절차>

- [단계 1] 주어진 전기계  $\mathbf{E}$ 로부터 전속밀도  $\mathbf{D}$  [C/m<sup>2</sup>]를 구한다.  
 [단계 2] 가우스 법칙인 전속밀도  $\mathbf{D}$ 와 체적 전하밀도  $\rho_v$ 의 관계식을 표현한다.  
 [단계 3] [단계 1]의 전속밀도  $\mathbf{D}$  [C/m<sup>2</sup>]와 [단계 2]의 관계식을 이용해서 체적 전하밀도  $\rho_v$  [C/m<sup>3</sup>]를 구한다.  
 [단계 4] [단계 3]의 체적 전하밀도  $\rho_v$  [C/m<sup>3</sup>]를 이용해서 주어진 체적  $V$  내의 총 전하량  $Q$  [C]를 구한다.

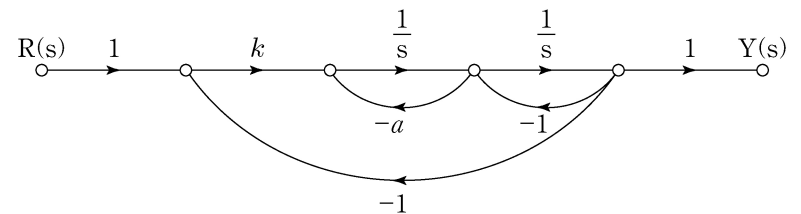
13. 그림 (가)는 4개의 입력을 갖는 조합논리회로이고 (나)는 4×1 멀티플렉서를 이용한 응용회로이다. (가)와 (나)가 논리적으로 등가가 되도록 ㉠, ㉡에 해당하는 논리회로를 제시된 <설계 절차>에 따라 설계하여 풀이과정과 함께 서술하시오. (단, 모든 소자는 이상적으로 동작하며,  $S_1$ ,  $S_0$ 은 4×1 멀티플렉서의 선택선이다.) [4점]



<설계 절차>

- [단계 1] 그림 (가)의 출력  $F(W, X, Y, Z)$ 를 최소항(minterm)들의 합으로 표현한다.
- [단계 2] [단계 1]의  $F(W, X, Y, Z)$ 를 이용하여 (가)와 (나)가 논리적으로 등가가 되도록 ㉠, ㉡의 논리회로를 순서대로 구한다.
- [단계 3] 그림 (나)의 회로에서  $W=1, X=0, Y=1, Z=0$ 일 때 출력  $F$ 를 풀이과정과 함께 구한다.

14. 그림은 주파수 영역에서 어떤 2차 선형시스템을 신호흐름선도로 나타낸 것이다. 이 시스템의 고유 주파수(natural frequency)  $\omega_n = 3$  [rad/s], 감쇠비(damping ratio)  $\zeta = 0.5$ 가 되도록 비례이득  $k$ 와 궤환이득  $a$ 를 제시된 <해석 절차>에 따라 구하여 풀이과정과 함께 서술하시오. [4점]



<해석 절차>

- [단계 1] 메이슨(S. Mason)의 일반 이득 공식을 이용하여 전달 함수  $\frac{Y(s)}{R(s)}$ 를 구한다.
- [단계 2] [단계 1]에서 구한 전달함수의 특성방정식을 이용하여 고유 주파수  $\omega_n = 3$  [rad/s]이 되는 비례이득  $k$ 의 값을 구한다.
- [단계 3] [단계 1]에서 구한 전달함수의 특성방정식과 [단계 2]에서 구한  $k$ 를 이용하여 감쇠비  $\zeta = 0.5$ 가 되는 궤환이득  $a$ 의 값을 구한다.

<수고하셨습니다.>