课程大纲

# ~~0 内容安排~~

## 0.1 课程目的

通过一个平台PYNQ-Z2（含一个芯片XC7Z020）、一套设计工具Vivado、一套教程和作业（HDL/SysGen/HLS/BD-SDK，时域流滤波/频域块滤波）、一个综合设计达到如下目的：

* 熟悉指标-方案-设计-仿真-调试-集成的系统设计流程
* 掌握软、硬件设计方法
* 熟练使用设计工具，将算法转化成板级数字系统
* 提高文档编写能力
* 培养团队协作精神

## 0.2 时间安排

1. 讲解（1次，课程基础）
2. 研讨（2～3次，用于综合设计算法原理及可实现性评估）
3. 实验（5～6次），独立
4. 综合设计（6～7次），以2～3人一组

## 0.3考核方式

平时（10%） + 作业（35%） + 综合设计（55%）

## 0.4 实验平台

硬件：PYNQ-Z2

软件：Matlab/Simulink 2017b、Vivado 2017.4

## 0.5 参考资料

1. 信号处理书籍

中文：Richard G.Lyons,《数字信号处理（第三版）》,电子工业出版社

英文：Understanding Digital Signal Processing Third Edition（电子书）

1. 手册

平台资料：

pynqz2\_user\_manual\_v1\_0.pdf

TUL\_PYNQ Schematic\_R12.pdf

芯片资料：

The\_Zynq\_Book\_ebook\_chinese.pdf

设计资料：

ug895-vivado-system-level-design-entry.pdf

ug901-vivado-synthesis.pdf

ug638 sysgen\_ref.pdf

ug897-vivado-sysgen-user.pdf

ug948-vivado-sysgen-tutorial.pdf

ug902-vivado-high-level-synthesis.pdf

ug871-vivado-high-level-synthesis-tutorial.pdf

1. 网址

课程资料：

<https://gitee.com/qeyed/courseware>

System Generator资料：

<https://china.xilinx.com/products/design-tools/vivado/integration/sysgen.html#overview>

High Level Synthesis教程:

<https://github.com/Zaoldyeckk/High-Level-Synthesis-Flow-on-Zynq-using-Vivado-HLS>

xilinx官网：

[www.xilinx.com](http://www.xilinx.com)

PYNQ-Z2官网：

<http://www.pynq.io/>

# 1 电子系统组成

## 1.1 定义

多种不同功能电子部件（电路）的集合，完成电信号的产生、传送、处理。如自动控制系统、通信系统、雷达系统、计算机系统。

## 1.2 特征

1. 电子系统智能化
2. 计算机应用扩展
3. 软、硬件协作

## 1.3 组成

1. 传感器、ADC/DAC、信号处理器

* 传感器 + ADC/DAC
* 必需硬件（电源、晶振、复位、调试口）
* 通信和控制接口：GPIO、USB、UART、Q-SPI、网口、VGA、HDMI
* 显示：LED、LCD
* 信号/数据处理器
* 逻辑门
* MCU、CPU、DSP，+(RT)OS
* PLD、CPLD、FPGA

1. 处理架构

* 冯诺依曼结构
* 哈佛结构
* 异构
* CPU+GPU
* CPU+DSP+加速器 (e.g. OMAP, Davinci, etc.)
* Multicore
* CPU+FPGA（Xilinx Zynq，（xc7z020clg400-1））

## 1.4 系统设计（以无线通信系统为例）

基于自顶向下设计方法学，分成如下5个设计步骤：

* 基本组成：发射机、信道、接收机
* 基本组件：振荡器、线性放大/衰减器/滤波器、混频器、自适应组件
* 理论系统：信道影响、调制、增益控制、采样、脉冲成型滤波器、比特-符号-信号
* 自适应部件：载波恢复、接收滤波、时钟恢复、均衡、编码
* 集成：将自适应部件集成进理论系统

## 1.5 系统调试/测试工具

1. 信号源
2. 示波器
3. 频谱（矢量）分析仪

## 1.6 屏蔽、接地、滤波

# 2 基本原理

## 2.1 信号与噪声

1. 确定与随机
2. 信噪比SNR
3. 噪声分布与相关性

## 2.2 离散化与量化(ADC/DAC)

1. 奈奎斯特定理
2. 量化噪声

# 3 数字处理

## 3.1 处理与分析

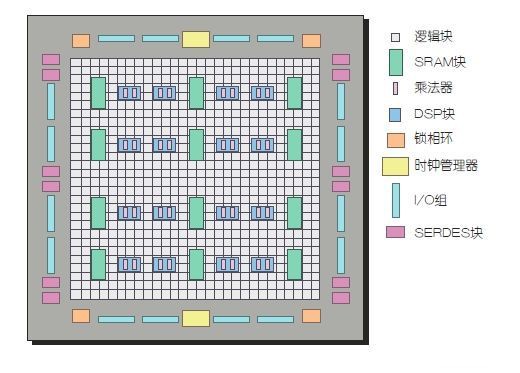
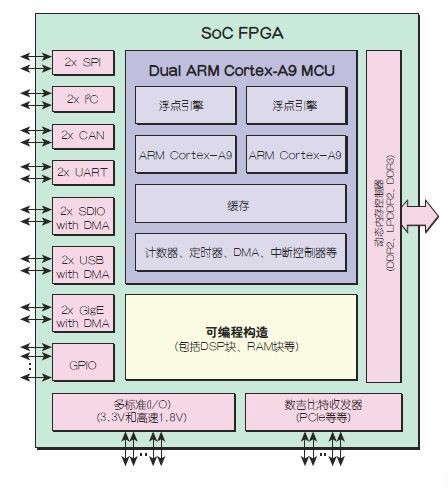
1. 滤波FIR（频域描述、准则：LS、LMMSE等）
2. 变换FFT
3. 有限字长效应

## 3.2 定点与浮点计算

Matlab帮助：“Fixed-Point Designer”

# 4 实现

## ~~FPGA要点~~

* 组成

布线连接CLB、SRAM、DSP、PLL、IOB、SERDES、 CPU

* 设计要点

电源种类、接口标准及电平、时钟树、FSM、逻辑仿真、 嵌入式软件

* PYNQ-Z2平台简介

## 4.2 设计

1. 方法

* 不同流程（top-bottom、bottom-top）
* 不同抽象级：行为级（系统级、算法级、RTL）、逻辑级（门级）、开关级
* 不同形式：软件/固件、硬件
* 异构系统的基于平台设计方法，如Xilinx ZYNQ（ARM/OS+FPGA）

1. 三个要素

* 处理方式：块处理与流处理
* 控制流（状态机）/数据流（RAM/FIFO）
* 资源：空间/时间折中

1. 三个步骤

* 设计/编码 — 测试
* 仿真（C、RTL、综合后、布线后） — 验证
* 集成 — 测试

1. 流程

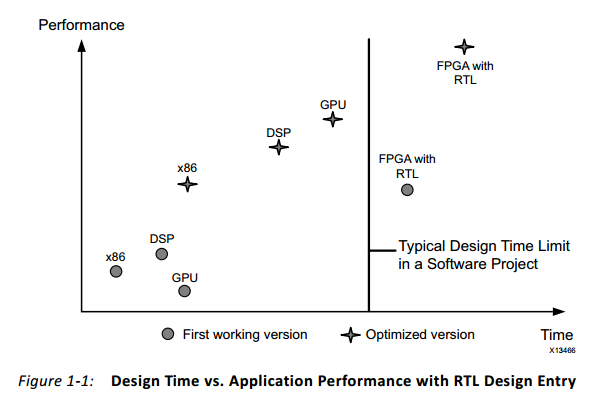
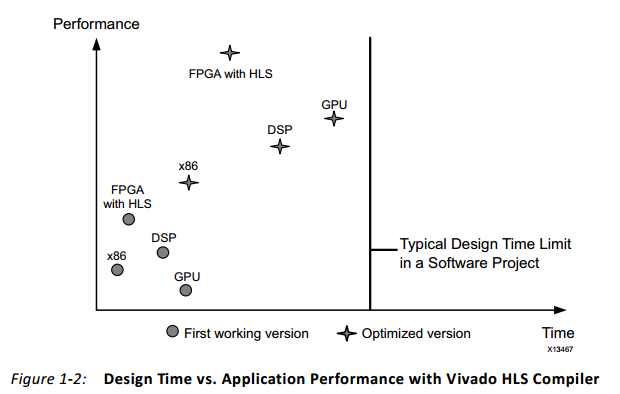
不同处理方式采用不同的设计流程

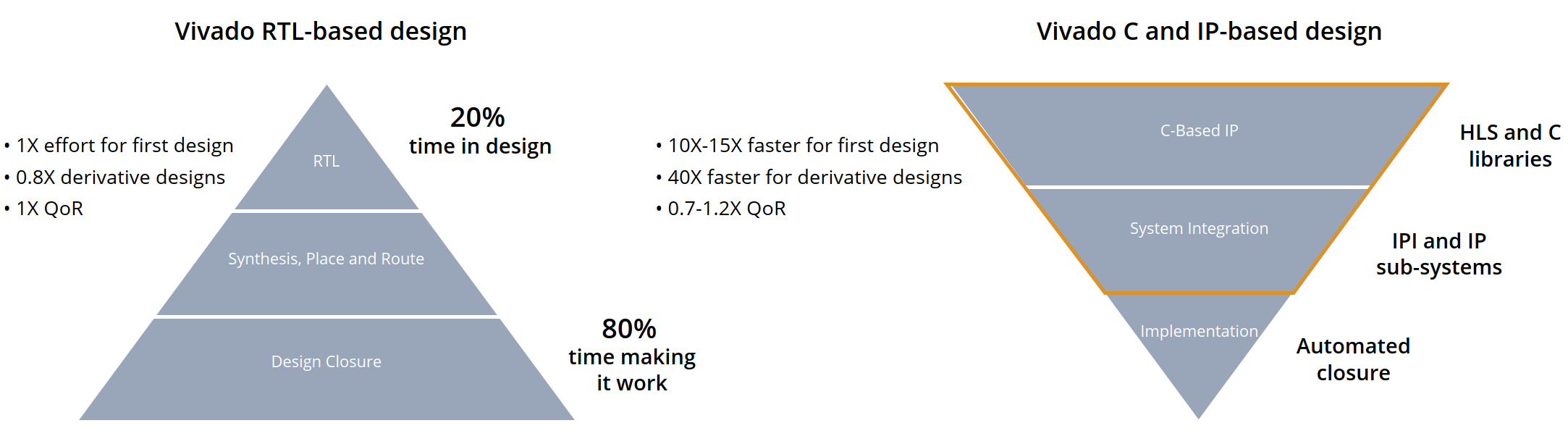
* VHDL/Verilog
* SysGen
* HLS（System Generator）
* Block Design/SDK

1. 软件开发环境Vivado套件

## 4.3 High Level Synthsis（HLS）

1. 引入目的



1. 设计要点

* 接口：类型、存储和协议
* 并行和流水
* 调度/数据流

1. 设计步骤

* C编码
* 以功能描述为目的进行
* 指导C编译器生成RTL级HDL
* 在C代码基础上添加pragma编译指令
* 性能分析
* 资源
* 定时：延迟Latency与吞吐率Throughtput
* 仿真
* C级
* RTL级
* 生成IP

1. 特点（HLS C vs HDL）

* 低实现复杂度导致初始编码快
* 仿真速度快
* 性能/资源优化策略可快速调整，设计收敛快
* 一个代码，多个实现

# 5 实例（7～9次）

## 5.1 教程

1. HDL流程：.v — .bit，参考ug888 lab2，

<Vivado\_install\_area>/Vivado/<version>/examples/Vivado\_Tutorial.zip

1. SysGen流程： .slx — .bit，参考ug948，lab1、lab2、lab3、lab4、lab5、lab6
2. HLS流程：.c — .bit，参考ug871全部
3. Block Design/SDK流程：.bd — .bit，参考ug940，lab1、lab2

## 5.2 作业（不允许用现成的IP）

1. 用HDL、HLS C流程实现流处理方式的时域滤波（FIR）

要求：

* 输入直流及2个频率分别为2kHz和10kHz的正弦实信号叠加，三个信号幅度为2.0、1.0、1.5
* 要求过滤掉0Hz和10kHz信号，仅剩2kHz正弦实信号
* 定点化，获得输入/输出信号和FIR系数的定点精度。要求与浮点实现的均方差不大于-40dB
* 生成的IP放入SysGen中验证
* 生成bit文件在PYNQ-Z2上验证

1. 用HLS C实现块处理方式的频域滤波

要求：

* 输入直流及2个频率分别为2kHz和10kHz的正弦实信号叠加，三个信号幅度为2.0、1.0、1.5
* 要求过滤掉0Hz和10kHz信号，仅剩2kHz正弦实信号
* 定点化，获得输入/输出信号和FFT系数的定点精度。要求与浮点实现的均方差不大于-40dB
* 生成的IP放入SysGen中验证
* 生成bit文件在PYNQ-Z2上验证

1. 用HLS C流程实现流处理方式的相关器

要求：

* 相关序列是周期长度127的m序列
* 输入信号为相关序列和热噪声之和，是周期性的，周期为127
* 要求估计输入信号的信噪比
* 实现相关器无乘法运算
* 生成的IP放入SysGen中验证
* 生成bit文件在PYNQ-Z2上验证

# 5.4 综合设计（6～7次）

1. 大量输入数据存于SD卡中
2. 评估难度和实现复杂度
3. 算法、原理、性能指标、仿真、实现
4. 成果形式：代码和文档
5. 内容（开放选题）

* 语音：压缩、识别等
* 图像：压缩、边缘检测、图像增强、识别等
* 视频：压缩、红外摄像头测体温、识别等

# 6 演示

# 6.1 流程

HLS

SysGen

(FIR1)

Block

Design

VIVADO

(FIR2)

PYNQ-Z2

IP Catalog

Bit+SDK

~~Hardware Co-Simulation~~

AXI / IP Catalog

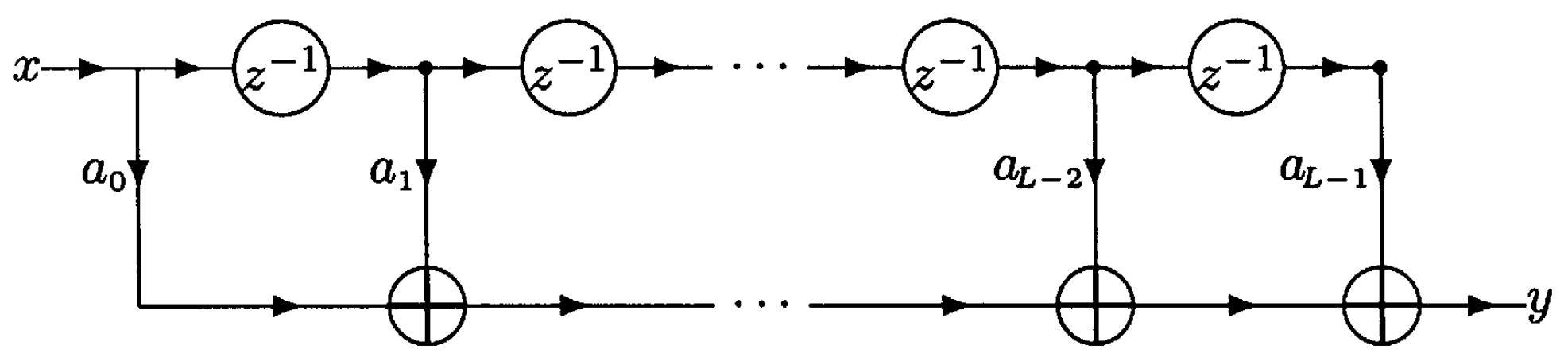
IP Catalog

SysGen IP

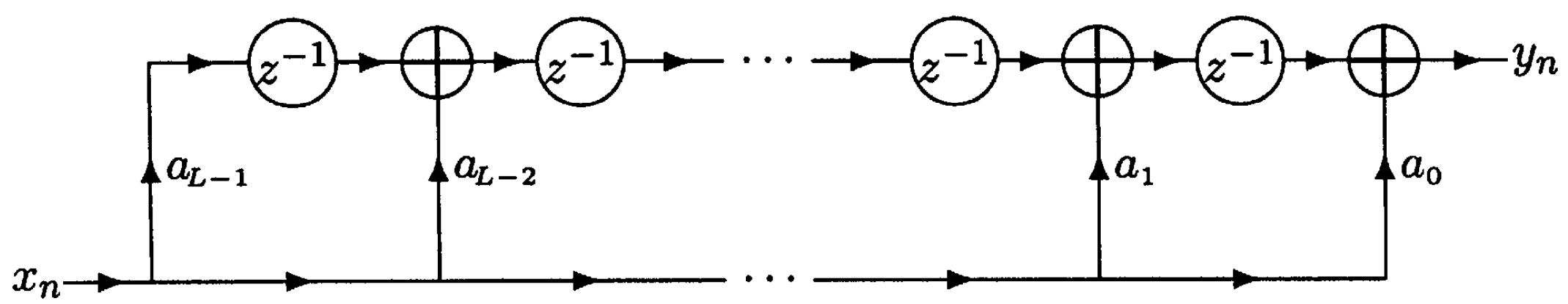
Bit

1. HLS 🡪 SysGen IP（仿真）
2. HLS 🡪 IP Catalog 🡪 Bit（在板验证）
3. HLS 🡪 AXI/IP Catalog 🡪 Bit+SDK
4. PYNQ

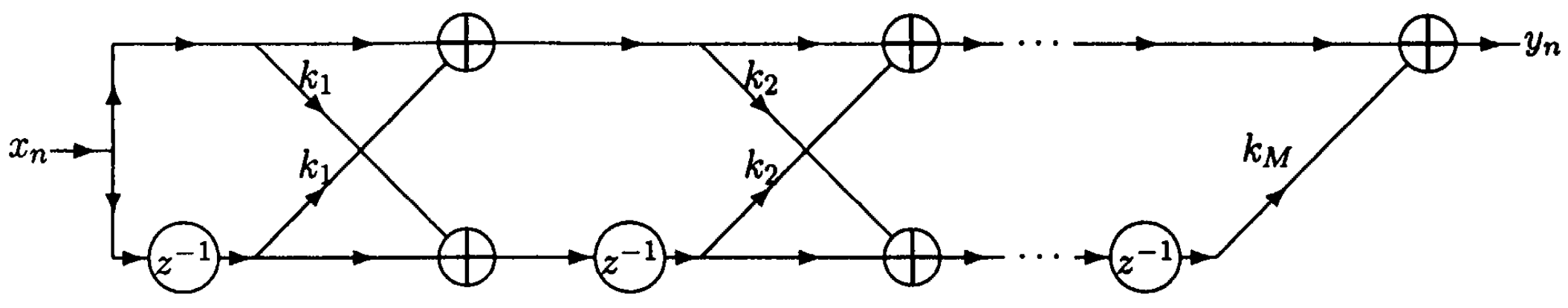
6.2 FIR结构



直接结构



转置结构



格型结构