



C-SKY

XC7A-FPGA 用户手册

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

File Name:
No:



版本历史

版本号	日期	说明	编制	审核
V0.1	2018-12-26	初稿		
V0.2	2019-1-10	添加三个 mmc 相关管教		

C-SKY 中天微

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

File Name:

No:



1. 开发板简介.....	3
1.1 关于 FPGA.....	3
1.2 板上资源简介.....	3
1.3 总览	4
2. 板上器件和接口.....	5
2.1 电源方案.....	5
2.2 时钟和复位源.....	6
2.3 存储器.....	6
2.4 YOC 接口	8
2.6 SE 接口	14
2.7 C-SKY JTAG 接口	14
2.8 自定义按键.....	14
2.9 拨码开关.....	15
2.10 RGB 三色 LED.....	15
3 FPGA 配置说明	16
3.1 Slave Serial 模式配置 FPGA.....	16
3.2 Master SPI (x4) 模式配置 FPGA	16
3.3 JTAG 模式配置 FPGA	17
表 1-1 开发板主要接口及器件.....	5
表 2-1 开发板电源	5

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

1.开发板简介

C-SKY 开发的基于 Xilinx Artix-7 系列 FPGA 的开发板主要用于 C-SKY 中低端 CPU 核的验证和评估。可验证 CK801、CK802、CK803s 等系列 CPU 核。板上集成了 Xilinx Artix-7 XC7A200T FPGA 芯片, 16MB 的 PSRAM, 32MB 的 NOR-Flash, 还集成了两块 STM32F103 芯片, 一块为 STM32-CSKY 内嵌了 C-SKY CKLink 固件用于调试 C-SKY CPU 核, 另一块为 STM32-PM 内嵌了 FPGA Power Manager 及 FPGA Slave Serial Configure 固件用于 FPGA 电源管理及 bit 文件烧写。开发板上具有 8 个 2x12Pin 的 YOC 接口, 可连接符合 YOC 硬件协议标准的子板。

1.1 关于 FPGA

Xilinx 7 系列 FPGA 采用 28nm HKMG HPL 工艺, 大幅提高了 FPGA 性能和容量, 同时比上一代产品功耗减少 50%。7 系列下有 3 个产品线, Artix-7 面向于低功耗低成本应用; Kintex-7 用于最佳的性价比同时比上一代的产品有 2 倍的性能提升; Virtex-7 采用堆叠式硅互联技术带来更大的容量和系统性能。

本开发板采用了 XC7A200T1FBG484I 主要逻辑资源如下:

- 215360 逻辑单元
- 33650 个 Slice
- 740 DSP48E1 Slice, 每个 slice 包括 pre-adder, 28x18 multiplier, adder, accumulator
- 13140 Kb 的 Block RAM Blocks 包括 730 个 18Kb 或者 365 个 36Kb Block RAM
- 10 个 CMT, 每个 CMT 包括一个 MMCM 和一个 PLL

Artix-7 中的 LUT 可以配置成 6 输入 1 输出的 LUT, 或者两个相同 5 输入不同输出的 LUT, 每个 LUT 输出可以选择是否由寄存器输出。4 个这样的 LUT 和连接他们的 8 个寄存器, 以及多路选择器和算术运算进位逻辑一起组成一个 slice; 两个这样的 slice 组成了一个 CLB (Configurable Logic Block)。LUT 中的一个寄存器可以被配置成锁存器。大约 25%到 50%的 slice 可以将他们的 LUT 配置成 64-bit RAM 或者 32-bit 移位寄存器, 或两个 16 位移位寄存器。

CMT (Clock Management Tile) 可作为高速时钟缓冲和低斜率时钟信号分配, 频率合成或者相位偏移等功能。每个 CMT 中包括一个 MMCM (Mixed-Mode Clock Manager) 和一个 PLL (Phase-Locked Loop)。

36Kb Block RAM 为双端口 RAM, 数据宽度最大 72 位, 每个端口数据共享, 其他完全独立。每个端口都可独立配置成 32K x 1, 16K x 2, 8K x 4, 4K x 9(8), 2K x 18, 1K x 36, 512x72(64)。每个 Block RAM 都可以被分成两个独立的 18Kb Block RAM, 并且每个 18Kb Block RAM 与 36Kb Block RAM 用法相同。

其他的 FPGA 逻辑资源介绍和使用请参考开发板附带资料中的参考文档。

1.2 板上资源简介

板上除了 FPGA 之外, 还有一些电源管理芯片, 存储器等器件和接口。

- 16Mbyte PSRAM

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

File Name:

No:



- 32Mbyte NOR-FLASH, FLASH 和 SRAM 共用地址总线 and 数据总线
- 按键控制电源开关机, 独立控制器控制各电源上电顺序和掉电顺序
- CKLink
- FPGA Power Manager, FPGA Slave Serial Configure
- 带有 C-SKY 调试 JTAG 接口和 FPGA JTAG 接口
- 8 个 YOC 接口
- 3 个 UART 接口
- 1 个 SE 接口
- 1 个 TF 卡座, 用于存放 bit 文件, 进行 FPGA Slave Serial Configure
- 两个用户可用时钟源
- 4 个用户可用的按键, 2 个 4 位拨码开关, 1 个 RGB LED

1.3 总览

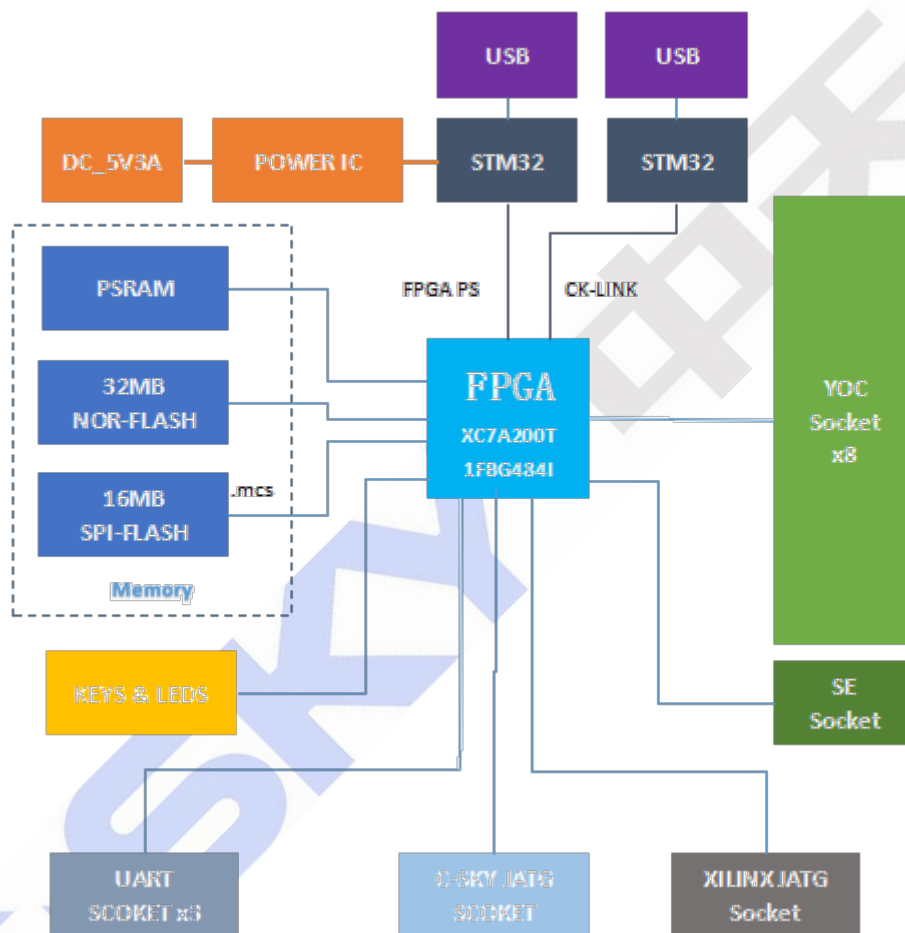


图 1-1 XC7A-FPGA 开发板框图

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

开发板接口如下表所示:

表 1-1 开发板主要接口及器件

编号	器件或接口	说明
J13	DC005	DC 电源输入接口,5V3A
J14	USB STD-B	FPGA Slave Serial Configure USB 接口
J17	TF 卡接口	最大支持 32GB micro SD 卡, 存放 BIT 文件
J18	USB STD-B	CKLINK USB 接口
J8	IDC-2.54 2x7	C-SKY JTAG 调试接口
J2,J3,J24,J23,J22,J5,J4,J7	SOCKET 2.0-2X12	YOC 接口
J6	IDC-2.0 2x7	Xilinx JTAG 接口
J12	SOCKET 2.0-2X4	SE 接口
J15	HEADER 2.54-1X3	FPGA PS AS 选择接口
J9,J10,J11	HEADER 2.54-1X3	FPGA PIN 引出, 用于配置成 UART
SW1,SW2		4pin 拨码开关
K1,K2		用户 FPGA 复位按键
K3,K4,K5,K6		用户 FPGA 自定义按键
K8		开机按键
K6		FPGA 重配置按键
D7	0805LED GREEN	STM32-PM 状态指示
D9	0603LED-RG	STM32-CSKY 状态指示
D2	LED RGB	用户自定义指示灯

2.板上器件和接口

2.1 电源方案

系统使用 5V 输入电源, 采用 DC005 内正外负接口, 不得接入任何高于 5V 的电源。开发板提供多路电源, 如表 2-1 所示:

表 2-1 开发板电源

电源名称	电压, 最大电流	说明
VDD5V0	5V3A	YOC 5V 电源及其它 DC 芯片的电源
VDDMCU3V3	3.3V/0.5A	STM32F103-PM 电源
VDD_CMCU3V3	3.3V/0.5A	STM32F103-CSKY 电源, 接入 J18 时开启
VDDINT1V0	1.0V/1.5A	FPGA 内核及 block RAM 供电

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

VDDAUX1V8	1.8V/1.5A	FPGA 辅助供电
VDDON3V3	3.3V/1.5A	FPGA IO banks 供电
VDDMEM3V3	3.3V/1.5A	NOR FLASH 及 PSRAM 芯片供电
VDDPRE3V3	3.3V/2A	其余外设芯片供电及 YOC 3.3V 电源

FPGA 电源、MEM 电源及外设 3.3V 电源由 STM32F103-PM MCU 控制。接入 5V 输入电源按下 POWER 按键后，MCU 控制上述电源按顺序上电，以确保 FPGA 正确启动，同时 D7 处的 LED 以类似呼吸的方式亮起指示 MCU 正常工作。上电顺序为：

VDDINT1V0 -> VDDAUX1V8 -> VDDON3V3 & VDDMEM3V3 -> VDDPRE3V3

如需要断开 FPGA 电源或关闭开发板电源，不要直接拔掉 5V 输入电源，应先按 POWER 键，关闭 FPGA 电源，才可以拔掉 5V 输入电源。

注意：开发板总功率为 15W，如果外接子板功率较大，需要在子板上另接电源。

2.2 时钟和复位源

板上分别设计了两路时钟源和两路复位源，如下表 2-2 所示：

表 2-2 时钟和复位源

时钟源	值	引脚分配	
OSC2	20 MHz	B17	PIN_EHS
OSC3	48 MHz	E19	
复位源	值	引脚分配	
K1	按下低电平	W11	PI_MCURST
K2	按下低电平	Y11	

注：两路复位源都带有外部的 10K 上拉电阻上拉到 3.3V，按下按键时，按键引脚直接连接到 GND。

2.3 存储器

为了简化 SOC 设计，快速验证 C-SKY CPU 核，核心板上设计了 16/32/64MB 的 PSRAM 和 32MB 的 NOR-FLASH。

FLASH 使用两片 Spansion S29GL128S 芯片，进行数据扩展，容量为 32MB。

PSRAM 使用两片 EM7644SU16ASZP 芯片进行数据扩展，PSRAM 访问方式与上一代开发板的 SRAM 访问方式一致，容量为 16MB。

FLASH 和 PSRAM 的数据总线都是 32 位宽，并且 FLASH 和 PSRAM 的数据总线是复用的，地址总线也是复用的。

FLASH 和 PSRAM 具有独立的 CS 控制芯片，但共享读写使能和输出使能信号。其中 PSRAM 还有独有的 4 个 BSEL 信号和 1 个 NZZ 信号。

核心板上还有一颗 QSPI 接口的 NOR-FLASH 芯片 N25Q128A13ESE，容量为 16MB，用来存储 FPGA 配置文件。当设置为主串配置时，FPGA 从该芯片读取配置信息完成配置。

FLASH 和 PSRAM 与 FPGA 引脚的连接如表 2-3 所示：

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

表 2-3 FLASH,PSRAM 和 FPGA 的连接关系

信号名	FLASH U4	FLASH U5	SRAM U6	SRAM U7	FPGA U1
FLASH_NWP	U4.16	U5.16	--	--	U1.L6
FLASH_NRST	U4.14	U5.14	-	-	U1.L5
FLASH_NCE	U4.32	U5.32	-	-	U1.M1
MEM_NOE	U4.34	U5.34	U6.A2	U7.A2	U1.G1
MEM_NWE	U4.13	U5.13	U6.G5	U7.G5	U1.L3
PSRAM_NCE	--	--	U6.B5	U7.B5	U1.D2
PSRAM_NZZ	--	--	U6.A6	U7.A6	U1.D1
PSRAM_BSEL0	--	--	U6.A1	--	U1.B1
PSRAM_BSEL1	--	--	U6.B2	--	U1.C2
PSRAM_BSEL2	--	--	--	U7.A1	U1.A1
PSRAM_BSEL3	--	--	--	U7.B2	U1.B2
DATA[0]	U4.35	--	U6.B6	--	U1.T1
DATA[1]	U4.37	--	U6.C5	--	U1.T4
DATA[2]	U4.39	--	U6.C6	--	U1.T3
DATA[3]	U4.41	--	U6.D5	--	U1.T5
DATA[4]	U4.44	--	U6.E5	--	U1.T6
DATA[5]	U4.46	--	U6.F5	--	U1.R2
DATA[6]	U4.48	--	U6.F6	--	U1.R3
DATA[7]	U4.50	--	U6.G6	--	U1.R6
DATA[8]	U4.36	--	U6.B1	--	U1.U6
DATA[9]	U4.38	--	U6.C1	--	U1.U3
DATA[10]	U4.40	--	U6.C2	--	U1.U5
DATA[11]	U4.42	--	U6.D2	--	U1.U2
DATA[12]	U4.45	--	U6.E2	--	U1.U1
DATA[13]	U4.47	--	U6.F2	--	U1.V3
DATA[14]	U4.59	--	U6.F1	--	U1.V4
DATA[15]	U4.51	--	U6.G1	--	U1.V2
DATA[16]	--	U5.35	--	U7.B6	U1.Y3
DATA[17]	--	U5.37	--	U7.C5	U1.Y4
DATA[18]	--	U5.39	--	U7.C6	U1.Y6
DATA[19]	--	U5.41	--	U7.D5	U1.W1
DATA[20]	--	U5.44	--	U7.E5	U1.W4
DATA[21]	--	U5.46	--	U7.F5	U1.W5
DATA[22]	--	U5.48	--	U7.F6	U1.W6
DATA[23]	--	U5.50	--	U7.G6	U1.W7
DATA[24]	--	U5.36	--	U7.B1	U1.Y2
DATA[25]	--	U5.38	--	U7.C1	U1.Y1
DATA[26]	--	U5.40	--	U7.C2	U1.AA4
DATA[27]	--	U5.42	--	U7.D2	U1.AA3
DATA[28]	--	U5.45	--	U7.E2	U1.AA1
DATA[29]	--	U5.47	--	U7.F2	U1.AB3

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

DATA[30]	--	U5.59	--	U7.F1	U1.AB2
DATA[31]	--	U5.51	--	U7.G1	U1.AB1
ADDR[0]	U4.31	U5.31	U6.A3	U7.A3	U1.G2
ADDR[1]	U4.26	U5.26	U6.A4	U7.A4	U1.E1
ADDR[2]	U4.25	U5.25	U6.A5	U7.A5	U1.E3
ADDR[3]	U4.24	U5.24	U6.B3	U7.B3	U1.H5
ADDR[4]	U4.23	U5.23	U6.B4	U7.B4	U1.E2
ADDR[5]	U4.22	U5.22	U6.C3	U7.C3	U1.G3
ADDR[6]	U4.21	U5.21	U6.C4	U7.C4	U1.F4
ADDR[7]	U4.20	U5.20	U6.D4	U7.D4	U1.F1
ADDR[8]	U4.10	U5.10	U6.H2	U7.H2	U1.H2
ADDR[9]	U4.9	U5.9	U6.H3	U7.H3	U1.J5
ADDR[10]	U4.8	U5.8	U6.H4	U7.H4	U1.K3
ADDR[11]	U4.7	U5.7	U6.H5	U7.H5	U1.K1
ADDR[12]	U4.6	U5.6	U6.G3	U7.G3	U1.J6
ADDR[13]	U4.5	U5.5	U6.G4	U7.G4	U1.K2
ADDR[14]	U4.4	U5.4	U6.F3	U7.F3	U1.J2
ADDR[15]	U4.3	U5.3	U6.F4	U7.F4	U1.K4
ADDR[16]	U4.54	U5.54	U6.E4	U7.E4	U1.K6
ADDR[17]	U4.19	U5.19	U6.D3	U7.D3	U1.G4
ADDR[18]	U4.18	U5.18	U6.H1	U7.H1	U1.H4
ADDR[19]	U4.11	U5.11	U6.G2	U7.G2	U1.H3
ADDR[20]	U4.12	U5.12	U6.H6	U7.H6	U1.L1
ADDR[21]	U4.15	U5.15	U6.E3	U7.E3	U1.J1
ADDR[22]	U4.2	U5.2	-	-	U1.L4

2.4 YOC 接口

开发板具有 8 个标准 YOC 接口，其中 YOC 接口 1 和 FPGA 的连接关系如表 2-4 所示：

表 3 表 2-4 YOC SOCKET1 与 FPGA 连接关系

YOC SOCKET	FPGA(U1)引脚分配	顶层接口
J2.1	T15	PA2_QSPI0CLK_XX_XX_XX
J2.2	GND	
J2.3	P15	PA3_QSPI0MOSI_XX_XX_XX
J2.4	U15	PA4_QSPI0MISO_XX_XX_XX
J2.5	AA16	PA5_QSPI0WP_XX_XX_XX
J2.6	Y16	PA6_QSPI0HOLD_XX_XX_XX
J2.7	R16	PA7_QSPI0CS0_XX_XX_XX
J2.8	AB16	PB10_QSPI1MISO_XX_XX_I2C1SDA
J2.9	P16	PB11_QSPI1CLK_XX_XX_I2C1SCL
J2.10	GND	

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

J2.11	R17	PB5_QSPI1CS1_XX_XX_UART3RX
J2.12	U16	PB6_QSPI1WP_XX_XX_I2SSDA
J2.13	V17	PB7_QSPI1HOLD_XX_XX_I2SWCLK
J2.14	T16	PB8_QSPI1CS0_XX_XX_I2SSCLK
J2.15	P17	PB9_QSPI1MOSI_XX_XX_I2SMCLK
J2.16	W16	
J2.17	Y17	
J2.18	U17	
J2.19	GND	
J2.20	VDD3V3	
J2.21	T18	
J2.22	VDD5V0	
J2.23	R18	
J2.24	W17	

YOC 接口 2 和 FPGA 连接关系如表 2-5 所示:

表 2-5 YOC SOCKET2 与 FPGA 连接关系

YOC SOCKET	FPGA 引脚分配	顶层接口
J3.1	AB17	PA0_I2C0SCL_SPI1CS1_SPU0_UART1TX
J3.2	GND	
J3.3	AB18	PA1_I2C0SDA_SPI1CS2_SPU1_UART1RX
J3.4	Y18	
J3.5	V18	
J3.6	AA18	PA15_SPIOCS1_XX_I2C1SCL_XX
J3.7	AA19	PA14_SPIOCS2_FAULT_I2C1SDA_XX
J3.8	W19	PA28_I2C1SCL_PWM8_XX_XX
J3.9	AA20	PA29_I2C1SDA_PWM9_XX_XX
J3.10	GND	
J3.11	W20	
J3.12	V19	
J3.13	U20	
J3.14	AB20	
J3.15	T20	
J3.16	V20	PO_IHSCLK
J3.17	U21	PI_RC_EN
J3.18	W21	
J3.19	GND	
J3.20	VDD3V3	
J3.21	Y22	
J3.22	VDD5V0	
J3.23	W22	
J3.24	Y21	

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

YOC 接口 3 和 FPGA 连接关系如表 2-6 所示:

表 2-6 YOC SOCKET3 与 FPGA 连接关系

YOC SOCKET	FPGA 引脚分配	顶层接口
J24.1	M21	PA8_UART0TX_XX_SPU2_SIROUT0
J24.2	GND	
J24.3	N17	PA9_UART0RX_XX_SPU3_SIRIN0
J24.4	N13	PA10_UART0CTS_USI0SCLK_SPU4_I2C0SCL
J24.5	N19	PA11_UART0RTS_USI0SD0_SPU5_I2C0SDA
J24.6	N18	PA22_UART1CTS_PWM2_SPU10_I2SSCLK
J24.7	N14	PA23_UART1RTS_PWM3_SPU11_I2SWCLK
J24.8	N20	PB0_UART2TX_XX_XX_SIROUT2
J24.9	N22	PB1_UART2RX_XX_XX_SIRIN2
J24.10	GND	
J24.11	N15	PB3_UART2CTS_XX_XX_XX
J24.12	M15	PB2_UART2RTS_XX_XX_XX
J24.13	M17	PB13_UART3TX_SPI1MISO_XX_SIROUT3
J24.14	M13	PB12_UART3RX_SPI1CS0_XX_SIRIN3
J24.15	M18	PB15_UART3CTS_SPI1SCK_XX_XX
J24.16	M16	PB14_UART3RTS_SPI1MOSI_XX_XX
J24.17	M22	
J24.18	L13	
J24.19	GND	
J24.20	VDD3V3	
J24.21	M20	
J24.22	VDD5V0	
J24.23	L14	
J24.24	L20	

YOC 接口 4 和 FPGA 连接关系如表 2-7 所示:

表 2-7 YOC SOCKET4 与 FPGA 连接关系

YOC SOCKET	FPGA 引脚分配	顶层接口
J23.1	L18	
J23.2	GND	
J23.3	L15	
J23.4	L21	
J23.5	L19	
J23.6	K18	
J23.7	K16	
J23.8	K13	
J23.9	K17	
J23.10	GND	
J23.11	K14	PA30_I2C0SDA_PWM10_XX_XX
J23.12	K19	PA31_I2C0SCL_PWM11_XX_XX

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

File Name:



No:

J23.13	J14	
J23.14	K22	
J23.15	J16	PA16_SPIOCS0_XX_XX_USI1SCLK
J23.16	K21	PA17_SPI0MOSI_XX_XX_USI1SD0
J23.17	J15	PA18_SPI0MISO_XX_SPU6_USI1SD1
J23.18	J22	PA19_SPIOCK_FAULT_SPU7_USI1NSS
J23.19	GND	
J23.20	VDD3V3	
J23.21	J19	
J23.22	VDD5V0	
J23.23	J17	
J23.24	J21	

YOC 接口 5 和 FPGA 连接关系如表 2-8 所示:

表 2-8 YOC SOCKET5 与 FPGA 连接关系

YOC SOCKET	FPGA 引脚分配	顶层接口
J22.1	H14	PA27_USI1SCLK_PWM7_SPU15_XX
J22.2	GND	
J22.3	H18	
J22.4	H15	PA24_USI1NSS_PWM4_SPU12_I2SSDA
J22.5	J20	PA26_USI1SD0_PWM6_SPU14_XX
J22.6	H19	PA25_USI1SD1_PWM5_SPU13_XX
J22.7	G13	PA12_XX_USI0SD1_XX_UART2RX
J22.8	H22	PA13_XX_USI0NSS_XX_UART2TX
J22.9	H20	
J22.10	GND	
J22.11	G16	
J22.12	G15	
J22.13	G18	
J22.14	G17	
J22.15	G21	
J22.16	G22	
J22.17	F21	
J22.18	E22	
J22.19	GND	
J22.20	VDD3V3	
J22.21	E21	
J22.22	VDD5V0	
J22.23	D22	
J22.24	D21	

YOC 接口 6 和 FPGA 连接关系如表 2-9 所示:

表 2-9 YOC SOCKET6 与 FPGA 连接关系

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

YOC SOCKET	FPGA 引脚分配	顶层接口
J5.1	B22	
J5.2	GND	
J5.3	B21	
J5.4	C22	
J5.5	C20	
J5.6	A21	
J5.7	B20	
J5.8	A20	
J5.9	A19	
J5.10	GND	
J5.11	F20	
J5.12	D20	
J5.13	C18	
J5.14	C19	
J5.15	F19	
J5.16	F18	
J5.17	A18	
J5.18	E18	
J5.19	GND	
J5.20	VDD3V3	
J5.21	D17	
J5.22	VDD5V0	
J5.23	E17	
J5.24	C17	

YOC 接口 7 和 FPGA 连接关系如表 2-10 所示:

表 2-10 YOC SOCKET7 与 FPGA 连接关系

YOC SOCKET	FPGA 引脚分配	
J4.1	A16	
J4.2	GND	
J4.3	B16	
J4.4	A14	
J4.5	F16	
J4.6	E16	
J4.7	A15	
J4.8	D16	
J4.9	D15	
J4.10	GND	
J4.11	F15	
J4.12	B15	
J4.13	D14	
J4.14	C15	

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

File Name:

No:



J4.15	F14	
J4.16	C14	
J4.17	B13	
J4.18	A13	
J4.19	GND	
J4.20	VDD3V3	
J4.21	C13	
J4.22	VDD5V0	
J4.23	F13	
J4.24	E13	

YOC 接口 8 和 FPGA 连接关系如表 2-11 所示:

表 2-11 YOC SOCKET8 与 FPGA 连接关系

YOC SOCKET	FPGA 引脚分配	
J7.1	AB8	
J7.2	GND	
J7.3	V9	
J7.4	AA8	
J7.5	Y9	
J7.6	W9	
J7.7	V10	
J7.8	AA9	
J7.9	AA10	
J7.10	GND	
J7.11	AA11	
J7.12	AB10	
J7.13	AB12	
J7.14	AB11	
J7.15	AA13	
J7.16	AB13	
J7.17	AA14	
J7.18	Y13	
J7.19	GND	
J7.20	VDD3V3	
J7.21	W14	
J7.22	VDD5V0	
J7.23	T14	
J7.24	Y14	

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

2.6 SE 接口

开发板上有 1 个 SE（安全）接口，与 FPGA 的连接关系如表 2-11 所示：

表 2-11 SE 接口连接关系

SE 接口	信号名	FPGA U1	
J12.1	GND		
J12.2	NC		
J12.3	SE_IO	U1.AB22	
J12.4	NC		
J12.5	NC		
J12.6	SE_CLK	U1.AA21	
J12.7	SE_RST	U1.AB21	
J12.8	VDD3V3		

2.7 C-SKY JTAG 接口

开发板上有 1 个 C-SKY JTAG 接口，用于调试 C-SKY CPU 核，与 FPGA 的连接关系如表 2-12 所示：

表 2-12 C-SKY JTAG 连接关系

C-SKY JTAG 接口	信号名	FPGA U1	顶层接口
J8.1	CSKY_TDI	U1.V13	
J8.2	GND		
J8.3	CSKY_TDO	U1.V14	
J8.4	GND		
J8.5	CSKY_TCK	U1.AA15	PI_JTG_TCLK
J8.6	GND		
J8.7	NC		
J8.8	NC		
J8.9	CSKY_NIRST	U1.AB15	
J8.10	CSKY_TMS	U1.P14	P_JTG_TMS
J8.11	NC		
J8.12	NC		
J8.13	VDD3V3		
J8.14	CSKY_TRST	U1.W15	

2.8 自定义按键

开发板提供了 4 个自定义按键，其均接了 10k 上拉电阻到 3.3V 上。当按键按下时，输出为 0。按键与 FPGA 的连接关系如表 2-13 所示：

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

表 2-13 自定义按键与 FPGA 连接关系

自定义按键	信号名	FPGA U1	
K3	KEY1	U1.AB7	PB4_XX_XX_XX_UART3TX
K4	KEY2	U1.Y8	
K5	KEY3	U1.AB6	
K6	KEY4	U1.V8	

2.9 拨码开关

开发板提供了 8 位拨码开关，其均接了 10k 上拉电阻到 3.3V 上。当拨动到 on 时，输出为 0。拨码开关与 FPGA 的连接关系如表 2-14 所示：

表 2-14 拨码开关与 FPGA 连接关系

拨码开关	信号名	FPGA U1	
S1.1	SW1	U1.P2	PI_IO_JTAG_MODE
S1.2	SW2	U1.P1	PI_TSET_MODE
S1.3	SW3	U1.R1	PI_MODE_SELO
S1.4	SW4	U1.U7	PI_MODE_SEL1
S2.1	SW5	U1.V7	PI_MODE_SEL2
S2.2	SW6	U1.AA5	
S2.3	SW7	U1.AB5	
S2.4	SW8	U1.Y7	

2.10 RGB 三色 LED

开发板提供了 1 个 RGB 三色 LED，与 FPGA 的连接关系如表 2-15 所示：

表 2-15 RGB 三色 LED 与 FPGA 连接关系

拨码开关	信号名	FPGA U1	
D2.2	LED_B	U1.P4	POUT_EHS
D2.4	LED_G	U1.P5	
D2.6	LED_R	U1.N2	PO_SELF_TEST

2.11 UART 调试串口

开发板上有 3 组排针，用于连接调试串口，可使用串口终端与 FPGA 中的逻辑进行数据交互。这 3 组排针，定义和连接如下

表 2-16 UART 调试串口连接关系

排针 J9	信号名	FPGA 引脚	
J9.1	TXD1	N3(输出)	PA21_UART1TX_PWM1_SPU9_SIROUT1

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).

J9.2	RXD1	N4(输入)	PA20_UART1RX_PWM0_SPU8_SIRIN1
J9.3	RND		

3 FPGA 配置说明

Xilinx FPGA 配置数据存放在 CMOS 配置缓存 (CCL) 中，每次上电都需要重新配置。FPGA 支持自动从外部存储器读取数据配置自己，或者通过外部主控制器如 MCU，DSP 或者测试机等配置。7 系列 FPGA 支持 7 中配置模式：

- Master Serial
- Slave Serial
- Master SelectMAP (x8, x16)
- Slaver SelectMAP (x8, x16, x32)
- JTAG
- Master SPI (x1, x2, x4)
- Master BPI (x8, x16)

配置模式是在 FPGA 上电时由 M[2:0]FPGA 引脚决定的。对于每个特定型号的 FPGA，其配置文件 (.bit 文件) 大小也是确定的。本开发板选用的 XC7A200T 系列的配置文件大小为 77,845,216 bits，外部适合使用 128Mb 的配置用 Flash 存储器。关于 7 系列 FPGA 配置的说明，用户可参考 Xilinx 文档 [UG470](#)。

- 开发板支持的配置模式有：Slave Serial，Master SPI (x4) 和 JTAG。

3.1 Slave Serial 模式配置 FPGA

开发板上的 STM32F103-PM 具有通过 Slave Serial 模式配置 FPGA 的功能。

使用此功能前需要将配置 FPGA 用的 bit 文件存放到 micro SD 卡中。可以通过额外的 micro SD 卡读卡器存放 bit 文件；也可以直接将 micro SD 卡装入开发板中，再用 USB 线连接开发板和 PC。开发板开机后，PC 上会出现可移动磁盘，将 bit 文件拷贝到 micro SD 卡中，拷贝需要耗费约 1 分钟时间。**bit 文件的名称必须改为 cfg.bit。**

将 J15 处的跳帽跳到 PS 处，MCU 会根据此跳帽设置 M[0:2]。

再按下 RE-PRO 键，FPGA 自动初始化，MCU 会读取 bit 文件并配置 FPGA。配置过程中，D7 处的 LED 从呼吸状态转换为闪烁状态，配置完毕后，LED 会重新进入呼吸状态。如果配置成功，D3 处亮起绿灯，否则亮红灯。

3.2 Master SPI (x4) 模式配置 FPGA

与 FPGA 连接的一个 SPANSION 128Mb 串行 Flash N25Q128A13 用作在 Master SPI (x4) 模式下存储配置文件。用户可以使用 Xilinx Vivado 将 bit 文件转换成存储在 Flash 中的 mcs 文件，并通过 Xilinx Platform USB Cable 将 mcs 文件烧写到 Flash 中。

File Name:

No:



1. 在 vivado 的 Tcl Console 窗口中执行 `cd /you/work/dir` 进入 bit 文件所在目录;
2. 再执行 `write_cfgmem -format mcs -interface spix4 -size 128 -loadbit "up 0 xxx.bit" -file Untitled.mcs -force` 可以生成 mcs 文件

然后将 mcs 文件配置到 FLASH 中:

1. 在 Hardware Manager 窗口中, 右键器件->Add Configuration Memory Device ...;
2. 选择正确的 memory 型号: **Micro -> 128 -> SPI -> x1_x2_x4 -> n25q128-3.3v;**
3. 选择 mcs 文件, 其他默认不要改动;

为正确配置 FPGA 和 FLASH, 需要在 vivado 工程的约束文件中加入以下语句:

```
set_property CONFIG_VOLTAGE 3.3 [current_design]
set_property CFGBVS VCC0 [current_design]
set_property CONFIG_MODE SPIx4 [current_design]
set_property BITSTREAM.CONFIG.SPI_BUSWIDTH 4 [current_design]
set_property BITSTREAM.CONFIG.CONFIGRATE 40 [current_design]
set_property BITSTREAM.CONFIG.EXTMASTERCLK_EN DIV-2 [current_design]
```

将 J15 处的跳帽跳到 AS 处, MCU 会根据此跳帽设置 M[0:2]。

在 Master SPI (x4) 模式下, 按 RE-PROG 键, 可以实现初始化 FPGA 并从 Flash 中读取 mcs 文件配置 FPGA。

3.3 JTAG 模式配置 FPGA

通过 JTAG 模式配置 FPGA, 无需设置 J15 跳帽。

启动 Vivado 软件, 点击”Open Hardware Manager”, 进入 Hardware Manager 窗口;
在 Hardware Manager 窗口中, 点击 “Tools” -> “Auto Connect” ;
连接成功后, 会在 Hardware 面板中看到器件型号, 然后右键器件->Program Device;
选择 bit 文件, 将 bit 文件配置到 FPGA 器件中

C-Sky Confidential

The information contained herein is confidential and proprietary and is not to be disclosed outside of Hangzhou C-Sky Microsystems except under a Non-Disclosure Agreement (NDA).