

# wujian100\_open FPGA board Userguide

Number	
Revision	1.0
Security	Public
Date	2019-10-15

## **Copyright © 2020 T-HEAD Semiconductor Co.,Ltd. All rights reserved.**

This document is the property of T-HEAD Semiconductor Co.,Ltd. This document may only be distributed to: (i) a T-HEAD party having a legitimate business need for the information contained herein, or (ii) a non-T-HEAD party having a legitimate business need for the information contained herein. No license, expressed or implied, under any patent, copyright or trade secret right is granted or implied by the conveyance of this document. No part of this document may be reproduced, transmitted, transcribed, stored in a retrieval system, translated into any language or computer language, in any form or by any means, electronic, mechanical, magnetic, optical, chemical, manual, or otherwise without the prior written permission of T-HEAD Semiconductor Co.,Ltd.

## **Trademarks and Permissions**

The T-HEAD Logo and all other trademarks indicated as such herein are trademarks of T-HEAD Semiconductor Co.,Ltd. All other products or service names are the property of their respective owners.

## **Notice**

The purchased products, services and features are stipulated by the contract made between T-HEAD and the customer. All or part of the products, services and features described in this document may not be within the purchase scope or the usage scope. Unless otherwise specified in the contract, all statements, information, and recommendations in this document are provided "AS IS" without warranties, guarantees or representations of any kind, either express or implied.

The information in this document is subject to change without notice. Every effort has been made in the preparation of this document to ensure accuracy of the contents, but all statements, information, and recommendations in this document do not constitute a warranty of any kind, express or implied.

## **Copyright © 2020 平头哥半导体有限公司，保留所有权利。**

本文档的所有权及知识产权归属于平头哥半导体有限公司及其关联公司(下称“平头哥”)。本文档仅能分派给：(i)拥有合法雇佣关系，并需要本文档的信息的平头哥员工，或(ii)非平头哥组织但拥有合法合作关系，并且其需要本文档的信息的合作方。对于本文档，未经平头哥半导体有限公司明示同意，则不能使用该文档。在未经平头哥半导体有限公司的书面许可的情形下，不得复制本文档的任何部分，传播、转录、储存在检索系统中或翻译成任何语言或计算机语言。

## **商标申明**

平头哥的 LOGO 和其它所有商标归平头哥半导体有限公司及其关联公司所有，未经平头哥半导体有限公司的书面同意，任何法律实体不得使用平头哥的商标或者商业标识。

## **注意**

您购买的产品、服务或特性等应受平头哥商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，平头哥对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。平头哥半导体有限公司不对任何第三方使用本文档产生的损失承担任何法律责任。

## **平头哥半导体有限公司 T-HEAD Semiconductor Co.,LTD**

地址：杭州市西湖区西斗门路 3 号天堂软件园 A 座 15 楼 邮编：310012  
网址：[www.T-head.cn](http://www.T-head.cn)



## 版本历史(Revisions)

[illegible]

# 目录(Contents)

<b>1</b>	<b>开发板简介</b>	<b>1</b>
1.1	关于 FPGA	1
<b>2</b>	<b>板上器件和接口</b>	<b>2</b>
2.1	电源方案	2
2.2	时钟和复位源	2
2.3	YOC 接口	3
2.4	PINGTOUGE JTAG 接口	12
<b>3</b>	<b>FPGA 配置说明</b>	<b>13</b>
3.1	使用 Micro-SD 卡配置 FPGA	13
<b>4</b>	<b>编译并运行一个工程</b>	<b>14</b>
4.1	将 FPGA 开发板连接到 pc	14
4.2	编译并运行一个 project	15

表格目录(Tables)

## 术语与参考资料(Abbreviations and Reference)

### 术语与缩略语

Abbreviations 缩略语	Full spelling 英文全名	Chinese explanation 中文解释

### 参考资料

编号	文 档 编 号	标题	版本	日期

# 1 开发板简介

## 1.1 关于 FPGA

Xilinx 7 系列 FPGA 采用 28nm HKMG HPL 工艺，大幅提高了 FPGA 性能和容量，同时比上一代产品功耗减少 50%。7 系列下有 3 个产品线，Artix-7 面向于低功耗低成本应用；Kintex-7 用于最佳的性价比同时比上一代的产品有 2 倍的性能提升；Virtex-7 采用堆叠式硅互联技术带来更大的容量和系统性能。

本开发板采用了 XC7A200T1FBG484I 主要逻辑资源如下：

- 215360 逻辑单元
- 33650 个 Slice
- 740 DSP48E1 Slice，每个 slice 包括 pre-adder, 28x18 multiplier, adder, accumulator
- 13140 Kb 的 Block RAM Blocks 包括 730 个 18Kb 或者 365 个 36Kb Block RAM
- 10 个 CMT，每个 CMT 包括一个 MMCM 和一个 PLL

Artix-7 中的 LUT 可以配置成 6 输入 1 输出的 LUT，或者两个相同 5 输入不同输出的 LUT，每个 LUT 输出可以选择是否由寄存器输出。4 个这样的 LUT 和连接他们的 8 个寄存器，以及多路选择器和算术运算进位逻辑一起组成一个 slice；两个这样的 slice 组成了一个 CLB（Configurable Logic Block）。LUT 中的一个寄存器可以被配置成锁存器。大约 25%到 50%的 slice 可以将他们的 LUT 配置成 64-bit RAM 或者 32-bit 移位寄存器，或两个 16 位移位寄存器。

CMT（Clock Management Tile）可作为高速时钟缓冲和低斜率时钟信号分配，频率合成或者相位偏移等功能。每个 CMT 中包括一个 MMCM（Mixed-Mode Clock Manager）和一个 PLL（Phase-Locked Loop）。

36Kb Block RAM 为双端口 RAM，数据宽度最大 72 位，每个端口数据共享，其他完全独立。每个端口都可独立配置成 32K x 1, 16K x 2, 8K x 4, 4K x 9(8), 2K x 18, 1K x 36, 512x72(64)。每个 Block RAM 都可以被分成两个独立的 18Kb Block RAM，并且每个 18Kb Block RAM 与 36Kb Block RAM 用法相同。

## 2 板上器件和接口

### 2.1 电源方案

系统使用 5V 输入电源，采用 DC005 内正外负接口，不得接入任何高于 5V 的电源。开发板提供多路电源，如表 2-1 所示：

表 1-1 开发板电源

电源名称	电压，最大电流	说明
VDD5V0	5V3A	YOC 5V 电源及其它 DC 芯片的电源
VDDMCU3V3	3.3V/0.5A	STM32F103-PM 电源
VDD_CMCU3V3	3.3V/0.5A	STM32F103-CSKY 电源，接入 J18 时开启
VDDINT1V0	1.0V/1.5A	FPGA 内核及 block RAM 供电
VDDAUX1V8	1.8V/1.5A	FPGA 辅助供电
VDDON3V3	3.3V/1.5A	FPGA IO banks 供电
VDDMEM3V3	3.3V/1.5A	NOR FLASH 及 PSRAM 芯片供电
VDDPRE3V3	3.3V/2A	其余外设芯片供电及 YOC 3.3V 电源

FPGA 电源、MEM 电源及外设 3.3V 电源由 STM32F103-PM MCU 控制。接入 5V 输入电源按下 POWER 按键后，MCU 控制上述电源按顺序上电，以确保 FPGA 正确启动，同时 D7 处的 LED 以类似呼吸的方式亮起指示 MCU 正常工作。上电顺序为：

VDDINT1V0 -> VDDAUX1V8 -> VDDON3V3 & VDDMEM3V3 -> VDDPRE3V3

如需要断开 FPGA 电源或关闭开发板电源，不要直接拔掉 5V 输入电源，应先按 POWER 键，关闭 FPGA 电源，才可以拔掉 5V 输入电源。

注意：开发板总功率为 15W，如果外接子板功率较大，需要在子板上另接电源。

### 2.2 时钟和复位源

板上分别设计了两路时钟源和两路复位源，如下表 2-2 所示：

表 2-2 时钟和复位源

时钟源	值	引脚分配
OSC2	20 MHz	B17
OSC3	48 MHz	E19
复位源	值	引脚分配
K1	按下低电平	W11
K2	按下低电平	Y11

注：两路复位源都带有外部的 10K 上拉电阻上拉到 3.3V，按下按键时，按键引脚直接连接到 GND。

时钟源	值	引脚分配	Hobbit PIN
OSC2	20 MHz	B17	PIN_EHS
复位源	值	引脚分配	
K1	按下低电平	W11	PI_MCURST

## 2.3 YOC 接口

开发板具有 8 个标准 YOC 接口，其中 YOC 接口 1 和 FPGA 的连接关系如表 2-4 所示：

表 2 表 2-4 YOC SOCKET1 与 FPGA 连接关系

YOC SOCKET	FPGA(U1) 引脚分配	Hobbit PIN
J2.1	T15	PAD_GPIO_0
J2.2	GND	
J2.3	P15	PAD_GPIO_1
J2.4	U15	PAD_GPIO_2
J2.5	AA16	PAD_GPIO_3
J2.6	Y16	PAD_GPIO_4



J2.7	R16	PAD_GPIO_5
J2.8	AB16	PAD_GPIO_6
J2.9	P16	PAD_GPIO_7
J2.10	GND	
J2.11	R17	PAD_GPIO_8
J2.12	U16	PAD_GPIO_9
J2.13	V17	PAD_GPIO_10
J2.14	T16	PAD_GPIO_11
J2.15	P17	PAD_GPIO_12
J2.16	W16	PAD_GPIO_13
J2.17	Y17	PAD_GPIO_14
J2.18	U17	PAD_GPIO_15
J2.19	GND	
J2.20	VDD3V3	
J2.21	T18	PAD_GPIO_16
J2.22	VDD5V0	
J2.23	R18	PAD_GPIO_17
J2.24	W17	PAD_GPIO_18

YOC 接口 2 和 FPGA 连接关系如表 2-5 所示：

表 2-5 YOC SOCKET2 与 FPGA 连接关系

YOC SOCKET	FFPGA 引脚分配	Hobbit PIN
------------	------------	------------

J3.1	AB17	PAD_GPIO_19
J3.2	GND	
J3.3	AB18	PAD_GPIO_20
J3.4	Y18	PAD_GPIO_21
J3.5	V18	PAD_GPIO_22
J3.6	AA18	PAD_GPIO_23
J3.7	AA19	PAD_GPIO_24
J3.8	W19	PAD_GPIO_25
J3.9	AA20	PAD_GPIO_26
J3.10	GND	
J3.11	W20	PAD_GPIO_27
J3.12	V19	PAD_GPIO_28
J3.13	U20	PAD_GPIO_29
J3.14	AB20	PAD_GPIO_30
J3.15	T20	PAD_GPIO_31

YOC 接口 3 和 FPGA 连接关系如表 2-6 所示：

表 2-6 YOC SOCKET3 与 FPGA 连接关系

YOC SOCKET	FFPGA 引脚分配	Hobbit PIN
J24.1	M21	PAD_PWM_CH0
J24.2	GND	
J24.3	N17	PAD_PWM_CH1
J24.4	N13	PAD_PWM_CH2
J24.5	N19	PAD_PWM_CH3

J24.6	N18	PAD_PWM_CH4
J24.7	N14	PAD_PWM_CH5
J24.8	N20	PAD_PWM_CH6
J24.9	N22	PAD_PWM_CH8
J24.10	GND	
J24.11	N15	PAD_PWM_CH9
J24.12	M15	PAD_PWM_CH10
J24.13	M17	PAD_PWM_CH11
J24.14	M13	PAD_PWM_FAULT

YOC 接口 4 和 FPGA 连接关系如表 2-7 所示:

表 2-7 YOC SOCKET4 与 FPGA 连接关系

YOC SOCKET	FFPGA 引 脚分配	Hobbit PIN
J23.1	L18	PAD_USI0_NSS
J23.2	GND	
J23.3	L15	PAD_USI0_SCLK
J23.4	L21	PAD_USI0_SD0
J23.5	L19	PAD_USI0_SD1
J23.6	K18	PAD_USI1_NSS
J23.7	K16	PAD_USI1_SCLK
J23.8	K13	PAD_USI1_SD0
J23.9	K17	PAD_USI1_SD1
J23.10	GND	
J23.11	K14	PAD_USI2_NSS

J23.12	K19	PAD_USI2_SCLK
J23.13	J14	PAD_USI2_SD0
J23.14	K22	PAD_USI2_SD1

USI PAD 对应关系:

Serial Ports(PAD)	UART	I2C	SPI
SCLK	RXD	SCL	SCK
SD0	TXD	SDA	MOSI
SD1	CTS		MISO
NSS	RTS		NSS

以下部分可根据需求自由分配

YOC 接口 5 和 FPGA 连接关系如表 2-8 所示:

表 2-8 YOC SOCKET5 与 FPGA 连接关系

YOC SOCKET	FPGA 引脚分配
J22.1	H14
J22.2	GND
J22.3	H18
J22.4	H15
J22.5	J20
J22.6	H19
J22.7	G13
J22.8	H22
J22.9	H20
J22.10	GND
J22.11	G16
J22.12	G15
J22.13	G18

J22.14	G17
J22.15	G21
J22.16	G22
J22.17	F21
J22.18	E22
J22.19	GND
J22.20	VDD3V3
J22.21	E21
J22.22	VDD5V0
J22.23	D22
J22.24	D21

YOC 接口 6 和 FPGA 连接关系如表 2-9 所示：

表 2-9 YOC SOCKET6 与 FPGA 连接关系

YOC SOCKET	FPGA 引脚分配
J5.1	B22
J5.2	GND
J5.3	B21
J5.4	C22
J5.5	C20
J5.6	A21
J5.7	B20
J5.8	A20

J5.9	A19
J5.10	GND
J5.11	F20
J5.12	D20
J5.13	C18
J5.14	C19
J5.15	F19
J5.16	F18
J5.17	A18
J5.18	E18
J5.19	GND
J5.20	VDD3V3
J5.21	D17
J5.22	VDD5V0
J5.23	E17
J5.24	C17

YOC 接口 7 和 FPGA 连接关系如表 2-10 所示：

表 2-10 YOC SOCKET7 与 FPGA 连接关系

YOC SOCKET	FPGA 引脚分配
J4.1	A16
J4.2	GND
J4.3	B16
J4.4	A14

J4.5	F16
J4.6	E16
J4.7	A15
J4.8	D16
J4.9	D15
J4.10	GND
J4.11	F15
J4.12	B15
J4.13	D14
J4.14	C15
J4.15	F14
J4.16	C14
J4.17	B13
J4.18	A13
J4.19	GND
J4.20	VDD3V3
J4.21	C13
J4.22	VDD5V0
J4.23	F13
J4.24	E13

YOC 接口 8 和 FPGA 连接关系如表 2-11 所示:

表 2-11 YOC SOCKET8 与 FPGA 连接关系

YOC SOCKET	FPGA 引脚分配
------------	-----------

J7.1	AB8
J7.2	GND
J7.3	V9
J7.4	AA8
J7.5	Y9
J7.6	W9
J7.7	V10
J7.8	AA9
J7.9	AA10
J7.10	GND
J7.11	AA11
J7.12	AB10
J7.13	AB12
J7.14	AB11
J7.15	AA13
J7.16	AB13
J7.17	AA14
J7.18	Y13
J7.19	GND
J7.20	VDD3V3
J7.21	W14
J7.22	VDD5V0
J7.23	T14
J7.24	Y14



## 2.4 PINGTOUGE JTAG 接口

开发板上有 1 个 PINGTOUGE JTAG 接口，用于调试 PINGTOUGE CPU 核，与 FPGA 的连接关系如表 2-12 所示：

表 2-12 PINGTOUGE JTAG 连接关系

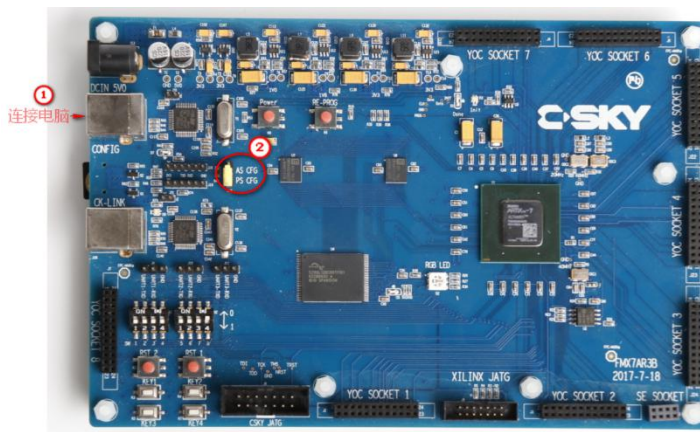
PINGTOUGE JTAG 接口	信号名	FPGA U1
J8.1	NC	
J8.2	GND	
J8.3	NC	
J8.4	GND	
J8.5	PAD_JTAG_TCK	U1.AA15
J8.6	GND	
J8.7	NC	
J8.8	NC	
J8.9	NC	
J8.10	PAD_JTAG_TMS	U1.P14
J8.11	NC	
J8.12	NC	
J8.13	VDD3V3	
J8.14	NC	

# 3 FPGA 配置说明

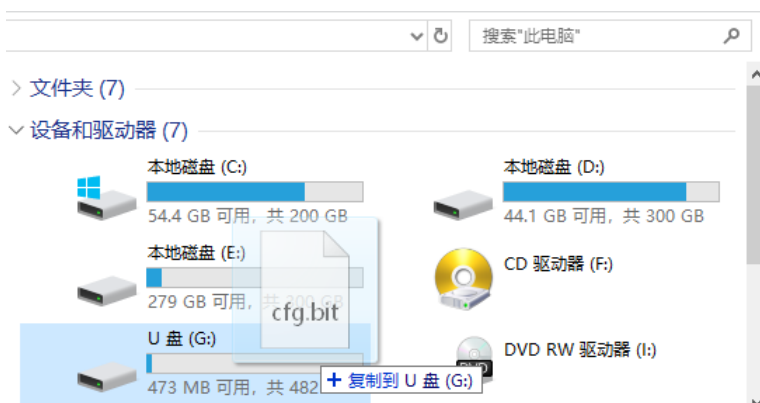
## 3.1 使用 Micro-SD 卡配置 FPGA

在配置 FPGA 之前，首先按照上一章所述给开发板上电。然后按照如下步骤配置 FPGA：

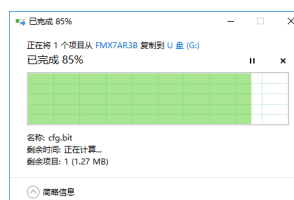
1. 将开发板上靠近电源接口的方口 USB 口连接到电脑上
2. 黄色长柄跳线帽必须连接到 J15 接口的 PS 模式



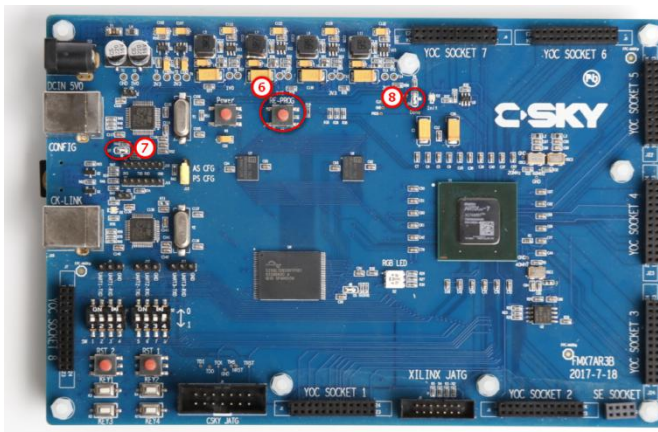
3. 在“我的电脑”上会多出一个可移动存储设备，容量就是 Micro-SD 卡的容量
4. 将编译好的 bit 文件重命名为“cfg.bit”并复制到上述可移动存储设备中。文件名一定要是：**cfg.bit**



5. 等待复制完成，速度较普通读卡器要慢，请耐心等待



6. 轻按开发板上 “K6-RE-PROG” 按键；
7. 板上 D7 LED 等开始快速闪烁，表示正在配置 FPGA
8. 配置完成之后，D7 LED 停止闪烁，D1 LED 常亮绿色，表示配置正确



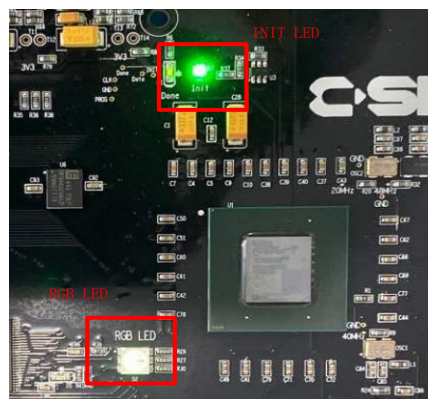
## 4 编译并运行一个工程

### 4.1 将 FPGA 开发板连接到 pc

1. XC7A-FPGA 开发板连接到 pc 机，需要先连接电源，然后使用 T 口线将 debug 接口连接到电脑的 usb 接口，如图所示
2. 使用套件内的串口线连接开发板的 usi-usart 接口，此接口输出打印信息。串口线的 rx、tx 分别连接开发板的 J23 端口的 3、4(串口线使用 pl2303 串口驱动，开发板 sd 卡内附有驱动安装包)，连接后如图所示：



- 接线完毕后，按下开发板的 power 按键，开发板的 init led 将会点亮，表示上电成功，然后按下 RE-PROG 按键，待 RGB led 点亮后开发板初始化完毕，如图：

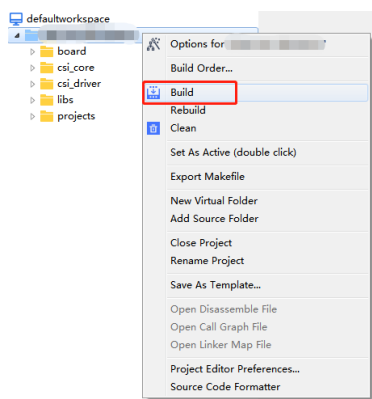


## 4.2 编译并运行一个 project

- 使用 cdk 打开并编译 project，双击打开工程文件

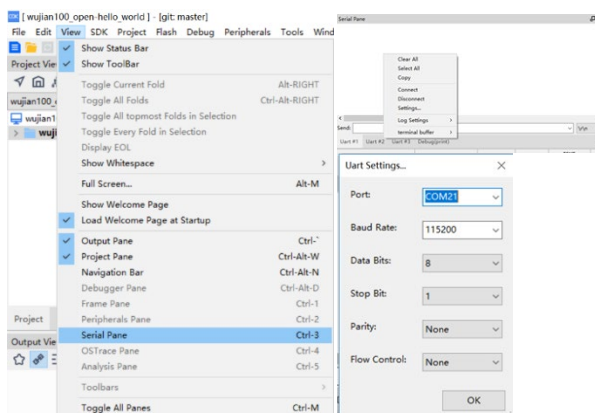
wujian100\_open/sdk/projects/examples/hello\_world/CDK/wujian100\_open-hello\_world.cdkproj


右键工程，选择 build，如图



- 运行工程

单击“view”，选择“serial pane”打开 cdk 的串口工具，连接开发板串口，右键单击 serial pane 窗口，选择 settings，并设置波特率为 115200，如图：



点击“Start/Stop Debugger”按钮  进入调试，工程运行后 Serial pane 窗口将会打印出“hello word”字符串。