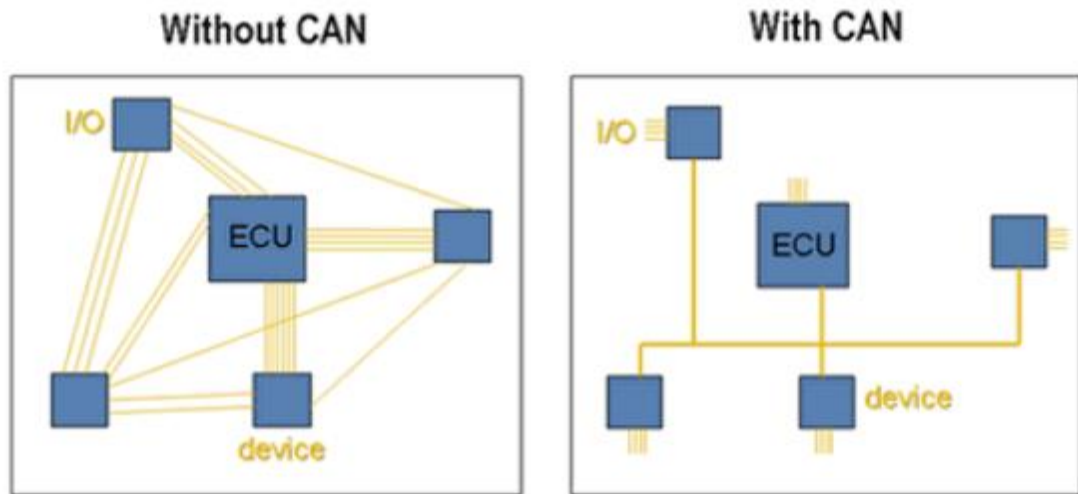


CAN의 장점



여러 개의 CAN 디바이스가 서로 통신할 수 있는 안정적, 경제적 네트워크 제공.

또한 ECU가 각 디바이스마다 아날로그 및 디지털 입/출력을 갖는게 아니라 단일의 CAN 인터페이스만 보유 한다는 점이다. 따라서, 시스템의 전체 비용과 중량을 줄일 수 있다.

• **CAN 프레임** -- 전체 CAN 전송: 중재 ID, 데이터 바이트, ACK (acknowledge) 비트 등. 또한 프레임은 메시지를 의미합니다.

S O F	11-BIT ARBITRATION ID	S R I D E	18-BIT ARBITRATION ID	R T R	0	DLC	0...8 BYTES DATA	CRC	A C K	E O F
----------------------------------	--	--	--	----------------------------------	----------	------------	-----------------------------------	------------	----------------------------------	----------------------------------

SOF - 메시지의 시작을 알림.

Arbitration BIT - 메시지를 식별하고 메시지의 우선 순위를 지정, 11비트 ID를 사용하는 스탠다드 모드와 29비트를 사용하는 Xtd 확장 모드가 존재한다.

IDE - 스탠다드 모드인지 확장 모드인지 나타냄.

DLC - 데이터의 길이를 나타냄.

0~8 DATA - 0 ~ 8 바이트 크기의 데이터로 구성되어 있다.

CRC :-15비트의 주기적인 중복 체크 코드 + 역행 비트로 구성.CRC 비트는 오류 검출에 이용된다.

ACK - 메시지를 정확히 수신한 모든 CAN 컨트롤러는 메시지 말미에 ACK비트를 전송한다. ACK가 발견되지 않은 경우에는 재 전송을 시도한다.

CAN 신호 - CAN 프레임 데이터 필드내에 포함된 개별 데이터를 의미. 채널을 의미한다. 단일 CAN 프레임은 0 ~ 64개의 채널이 존재한다.

텍스트 명령에서 CAN 메시지 구조

S X	ID	R Space	Data 1	Data 2	Data 3	...	↵
--------	----	------------	--------	--------	--------	-----	---

처음으로 오는 문자는 S 혹은 X이다. S는 표준 CAN 메시지 X는 확장 CAN 메시지를 의미한다.

두번째는 CAN ID를 나타낸다. 표준의 경우 11bit ID 확장 CAN의 경우 29bit를 사용한다.

세번째는 RTR을 표시한다. R이면 CAN 메시지가 RTR를 의미한다.

RTR은 어떤 노드로부터 다른 노드로 데이터 전송을 요청한다는 뜻이다.

공백인 경우에는 다음 메시지들이 DATA frame이라는 것을 의미한다.

DATA 1 ~ 8의 경우 각각 1바이트 데이터를 16진수로 표기한다. 즉 8바이트 크기의 데이터를 전송하게 되면 8바이트가 넘어갈 경우 잘리게 된다.

마지막은 엔터로 마무리 한다.

바이너리 패킷 모드에서 CAN 구조

A. ~~명령어 패킷 (USB2CAN 컨버터에 대한 명령어 패킷)~~

B. 메시지 패킷 (CAN 메시지를 주고 받기 위한 패킷)

1byte	2byte	3byte	4byte	5~8byte	9~16byte	17byte	18byte
STX (0x02)	Type (0x00)	DLC	Flags	ID	Data 1~8	Checksum	ETX (0x03)

1. STX - 패킷 전송 시작 문자 (0x02)

2. Type - 패킷의 종류를 설정. 메시지 패킷이므로 0x00으로 고정

3. DLC - 데이터의 길이를 나타낸다. 이 값은 0 ~ 8 의 범위가 된다.

4. Flags - RTR, Standard, Extended 패킷을 나타낸다. (0x20 - RTR, 0x40 - CAN Ext, 0x00 - CAN std)

5. ID - CAN 식별자 (std 모드 시, 0x0 ~ 0x7FF(11 bit) ext 모드 시, 0x0 ~ 0x1FFFFFFF(29bit))

6. DATA 1 ~ 8 - CAN 데이터 DLC가 8보다 작을 때 남는 데이터 영역에는 0x0을 채워야 한다.

7. Checksum - 패킷의 2에서 16byte 까지 모두 더한 값이다.

8. ETX - 패킷 전송 종료 문자 (0x03)

Structure of Message Objects

27.5.1 Structure of Message Objects

Figure 27-4 shows the structure of a message object.

The grayed fields are those parts of the message object that are represented in dedicated registers. For example, the transmit request flags of all message objects are represented in centralized transmit request registers.

Figure 27-4. Structure of a Message Object

Message Object												
UMask	Msk[28:0]	MXtd	MDir	EoB	unused	NewDat	MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
MsgVal	ID[28:0]	Xtd	Dir	DLC[3:0]	Data 0	Data 1	Data 2	Data 3	Data 4	Data 5	Data 6	Data 7

메시지 객체의 구성도를 나타낸다.

MsgVal : 메시지 valid를 나타낸다. 이 메시지 객체가 메시지 핸들러에 의해 사용되는지 확인

UMask : 수용가능한 Mask 사용 (mask를 사용할지 안 할지 결정한다.)

ID : 메시지의 ID를 나타낸다. (누가 보내는 것인지 알 수 있다.)

Msk : 받고싶은 ID를 결정하기 위한 Msk비트 필터의 역할을 한다.

Xtd : 확장 ID를 쓰는지 std ID를 쓰는지 결정한다.

MXtd : 확장 ID를 필터링 하기 위하여 사용한다.

Dir : 0이면 수신, 1이면 송신이다.

EoB : Block의 끝, 0일 때 메시지 객체가 FIFO 버퍼블락의 일부이고 마지막 버퍼가 아님을 나타낸다. 1일때는 싱글 메시지 객체거나 FIFO 버퍼 블락의 마지막 메시지 객체임을 나타낸다.

NewDat : 새로운 메시지가 메시지 핸들러에 의하여 쓰기가 됐는지 확인 (0 - None, 1- New data)

MsgLst : 메시지 객체의 dir이 receive 모드의 경우에만 메시지 분실을 나타낸다. (0- 잃어버린 메시지 X, 1- NewDat이 여전히 설정되어 있는 경우 메시지 객체에 새 메시지를 저장하여 이전 메시지를 덮어 쓴다.)

RxIE : 수신 인터럽트 enable 나타냄 (성공적 수신 후에 IntPnd가 설정되지 않거나 설정된다.)

TxIE : 송신 인터럽트 enable (성공적 발신 후에 IntPnd가 설정되지 않거나 설정된다.)

IntPnd : 인터럽트가 지연되고 있는지 나타냄.

RmtEn : 원격 프레임 수신시 TxRqst의 변경여부를 나타낸다. (메시지가 원격 프레임 수락 가/부)

TxRqst : 송신 요청 (0 - 메시지 객체는 송신을 위해 대기하지 않는다. 1 - 메시지 송신 요청)

DLC : 데이터의 길이

27.17.1 CAN Control Register (DCAN CTL)

NOTE: The Bus-Off recovery sequence (see CAN specification) cannot be shortened by setting or resetting Init bit. If the module goes Bus-Off, it will automatically set the Init bit and stop all bus activities.

When the Init bit is cleared by the application again, the module will then wait for 129 occurrences of Bus Idle (129 × 11 consecutive recessive bits) before resuming normal operation. At the end of the Bus-Off recovery sequence, the error counters will be reset.

After the Init bit is reset, each time when a sequence of 11 recessive bits is monitored, a Bit0 error code is written to the Error and Status Register, enabling the CPU to check whether the CAN bus is stuck at dominant or continuously disturbed, and to monitor the proceeding of the Bus-Off recovery sequence.

Figure 27-20. CAN Control Register (DCAN CTL) [offset = 00h]

31				26			25	24
Reserved							WUBA	PDR
R-0							R/W-0	R/W-0
23		21	20	19	18	17	16	
Reserved			DE3	DE2	DE1	IE1	InitDbg	
R-0			R/W-0	R/W-0	R/W-0	R/W-0	R-0	
15	14	13	10			9	8	
SWR	Reserved	PMD					ABO	IDS
R/WP-0	R-0	R/W-5h					R/W-0	R/W-0
7	6	5	4	3	2	1	0	
Test	CCE	DAR	Reserved	EIE	SIE	IE0	Init	
R/W-0	R/W-0	R/W-0	R-0	R/W-0	R/W-0	R/W-0	R/W-1	

LEGEND: R/W = Read/Write; R = Read only; WP = Write protected by Init bit; -n = value after reset

BUS-Off 회복 순서는 초기화 비트를 세팅하는 방식으로 단축될 수 없다.

만약 모듈이 BUS-Off가 된다면, 이것은 자동적으로 초기화 비트가 세팅 되고, 모든 버스상의 작동들이 정지된다.

초기화 비트가 어플리케이션에 의해서 클리어 되면 이 모듈은 (129*11 recessive bits)의 BUS상에 idle 시간동안 기다리게 된다.

BUS-Off 회복 순서가 끝나는 시점에 error 카운터는 재 설정이 된다.

초기화 비트가 재 설정되고 난 뒤, 11recessive 비트가 모니터링 되는 각각의 시간에

비트 0 에러 코드는 오류 및 상태 레지스터에 기록된다.

CPU 가 CAN 버스가 지속적인 방해 를 받는 지 아닌지 체크를 enable 할 수 있다.

그리고 BUS-off 회복 과정을 모니터링 하도록 enable 할 수 있다.

Error and Status Register (DCAN ES)

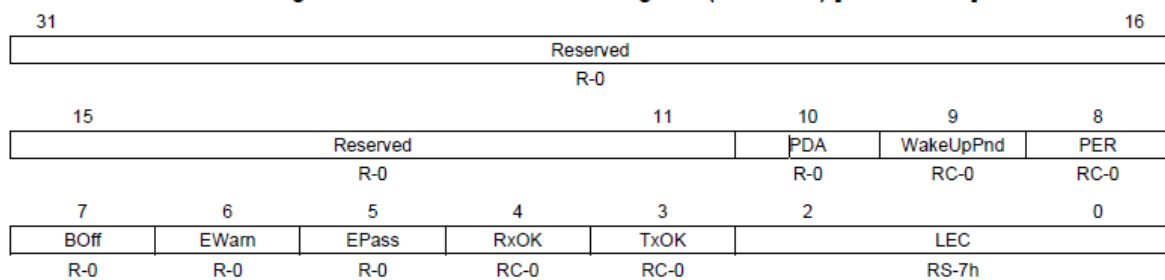
27.17.2 Error and Status Register (DCAN ES)

Interrupts are generated by bits PER, BOff, and EWarn (if EIE bit in CAN Control Register is set) and by bits WakeUpPnd, RxOk, TxOk, and LEC (if SIE bit in CAN Control Register is set). A change of bit EPass will not generate an Interrupt.

NOTE: Reading the Error and Status Register clears the WakeUpPnd, PER, RxOk and TxOk bits and set the LEC to value of 7. Additionally, the Status Interrupt value (8000h) in the Interrupt Register will be replaced by the next lower priority interrupt value.

For debug support, the auto clear functionality of Error and Status Register (clear of status flags by read) is disabled when in Debug/Suspend mode.

Figure 27-21. Error and Status Register (DCAN ES) [offset = 04h]



LEGEND: R = Read only; C = Clear on read; S = Set on read; -n = value after reset

인터럽트는 PER 비트들, EWarn (CAN control register의 EIE 비트가 셋되었을 때) 와 WakeUpPnd, RxOk, TxOk, 그리고 LEC (CAN control register의 SIE 비트가 셋되었을 때) 에 의하여 생성된다.

EPass 비트의 변경은 인터럽트 생성하지 않는다.

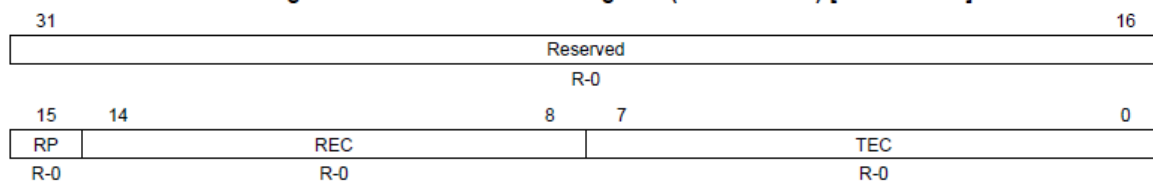
Error 와 Status 레지스터를 읽는 것은 WakeUpPnd, PER, RxOk, TxOk 비트들을 클리어 시키고 LEC 의 값을 7로 바꾼다. 추가적으로 인터럽트 레지스터에 존재하는 Status 인터럽트(8000h)의 값은 다음 낮은 인터럽트 순위로 대체된다.

디버그를 보조하기 위하여 디버그 모드일 때 에러와 스테이터스 레지스터의 기능적인 자동 클리어 기능은 disable된다.

Error Counter Register (DCAN_ERRC)

27.17.3 Error Counter Register (DCAN_ERRC)

Figure 27-22. Error Counter Register (DCAN_ERRC) [offset = 08h]



LEGEND: R = Read only; -n = value after reset

Table 27-9. Error Counter Register (DCAN_ERRC) Field Descriptions

Bit	Field	Value	Description
31-16	Reserved	0	These bits are always read as 0. Writes have no effect.
15	RP	0 1	Receive Error Passive The Receive Error Counter is below the error passive level. The Receive Error Counter has reached the error passive level as defined in the CAN Specification.
14-8	REC	0-7Fh	Receive Error Counter. Actual state of the Receive Error Counter. (Values from 0 to 127).
7-0	TEC	0-FFh	Transmit Error Counter. Actual state of the Transmit Error Counter. (Values from 0 to 255).

Bit Timing Register (DCAN BTR)

27.17.4 Bit Timing Register (DCAN BTR)

NOTE: This register is only writable if CCE and Init bits in the CAN Control Register are set.

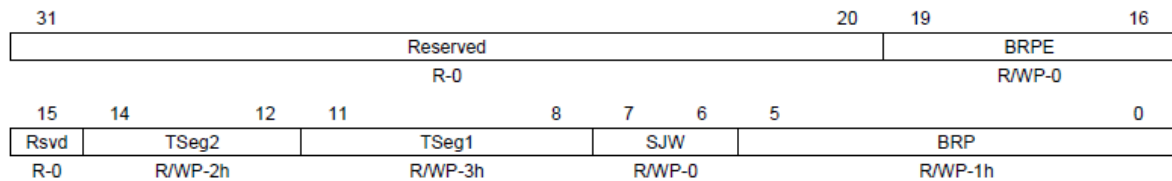
The CAN bit time may be programmed in the range of 8 to 25 time quanta.

The CAN time quantum may be programmed in the range of 1 to 1024 CAN_CLK periods.

With a CAN_CLK of 8 MHz and BRPE = 00, the reset value of 2301h configures the DCAN for a bit rate of 500kBit/s.

For details see [Section 27.3.2.1](#).

Figure 27-23. Bit Timing Register (DCAN BTR) [offset = 0Ch]



LEGEND: R/W = Read/Write; R = Read only; WP = Write Protected by CCE bit; -n = value after reset

이 레지스터는 CAN control Register에 있는 CCE 비트와 Init 비트들이 세팅 되었을 때만 쓰기가 가능하다.

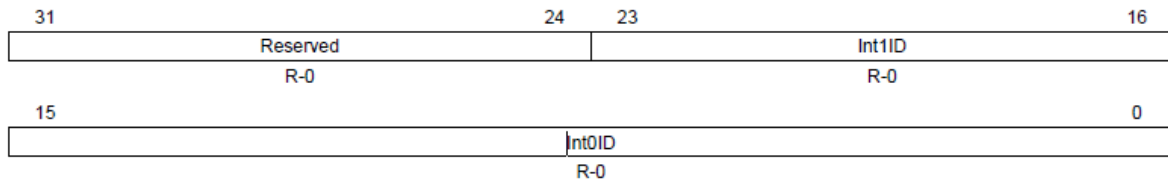
CAN bit 타임은 8 to 25 최소 기준 초 범위내에서 프로그래밍 되어진다.

CAN bit 최소 기준 초는 1 ~ 1024 CAN_CLK 주기의 범위로 프로그래밍 되어진다.

EX) 8MHz CAN_CLK 와 BRPE가 0 일 때, 2301h의 리셋 값은 DCAN의 비트 레이트를 500kbit/s로 해준다.

27.17.5 Interrupt Register (DCAN INT)

Figure 27-24. Interrupt Register (DCAN INT) [offset = 10h]



LEGEND: R = Read only; -n = value after reset

Table 27-11. Interrupt Register (DCAN INT) Field Descriptions

Bit	Field	Value	Description
31-24	Reserved	0	These bits are always read as 0. Writes have no effect.
23-16	Int1ID	0 1h-40h 41h-FFh	Interrupt 1 Identifier (indicates the message object with the highest pending interrupt). No interrupt is pending. Number of message object that caused the interrupt. Unused If several interrupts are pending, the CAN Interrupt Register will point to the pending interrupt with the highest priority. The DCAN1INT interrupt line remains active until Int1ID reaches value 0 (the cause of the interrupt is reset) or until IE1 is cleared. A message interrupt is cleared by clearing the message object's IntPnd bit. Among the message interrupts, the message object's interrupt priority decreases with increasing message number.
15-0	Int0ID	0 1h-40h 41h-7FFFh 8000h 8001h-FFFFh	Interrupt Identifier (indicates the source of the interrupt). No interrupt is pending. Number of message object that caused the interrupt. Unused Error and Status Register value is not 7h. Unused If several interrupts are pending, the CAN Interrupt Register will point to the pending interrupt with the highest priority. The DCAN0INT interrupt line remains active until Int0ID reaches value 0 (the cause of the interrupt is reset) or until IE0 is cleared. The Status Interrupt has the highest priority. Among the message interrupts, the message object's interrupt priority decreases with increasing message number.

Test Register (DCAN TEST)

27.17.6 Test Register (DCAN TEST)

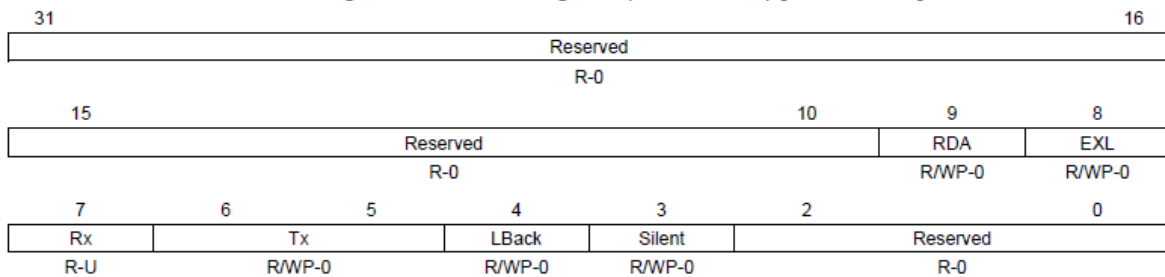
For all test modes, the Test bit in CAN Control Register needs to be set to one. If Test bit is set, the RDA, EXL, Tx1, Tx0, LBack and Silent bits are writable. Bit Rx monitors the state of pin CAN_RX and therefore is only readable. All Test Register functions are disabled when Test bit is cleared.

NOTE: The Test Register is only writable if Test bit in CAN Control Register is set.

Setting Tx[1:0] other than 00 will disturb message transfer.

When the internal loop back mode is active (bit LBack is set), bit EXL will be ignored.

Figure 27-25. Test Register (DCAN TEST) [offset = 14h]



LEGEND: R/W = Read/Write; R = Read only; WP = Write Protected by Test bit; -n = value after reset; U = Undefined

모든 테스트 모드를 위하여 CAN Control Register 안의 테스트 비트는 1로 세트 되어진다.

만일 테스트 비트가 세팅 되면, RDA, EXL, Tx1, Tx0, LBack, Silent bits는 쓰기 가능하다.

Bit Rx는 CAN_RX 핀의 상태를 모니터링 한다. 따라서 오직 읽기만 가능하다.

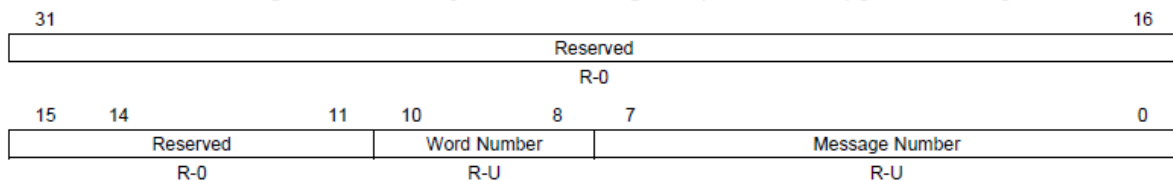
모든 테스트 레지스터의 기능은 Test bit가 클리어 되면 disable 된다.

Parity Error Code Register (DCAN PERR)

27.17.7 Parity Error Code Register (DCAN PERR)

If a double-bit error is detected, the PER flag will be set in the Error and Status Register. This bit is not reset by the SECEDED mechanism; it must be reset by reading the Error and Status Register. In addition to the PER flag, the SECEDED Error Code Register will indicate the memory area where the double-bit error has been detected (message number). After a double-bit error has been detected, the register will hold the last error code until power is removed.

Figure 27-26. Parity Error Code Register (DCAN PERR) [offset = 1Ch]



LEGEND: R = Read only; U = value is undefined; -n = value after reset

만약 double bit 에러가 발견된다면, Error and Status Register(ES) 내부의 PER 플래그가 세팅된다.

이 비트는 SECEDED 매커니즘에 의해 리셋되지 않는다. (시간으로 줄여주는 알고리즘 같음)

이 비트는 무조건 Error and Status Register 을 읽기를 하여 리셋된다.

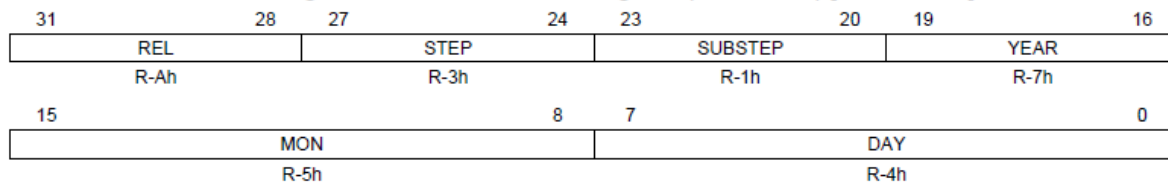
추가적으로 PER 플래그, SECEDED Error Code Register(PERR)는 double bit 에러가 발견된(message number) 메모리 영역을 가리킨다.

이후에 double bit 에러가 발견되면, 이 레지스터는 전원이 나가기 전까지 마지막 에러 코드를 가지고 있다.

Core Release Register (DCAN REL)

27.17.8 Core Release Register (DCAN REL)

Figure 27-27. Core Release Register (DCAN REL) [offset = 20h]



LEGEND: R = Read only; -n = value after reset

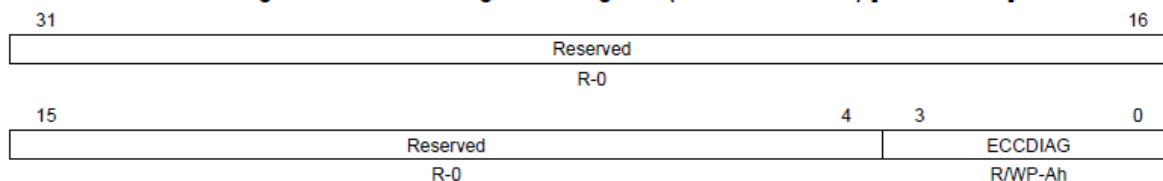
Table 27-14. Core Release Register (DCAN REL) Field Descriptions

Bit	Field	Value	Description
31-28	REL	0-9h	Core Release. One digit, BCD-coded.
27-24	STEP	0-9h	Step of Core Release. One digit, BCD-coded.
23-20	SUBSTEP	0-9h	Substep of Core Release. One digit, BCD-coded.
19-16	YEAR	0-9h	Design Time Stamp, Year. One digit, BCD-coded. This field is set by constant parameter on DCAN synthesis.
15-8	MON	0-12h	Design Time Stamp, Month. Two digits, BCD-coded. This field is set by constant parameter on DCAN synthesis.
7-0	DAY	0-31h	Design Time Stamp, Day. Two digits, BCD-coded. This field is set by constant parameter on DCAN synthesis.

ECC Diagnostic Register (DCAN ECCDIAG)

27.17.9 ECC Diagnostic Register (DCAN ECCDIAG)

Figure 27-28. ECC Diagnostic Register (DCAN ECCDIAG) [offset = 24h]



LEGEND: R/W = Read/Write; R = Read only; WP = Write in privileged mode only; -n = value after reset; U = Undefined

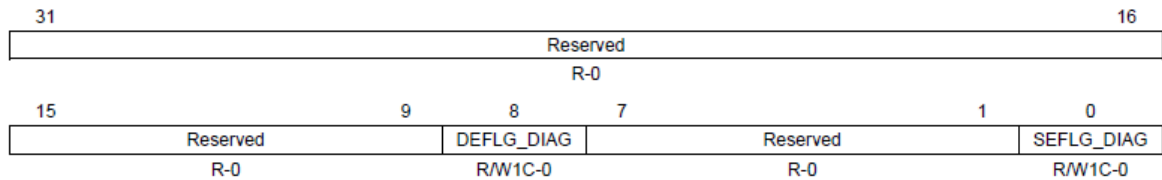
Table 27-15. ECC Diagnostic Register (DCAN ECCDIAG) Field Descriptions

Bit	Field	Value	Description
31-4	Reserved	0	These bits are always read as 0. Writes have no effect.
3-0	ECCDIAG	5h	SECEDED diagnostic mode enable. Diagnostic mode is enabled. Single-bit and double-bit errors are shown in the ECCDIAG STAT and the ECC Control and Status register. A double-bit error (or single-bit error with single-bit error correction disabled) also triggers the parity interrupt flag (PER). Memory mapping of ECC RAM is enabled.
		Ah	Diagnostic mode is disabled, single-bit and double-bit errors are shown only in the ECC Control and Status register.
		All other values	Reserved

ECC Diagnostic Status Register (DCAN ECCDIAG STAT)

27.17.10 ECC Diagnostic Status Register (DCAN ECCDIAG STAT)

Figure 27-29. ECC Diagnostic Status Register (DCAN ECCDIAG STAT) [offset = 28h]



LEGEND: R/W = Read/Write; R = Read only; W1C = Write 1 to clear; -n = value after reset; U = Undefined

Table 27-16. ECC Diagnostic Status Register (DCAN ECCDIAG STAT) Field Descriptions

Bit	Field	Value	Description
31-9	Reserved	0	These bits are always read as 0. Writes have no effect.
8	DEFLG_DIAG	0	Double-bit error flag diagnostic. Read: No double-bit error is detected. Write: The bit is unchanged.
		1	Read: Double-bit error is detected in diagnostic mode. Write: The bit is cleared to 0.
7-1	Reserved	0	These bits are always read as 0. Writes have no effect.
0	SEFLG_DIAG	0	Single-bit error flag diagnostic. Read: No single-bit error is detected. Write: The bit is unchanged.
		1	Read: Single-bit error is detected in diagnostic mode. Write: The bit is cleared to 0.

ECC Control and Status Register (DCAN ECC CS)

Figure 27-30. ECC Control and Status Register (DCAN ECC CS) [offset = 2Ch]

31	28	27	24	23	20	19	16
Reserved	SBE_EVT_EN			Reserved	ECCMODE		
R-0	R/WP-5h			R-0	R/WP-Ah		
15	9	8	7	1	0		
Reserved	DEFLG			Reserved	SEFLG		
R-0	R/W1C-0			R-0	R/W1C-0		

LEGEND: R/W = Read/Write; R = Read only; W1C = Write 1 to clear; WP = Write in privileged mode only; -n = value after reset

Table 27-17. ECC Control and Status Register (DCAN ECC CS) Field Descriptions

Bit	Field	Value	Description
31-9	Reserved	0	These bits are always read as 0. Writes have no effect.
27-24	SBE_EVT_EN	5h All other values	Enable SECEDED single-bit error event (CAN_SERR signal). SECEDED single-bit error event is disabled, single-bit errors are not signaled with a high pulse on DCAN_SERR signal. SECEDED single-bit error event is enabled, single-bit errors are signaled with a high pulse on DCAN_SERR signal.
23-20	Reserved	0	These bits are always read as 0. Writes have no effect.
19-16	ECCMODE	5h All other values	Enable SECEDED single-bit error correction. SECEDED single-bit error correction is disabled. SECEDED single-bit error correction is enabled.
15-9	Reserved	0	These bits are always read as 0. Writes have no effect.
8	DEFLG	0 1	Double-bit error flag. Read: No double-bit error is detected. Write: The bit is unchanged. Read: Double-bit error is detected. Write: The bit is cleared to 0.
7-1	Reserved	0	These bits are always read as 0. Writes have no effect.
0	SEFLG	0 1	Single-bit error flag. Read: No single-bit error is detected. Write: The bit is unchanged. Read: Single-bit error is detected. Write: The bit is cleared to 0.

ECC Single-Bit Error Code Register (DCAN ECC SERR)

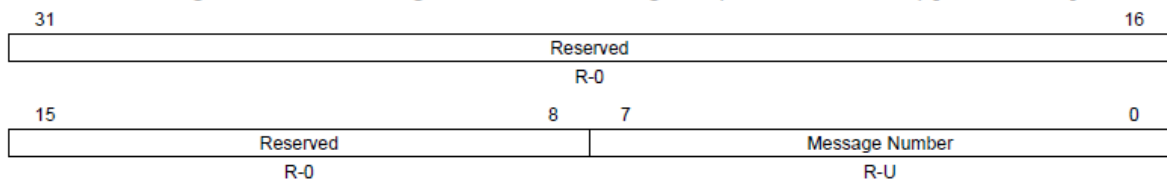
27.17.12 ECC Single-Bit Error Code Register (DCAN ECC SERR)

If an ECC single-bit error is detected, the SEFLG flag is set in the ECC Control and Status Register. In addition to the SEFLG flag, the ECC Single-Bit Error Code Register indicates the memory area where the single-bit error has been detected (message object number only).

If more than one word with an ECC single-bit error is detected, the highest word number with an ECC single-bit error is displayed.

After an ECC single-bit error is detected, the register holds the last error code until power is removed.

Figure 27-31. ECC Single-Bit Error Code Register (DCAN ECC SERR) [offset = 30h]



LEGEND: R = Read only; -n = value after reset; U = value is undefined

Table 27-18. ECC Single-Bit Error Code Register (DCAN ECC SERR) Field Descriptions

Bit	Field	Value	Description
31-8	Reserved	0	These bits are always read as 0. Writes have no effect.
7-0	Message Number	1h-FFh	Message object number where ECC single-bit error has been detected. Only values 1h-40h are valid. Values 41h-FFh are invalid.

만약 ECC single-bit 에러가 발견되면, ECC Control and Status Register 안에 SEFLG 플래그가 세트된다. SEFLG 플래그 외에도 ECC Single-bit Error Code Register는 싱글비트 에러 발생이 발견되는 메모리 영역을 가리킨다.

만일 1개 이상의 ECC single-bit error 가 발견되면, ECC single-bit 에러의 최상위 넘버가 보여지게 된다.

ECC single-bit가 발견된 후에 레지스터는 마지막 에러 코드를 파워가 꺼지기 전까지 저장한다.

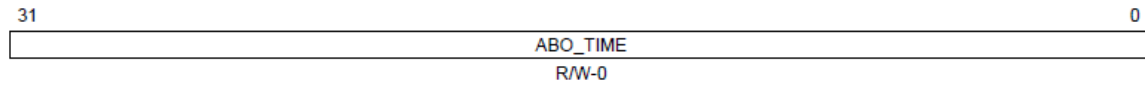
Auto-Bus-On Time Register (DCAN ABOTR)

27.17.13 Auto-Bus-On Time Register (DCAN ABOTR)

NOTE: On write access to the CAN Control register while Auto-Bus-On timer is running, the Auto-Bus-On procedure will be aborted.

During Debug/Suspend mode, running Auto-Bus-On timer will be paused.

Figure 27-32. Auto-Bus-On Time Register (DCAN ABOTR) [offset = 80h]



LEGEND: R/W = Read/Write; -n = value after reset

Table 27-19. Auto-Bus-On Time Register (DCAN ABOTR) Field Descriptions

Bit	Field	Description
31-0	ABO_TIME	<p>Number of VBUS clock cycles before a Bus-Off recovery sequence is started by clearing the Init bit. This function has to be enabled by setting bit ABO in CAN Control Register.</p> <p>The Auto-Bus-On timer is realized by a 32-bit counter that starts to count down to 0 when the module goes Bus-Off.</p> <p>The counter will be reloaded with the preload value of the ABO_TIME register after this phase.</p>

Auto-Bus-On timer 가 실행되는 도중, CAN control register에 쓰기를 위해 접근 시 Auto-Bus-On 진행절차는 중단된다.

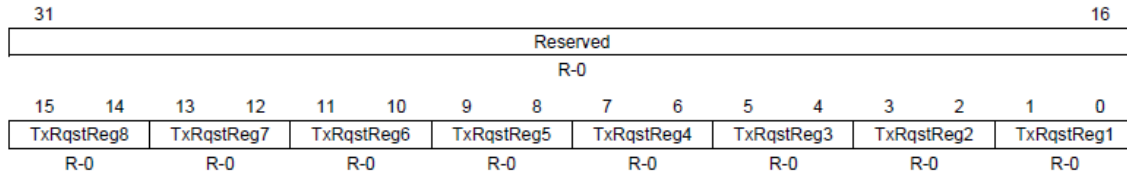
디버그 서스펜드 모드에서는 Auto-Bus-on timer 실행이 중지된다.

Transmission Request X Register (DCAN TXRQ X)

27.17.14 Transmission Request X Register (DCAN TXRQ X)

With the Transmission Request X Register, the CPU can detect if one or more bits in the different Transmission Request Registers are set. Each register bit represents a group of eight message objects. If at least one of the TxRqst bits of these message objects are set, the corresponding bit in the Transmission Request X Register will be set.

Figure 27-33. Transmission Request X Register (DCAN TXRQ X) [offset = 84h]



LEGEND: R = Read only; -n = value after reset

Example 1

Bit 0 of the Transmission Request X Register represents byte 0 of the Transmission Request 1 Register. If one or more bits in this byte are set, bit 0 of the Transmission Request X Register will be set.

X Register에 송신 요청과 함께 만일 서로 다른 Transmission Request Register 에서 1개나 그 이상의 비트가 세팅되면 CPU는 탐색이 가능하다.

각각의 레지스터 비트는 8개의 메시지 객체의 그룹을 표현 가능하다.

만일 이 메시지 객체들의 TxRqst 비트들 중 최소한 하나가 세트 되면, Transmission Request X Register 안에 연관되는 비트는 세트 된다.

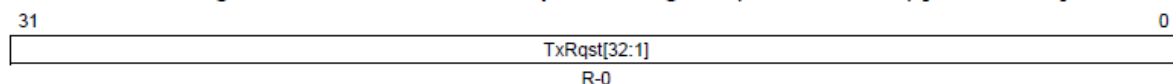
예를 들면 TXRQ X 레지스터 비트 0번이 0이라고 하면 TxRequest 1 레지스터의 바이트가 0임을 나타낸다. 만일 TxRequest 1 레지스터에 비트가 채워지면 TXRQ X 레지스터 0번 비트는 세트 된다.

Transmissin Request Register (DCAN TXRQ12 to DCAN TXRQ78)

27.17.15 Transmission Request Registers (DCAN TXRQ12 to DCAN TXRQ78)

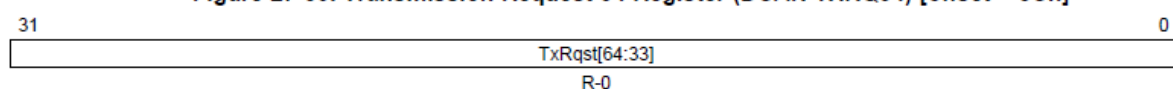
These registers hold the TxRqst bits of the implemented message objects. By reading out these bits, the CPU can check for pending transmission requests. The TxRqst bit in a specific message object can be set/reset by the CPU via the IF1/IF2 Message Interface Registers, or by the Message Handler after reception of a remote frame or after a successful transmission.

Figure 27-34. Transmission Request 12 Register (DCAN TXRQ12) [offset = 88h]



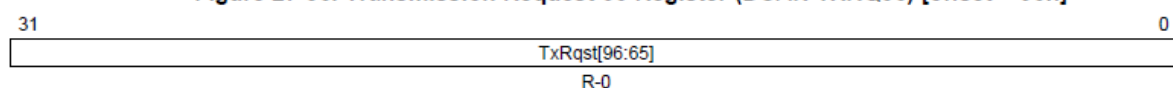
LEGEND: R = Read only; -n = value after reset

Figure 27-35. Transmission Request 34 Register (DCAN TXRQ34) [offset = 8Ch]



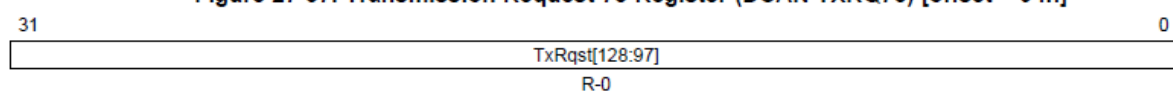
LEGEND: R = Read only; -n = value after reset

Figure 27-36. Transmission Request 56 Register (DCAN TXRQ56) [offset = 90h]



LEGEND: R = Read only; -n = value after reset

Figure 27-37. Transmission Request 78 Register (DCAN TXRQ78) [offset = 94h]



LEGEND: R = Read only; -n = value after reset

Table 27-20. Transmission Request Registers Field Descriptions

Bit	Name	Value	Description
31-0	TxRqst[128:1]	0	Transmission Request Bits (for all message objects).
		1	No transmission has been requested for this message object.
			The transmission of this message object is requested and is not yet done.

이 레지스터는 메시지 객체의 TxRqst 비트들을 가지고 있다. 이러한 비트들을 읽음으로 인하여 CPU는 지연된 전송 요청을 체크할 수 있다.

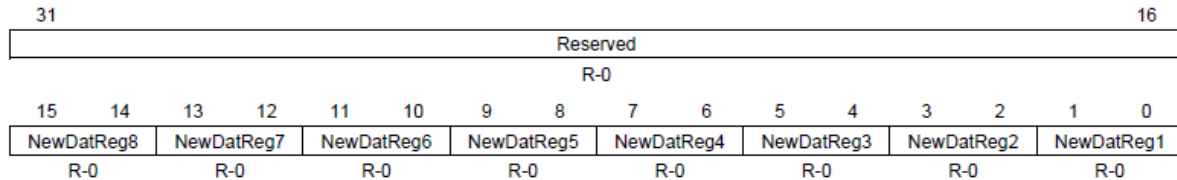
특정 메시지 객체의 TxRqst 비트는 CPU를 통한 IF1 / IF2 Message interface Registers 또는 성공적인 원격 프레임 수신 및 성공적인 수신 후에 메시지 핸들러를 통하여 세팅 및 재 설정이 될 수 있다

New Data X Register (DCAN NWDAT X)

27.17.16 New Data X Register (DCAN NWDAT X)

With the New Data X Register, the CPU can detect if one or more bits in the different New Data Registers are set. Each register bit represents a group of eight message objects. If at least one of the NewDat bits of these message objects are set, the corresponding bit in the New Data X Register will be set.

Figure 27-38. New Data X Register (DCAN NWDAT X) [offset = 98h]



LEGEND: R = Read only; -n = value after reset

Equation 1

Bit 0 of the New Data X Register represents byte 0 of the New Data 1 Register. If one or more bits in this byte are set, bit 0 of the New Data X Register will be set.

New Data X Register와 CPU는 한 개나 하나 이상의 비트(서로 다른 New Data Register에서)가 설정되어 있는지 감지가 가능하다.

각각의 레지스터는 8가지 메시지 객체의 그룹을 대표한다.

최소한 이러한 메시지 객체들의 New Data bits들이 세트 되면, 연관된 New Data X Register의 비트들은 세트 된다.

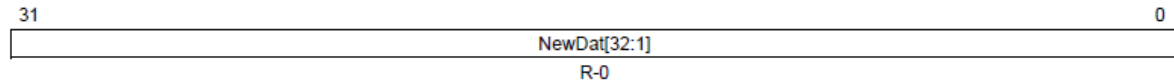
예를 들면 New Data X register 비트 0번이 0이라고 하면 New Data 1 레지스터의 바이트가 0임을 나타낸다. 만일 New Data 1 레지스터에 비트가 채워지면 New Data X 0번 비트는 세트 된다.

New Data Registers (DCAN NWDAT12 to DCAN NWDAT78)

27.17.17 New Data Registers (DCAN NWDAT12 to DCAN NWDAT78)

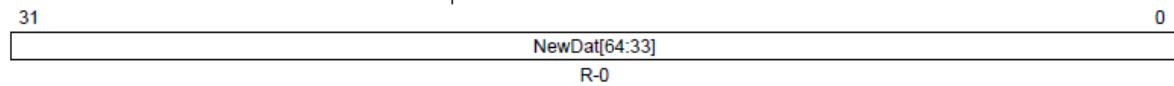
These registers hold the NewDat bits of the implemented message objects. By reading out these bits, the CPU can check for new data in the message objects. The NewDat bit of a specific message object can be set/reset by the CPU via the IF1/IF2 Interface Register sets, or by the Message Handler after reception of a data frame or after a successful transmission.

Figure 27-39. New Data 12 Register (DCAN NWDAT12) [offset = 9Ch]



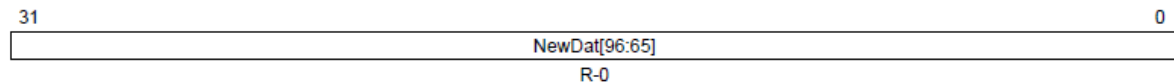
LEGEND: R = Read only; -n = value after reset

Figure 27-40. New Data 34 Register (DCAN NWDAT34) [offset = A0h]



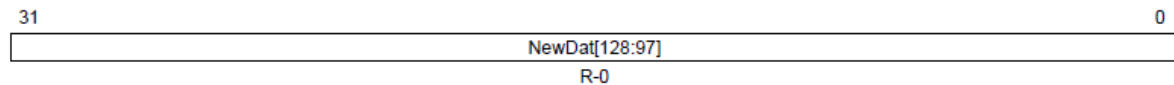
LEGEND: R = Read only; -n = value after reset

Figure 27-41. New Data 56 Register (DCAN NWDAT56) [offset = A4h]



LEGEND: R = Read only; -n = value after reset

Figure 27-42. New Data 78 Register (DCAN NWDAT78) [offset = A8h]



LEGEND: R = Read only; -n = value after reset

Table 27-21. New Data Registers Field Descriptions

Bit	Name	Value	Description
31-0	NewDat[128:1]	0	New Data Bits (for all message objects). No new data has been written into the data portion of this message object by the Message Handler since the last time when this flag was cleared by the CPU.
		1	The Message Handler or the CPU has written new data into the data portion of this message object.

이 레지스터는 메시지 객체의 New Data bits가 저장되어 있다. 이러한 비트를 읽음으로써, CPU는 메시지 객체에 있는 새로운 데이터가 존재하는지 체크가 가능하다. 특정한 메시지 객체의 New data bits는 IF1, IF2 인터페이스 레지스터 세트 또는 성공적인 전송이후나 데이터 프레임의 수신 이후에 메시지 핸들러를 통한 CPU로 설정 및 재설정이 가능하다.

Interrupt Pending X Register (DCAN INTPND X)

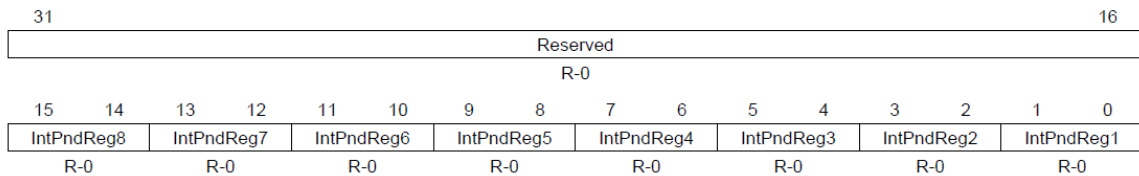
www.ti.com

DCAN Control Registers

27.17.18 Interrupt Pending X Register (DCAN INTPND X)

With the Interrupt Pending X Register, the CPU can detect if one or more bits in the different Interrupt Pending Registers are set. Each bit of this register represents a group of eight message objects. If at least one of the IntPnd bits of these message objects are set, the corresponding bit in the Interrupt Pending X Register will be set.

Figure 27-43. Interrupt Pending X Register (DCAN INTPND X) [offset = ACh]



Example 2

Bit 0 of the Interrupt Pending X Register represents byte 0 of the Interrupt Pending 1 Register. If one or more bits in this byte are set, bit 0 of the Interrupt Pending X Register will be set.

한 개의 비트나 그 이상의 비트가 서로 다른 Interrupt Pending Register이 세트 된다면 CPU 는 Interrupt Pending X register와 함께 감지가 가능하다.

이 register의 각각의 비트는 8개의 메시지 객체의 그룹을 나타낸다.

만약 이러한 메시지 객체들의 IntPnd 비트들이 세트 된다면, Interrupt Pending X Register의 연관 된 비트들이 세트된다.

EX)

Interrupt Pending X Register가 비트 0이라는 것은 Interrupt Pending 1 Register의 바이트가 0이라는 뜻이다.

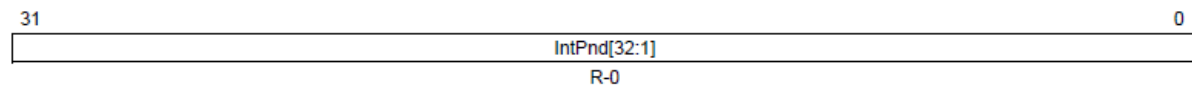
만일 Interrupt Pending 1 Register의 바이트에 값이 들어가면 Interrupt Pending X Register의 비트 0번은 세트가 된다.

Interrupt Pending Registers (DCAN INTPND12 to DCAN INTPND78)

27.17.19 Interrupt Pending Registers (DCAN INTPND12 to DCAN INTPND78)

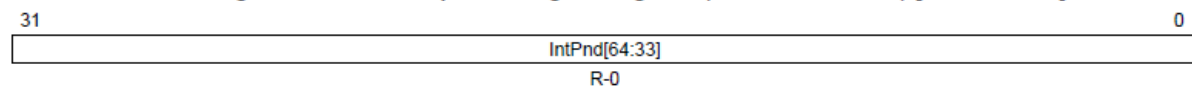
These registers hold the IntPnd bits of the implemented message objects. By reading out these bits, the CPU can check for pending interrupts in the message objects. The IntPnd bit of a specific message object can be set/reset by the CPU via the IF1/IF2 Interface Register sets, or by the Message Handler after a reception or a successful transmission.

Figure 27-44. Interrupt Pending 12 Register (DCAN INTPND12) [offset = B0h]



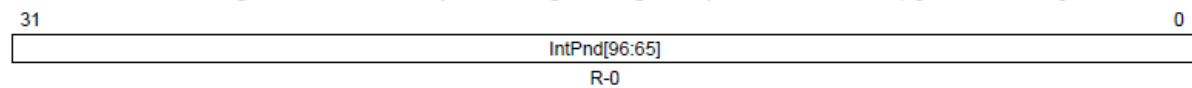
LEGEND: R = Read only; -n = value after reset

Figure 27-45. Interrupt Pending 34 Register (DCAN INTPND34) [offset = B4h]



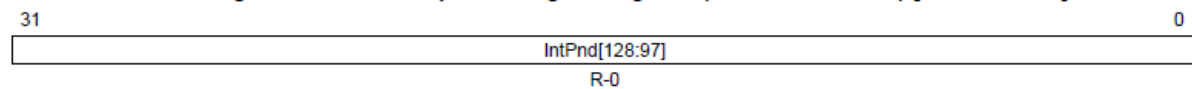
LEGEND: R = Read only; -n = value after reset

Figure 27-46. Interrupt Pending 56 Register (DCAN INTPND56) [offset = B8h]



LEGEND: R = Read only; -n = value after reset

Figure 27-47. Interrupt Pending 78 Register (DCAN INTPND78) [offset = BCh]



LEGEND: R = Read only; -n = value after reset

Table 27-22. Interrupt Pending Registers Field Descriptions

Bit	Name	Value	Description
31-0	IntPnd[128:1]	0	Interrupt Pending Bits (for all message objects). This message object is not the source of an interrupt.
		1	This message object is the source of an interrupt.

이 레지스터는 메시지 객체의 IntPnd 비트들의 정보를 가지고 있다. 이러한 비트를 읽음으로서, CPU는 메시지 객체안에 지연된 인터럽트를 알아 낼 수 있다.

특정한 메시지 객체의 IntPnd 비트는 IF1/IF2 Interface Register가 세팅 또는 성공적인 전송작업 후에 메시지 핸들러를 통한 CPU의 확인 작업으로 세트 되게 된다.

Message Valid X Register (DCAN MSGVAL X)

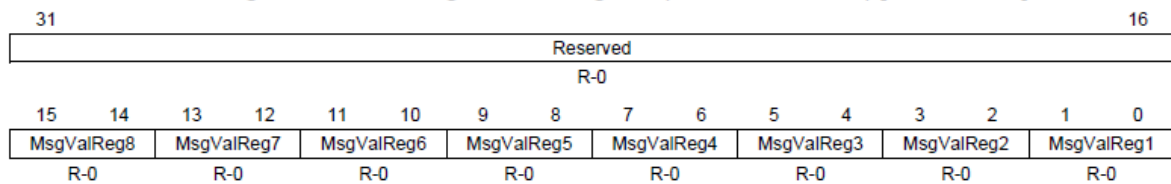
www.ti.com

DCAN Control Registers

27.17.20 Message Valid X Register (DCAN MSGVAL X)

With the Message Valid X Register, the CPU can detect if one or more bits in the different Message Valid Registers are set. Each bit of this register represents a group of eight message objects. If at least one of the MsgVal bits of these message objects are set, the corresponding bit in the Message Valid X Register will be set.

Figure 27-48. Message Valid X Register (DCAN MSGVAL X) [offset = C0h]



LEGEND: R = Read only; -n = value after reset

Example 3

Bit 0 of the Message Valid X Register represents byte 0 of the Message Valid 1 Register. If one or more bits in this byte are set, bit 0 of the Message Valid X Register will be set.

CPU는 Message Valid X Register와 함께 만일 서로 다른 Message Valid Register 에서 한 개나 그 이상의 비트가 세트 된다면 감지가 가능하다.

이 레지스터의 각각의 비트는 8개의 메시지 객체의 그룹을 표현할 수 있다.

만일 이러한 메시지 객체의 MsgVal 비트가 세트 된다면 Message Valid X Register의 연관된 비트들이 세트된다.

EX)

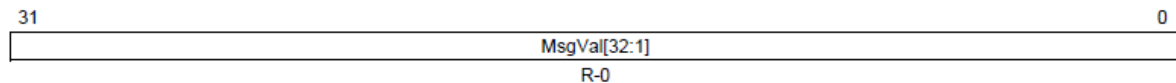
위의 비슷한 레지스터와 동일한 기능을 수행한다.

Message Valid Registers (DCAN MSGVAL12 to DCAN MSGVAL78)

27.17.21 Message Valid Registers (DCAN MSGVAL12 to DCAN MSGVAL78)

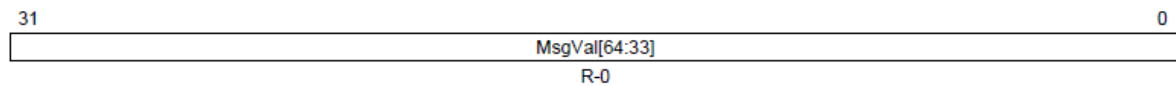
These registers hold the MsgVal bits of the implemented message objects. By reading out these bits, the CPU can check which message objects are valid. The MsgVal bit of a specific message object can be set/reset by the CPU via the IF1/IF2 Interface Register sets, or by the Message Handler after a reception or a successful transmission.

Figure 27-49. Message Valid 12 Register (DCAN MSGVAL12) [offset = C4h]



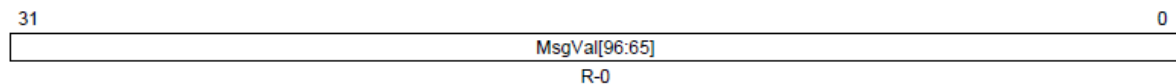
LEGEND: R = Read only; -n = value after reset

Figure 27-50. Message Valid 34 Register (DCAN MSGVAL34) [offset = C8h]



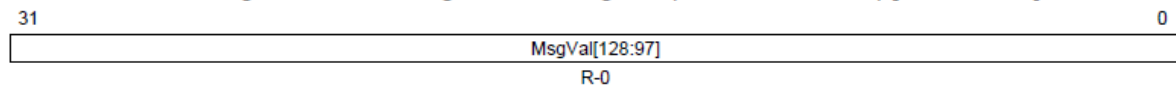
LEGEND: R = Read only; -n = value after reset

Figure 27-51. Message Valid 56 Register (DCAN MSGVAL56) [offset = CCh]



LEGEND: R = Read only; -n = value after reset

Figure 27-52. Message Valid 78 Register (DCAN MSGVAL78) [offset = D0h]



LEGEND: R = Read only; -n = value after reset

Table 27-23. Message Valid Registers Field Descriptions

Bit	Name	Value	Description
31-0	MsgVal[128:1]	0	Message Valid Bits (for all message objects). This message object is ignored by the Message Handler.
		1	This message object is configured and will be considered by the Message Handler.

이 레지스터는 메시지 객체의 MsgVal 비트들의 정보를 가지고 있다. 이러한 비트를 읽음으로서, CPU는 메시지 객체가 정상적인지 알아 낼 수 있다.

특정한 메시지 객체의 MsgVal 비트는 IF1/IF2 Interface Register가 세팅 또는 성공적인 전송작업 후에 메시지 핸들러를 통한 CPU의 확인 작업으로 세트 되게 된다.

Interrupt Multiplexer Registers (DCAN INTMUX12 to DCAN INTMUX78)

www.ti.com

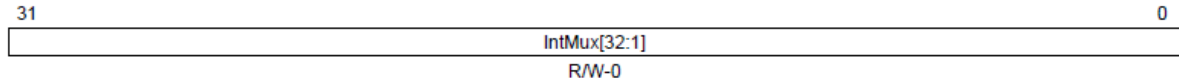
DCAN Control Registers

27.17.22 Interrupt Multiplexer Registers (DCAN INTMUX12 to DCAN INTMUX78)

The IntMux flag determines for each message object which of the two interrupt lines (DCAN0INT or DCAN1INT) will be asserted when the IntPnd of this message object is set. Both interrupt lines can be globally enabled or disabled by setting or clearing IE0 and IE1 bits in CAN Control Register.

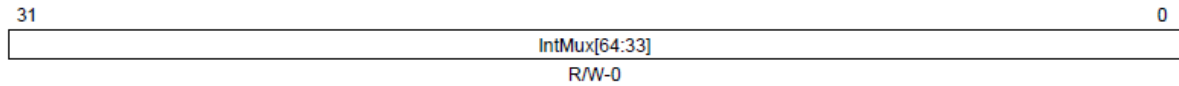
The IntPnd bit of a specific message object can be set or reset by the CPU via the IF1/IF2 Interface Register sets, or by Message Handler after reception or successful transmission of a frame. This will also affect the Int0ID resp Int1ID flags in the Interrupt Register.

Figure 27-53. Interrupt Multiplexer 12 Register (DCAN INTMUX12) [offset = D8h]



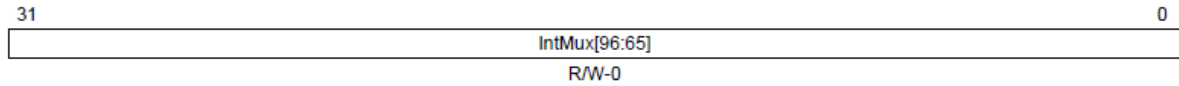
LEGEND: R/W = Read/Write; -n = value after reset

Figure 27-54. Interrupt Multiplexer 34 Register (DCAN INTMUX34) [offset = DCh]



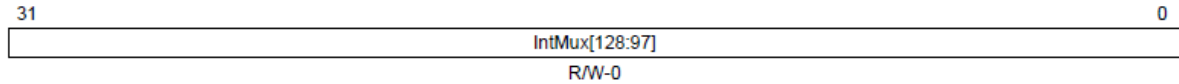
LEGEND: R/W = Read/Write; -n = value after reset

Figure 27-55. Interrupt Multiplexer 56 Register (DCAN INTMUX56) [offset = E0h]



LEGEND: R/W = Read/Write; -n = value after reset

Figure 27-56. Interrupt Multiplexer 78 Register (DCAN INTMUX78) [offset = E4h]



LEGEND: R/W = Read/Write; -n = value after reset

Table 27-24. Interrupt Multiplexer Registers Field Descriptions

Bit	Name	Value	Description
31-0	IntMux[128:1]		Multiplexes IntPnd value to either DCAN0INT or DCAN1INT interrupt lines. The mapping from the bits to the message objects is as follows: Bit 0 -> last implemented message object. Bit 1 -> message object number 1 Bit 2 -> message object number 2
		0	DCAN0INT line is active if corresponding IntPnd flag is 1.
		1	DCAN1INT line is active if corresponding IntPnd flag is 1.

IntMux 플래그는 이 메시지 객체의 IntPnd 비트가 세트될 때, 두개의 인터럽트 라인(DCAN0INT, DCAN1INT)이 결정되어지는 각각의 메시지 객체를 위하여 정해진다.

양쪽 인터럽트 라인은 전역적으로 CAN Control Register의 IE0 이나 IE1 비트를 클리어 함으로서, enable or disable 된다.

특정 메시지 객체의 IntPnd 비트는 IF1/IF2 인터페이스 레지스터 set 및 성공적 전송후에 메시지 핸들러를 통하여 세트 되거나 재 설정된다.

이는 Interrupt Register의 INT0ID, INT1ID 플래그에 영향을 미친다.

IF1/IF2 Command Registers (DCAN IF1CMD, DCAN IF2CMD)

27.17.23 IF1/IF2 Command Registers (DCAN IF1CMD, DCAN IF2CMD)

The IF1/IF2 Command Register configure and Initiate the transfer between the IF1/IF2 Register sets and the Message RAM. It is configurable which portions of the message object should be transferred.

A transfer is started when the CPU writes the message number to bits [7:0] of the IF1/IF2 Command Register. With this write operation, the Busy bit is automatically set to 1 to indicate that a transfer is in progress.

After 4 to 14 VBUS clock cycles, the transfer between the Interface Register and the Message RAM will be completed and the Busy bit is cleared. The maximum number of cycles is needed when the message transfer concurs with a CAN message transmission, acceptance filtering, or message storage.

If the CPU writes to both IF1/IF2 Command Registers consecutively (request of a second transfer while first transfer is still in progress), the second transfer will start after the first one has been completed.

NOTE: While Busy bit is one, IF1/IF2 Register sets are write protected.

For debug support, the auto clear functionality of the IF1/IF2 Command Registers (clear of DMAActive flag by r/w) is disabled during Debug/Suspend mode.

If an invalid Message Number is written to bits [7:0] of the IF1/IF2 Command Register, the Message Handler may access an implemented (valid) message object instead.

Figure 27-57. IF1 Command Registers (DCAN IF1CMD) [offset = 100h]

31		Reserved												24			
R-0																	
23		22		21		20		19		18		17		16			
WR/RD		Mask		Arb		Control		ClrIntPnd		TxRqst/NewDat		Data A		Data B			
R/WP-0		R/WP-0		R/WP-0		R/WP-0		R/WP-0		R/WP-0		R/WP-0		R/WP-0			
15		14		13		Reserved										8	
Busy		DMA Active		Reserved													
R-0		R/WP/C-0		R-0													
7		Message Number												0			
R/WP-1h																	

LEGEND: R/W = Read/Write; R = Read; WP = Protected Write (protected by Busy bit); C = Clear by IF1 Access; -n = value after reset

IF1/IF2 command Register는 IF1/IF2 레지스터 세트 Message RAM 사이의 전송 설정 및 초기화 해준다. 이는 메시지 객체의 어느 부분이 전송 되어져야 하는지 설정이 가능하다.

전송은 CPU가 IF1/IF2 Command Register의 [7:0]비트(Message Number)에 쓰기 작업을 통하여 시작된다. Busy 비트는 자동적으로 전송도중에 1로 세트된다.

4 에서 15 VBUS 클럭 사이클 후에 Interface Register와 Message RAM 사이의 전송은 Busy bit가 클리어 됨으로써 완료된다.

CPU가 IF1 / IF2 명령 레지스터에 연속적으로 (첫 번째 전송이 아직 진행 중일 때 두 번째 전송 요청) 쓴다면 두 번째 전송은 첫 번째 전송이 완료된 후 시작됩니다.

* Busy bit가 1일 때, IF1/IF2 레지스터는 쓰기 금지된다.

IF1/IF2 Mask Registers (DCAN IF1MSK, DCAN IF2MSK)

27.17.24 IF1/IF2 Mask Registers (DCAN IF1MSK, DCAN IF2MSK)

The bits of the IF1/IF2 Mask Registers mirror the mask bits of a message object. The function of the relevant message objects bits is described in [Section 27.5.1](#).

NOTE: While Busy bit of IF1/IF2 Command Register is one, IF1/IF2 Register Set is write protected.

Figure 27-59. IF1 Mask Register (DCAN IF1MSK) [offset = 104h]

31	30	29	28	16
MXtd	MDir	Rsvd	Msk[28:16]	
R/WP-1	R/WP-1	R-1	R/WP-1FFFh	
15				0
Msk[15:0]				
R/WP-FFFFh				

LEGEND: R/W = Read/Write; R = Read; WP = Protected Write (protected by Busy bit); -n = value after reset

Figure 27-60. IF2 Mask Register (DCAN IF2MSK) [offset = 124h]

31	30	29	28	16
MXtd	MDir	Rsvd	Msk[28:16]	
R/WP-1	R/WP-1	R-1	R/WP-1FFFh	
15				0
Msk[15:0]				
R/WP-FFFFh				

LEGEND: R/W = Read/Write; R = Read; WP = Protected Write (protected by Busy bit); -n = value after reset

Table 27-26. IF1/IF2 Mask Register Field Descriptions

Bit	Field	Value	Description
31	MXtd	0 1	Mask extended identifier. The extended identifier bit (IDE) has no effect on the acceptance filtering. The extended identifier bit (IDE) is used for acceptance filtering. When 11-bit ("standard") identifiers are used for a message object, the identifiers of received Data Frames are written into bits ID[28:18]. For acceptance filtering, only these bits with mask bits Msk[28:18] are considered.
30	MDir	0 1	Mask message direction. The message direction bit (Dir) has no effect on the acceptance filtering. The message direction bit (Dir) is used for acceptance filtering.
29	Reserved	0	These bits are always read as 1. Writes have no effect.
28-0	Msk[n]	0 1	Identifier mask. The corresponding bit in the identifier of the message object is not used for acceptance filtering (don't care). The corresponding bit in the identifier of the message object is used for acceptance filtering.

IF1/IF2 Mask Register의 비트들은 메시지 객체의 mask bits들을 반영한다.

메시지 객체와 연관된 기능은 27.5.1 Structure of Message Object를 확인한다.

해당 Mask는 원하는 ID의 메시지를 받을 때 쓰는 필터와 같은 역할을 한다.

IF1/IF2 Arbitration Registers (DCAN IF1ARB, DCAN IF2ARB)

27.17.25 IF1/IF2 Arbitration Registers (DCAN IF1ARB, DCAN IF2ARB)

The bits of the IF1/IF2 Arbitration Registers mirror the arbitration bits of a message object. The function of the relevant message objects bits is described in [Section 27.5.1](#).

The Arbitration bits ID, Xtd, and Dir are used to define the identifier and type of outgoing messages and (together with the Mask bits Msk, MXtd, and MDir) for acceptance filtering of incoming messages.

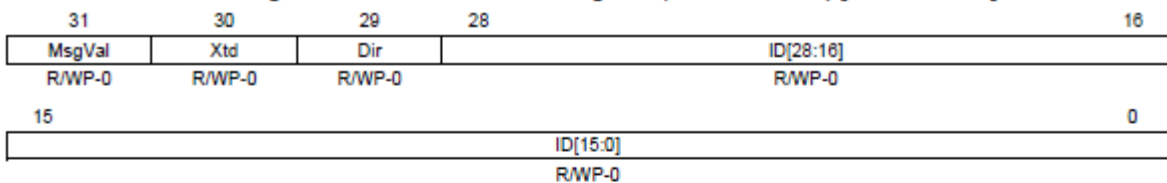
A received message is stored into the valid message object with matching identifier and Direction = receive (Data Frame) or Direction = transmit (Remote Frame).

Extended frames can be stored only in message objects with Xtd = 1, standard frames in message objects with Xtd = 0.

If a received message (Data Frame or Remote Frame) matches more than one valid message objects, it is stored into the one with the lowest message number.

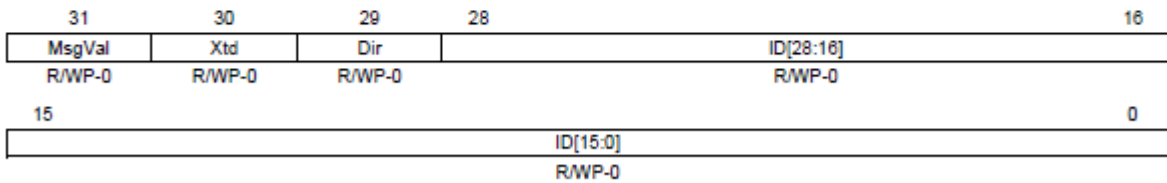
NOTE: While Busy bit of IF1/IF2 Command Register is one, IF1/IF2 Register Set is write protected.

Figure 27-61. IF1 Arbitration Register (DCAN IF1ARB) [offset = 108h]



LEGEND: R/W = Read/Write; WP = Protected Write (protected by Busy bit); -n = value after reset

Figure 27-62. IF2 Arbitration Register (DCAN IF2ARB) [offset = 128h]



LEGEND: R/W = Read/Write; WP = Protected Write (protected by Busy bit); -n = value after reset

IF1/IF2 Arbitration register의 비트는 메시지 객체의 arbitration bits를 반영한다.

Arbitration ID, Xtd, Dir은 보내는 메시지의 식별 및 유형을 정의하고 수신 메시지의 필터링을 위해 Msk, MXtd, MDir과 함께 정의된다. (차이점은 ext냐 std의 차이점)

수신 된 메시지는 적절한 메시지 객체에 저장된다. (식별자와 수신, 송신 방향 등등을 따라서)

확장 프레임은 Xtd = 1 일반 std 프레임은 Xtd = 0이다.

수신 된 메시지가 둘 이상의 유효한 메시지 객체와 일치하면, 가장 낮은 메시지 번호를 가진 메시지 객체에 저장된다.

IF1/IF2 Message Control Registers (DCAN IF1MCTL, DCAN IF2MCTL)

27.17.26 IF1/IF2 Message Control Registers (DCAN IF1MCTL, DCAN IF2MCTL)

The bits of the IF1/IF2 Message Control Registers mirror the message control bits of a message object. The function of the relevant message objects bits is described in [Section 27.5.1](#).

NOTE: While Busy bit of IF1/IF2 Command Register is one, IF1/IF2 Register Set is write protected.

Figure 27-63. IF1 Message Control Register (DCAN IF1MCTL) [offset = 10Ch]

31		Reserved						16	
R-0									
15	14	13	12	11	10	9	8		
NewDat	MsgLst	IntPnd	UMask	TxE	RxE	RmtEn	TxRqst		
R/WP-0	R/WP-0	R/WP-0	R/WP-0	R/WP-0	R/WP-0	R/WP-0	R/WP-0	R/WP-0	
7	6	4		3	0				
EoB	Reserved			DLC					
R/WP-0	R-0			R/WP-0					

LEGEND: R/W = Read/Write; R = Read; WP = Protected Write (protected by Busy bit); -n = value after reset

Figure 27-64. IF2 Message Control Register (DCAN IF2MCTL) [offset = 12Ch]

31	Reserved							16
R-0								
15	14	13	12	11	10	9	8	
NewDat	MsgLst	IntPnd	UMask	TxIE	RxIE	RmtEn	TxRqst	
R/WP-0	R/WP-0	R/WP-0	R/WP-0	R/WP-0	R/WP-0	R/WP-0	R/WP-0	
7	6	4		3	0			
EoB	Reserved			DLC				
R/WP-0	R-0			R/WP-0				

LEGEND: R/W = Read/Write; R = Read; WP = Protected Write (protected by Busy bit); -n = value after reset

IF1/IF2 Message Control Register의 비트들은 메시지 객체의 message control bits를 반영한다.

Busy bit의 활성화에 따라서 쓰기가 금지된다.

NewDat(새로운 메시지), MsgLst(메시지 손실), IntPnd(인터럽트 지연), UMask(필터 사용), TxE(송신 인터럽트 활성화), RxE(수신 인터럽트 활성화), RmtEn(원격 프레임 활성화), TxRqst(송신 요청), EoB(데이터의 끝), DLC(데이터의 길이)를 설정한다.

IF1/IF2 Data A and Data B Registers (DCAN IF1DATA/DATB, DCAN IF2DATA/DATB)

DCAN Control Registers

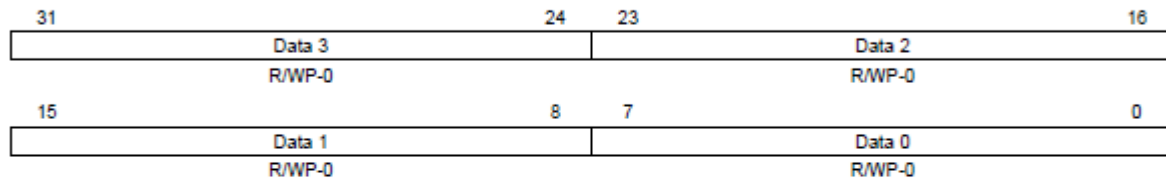
www.ti.com

27.17.27 IF1/IF2 Data A and Data B Registers (DCAN IF1DATA/DATB, DCAN IF2DATA/DATB)

The data bytes of CAN messages are stored in the IF1/IF2 registers in the following order.

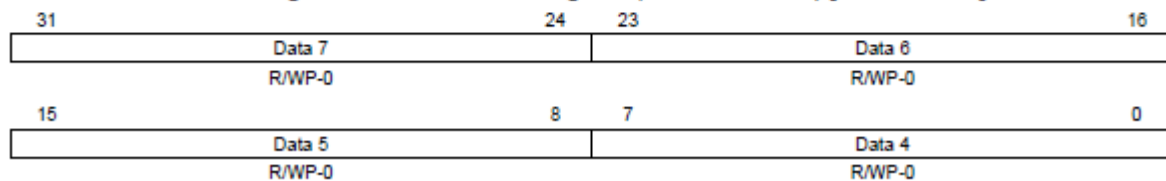
In a CAN Data Frame, Data 0 is the first, and Data 7 is the last byte to be transmitted or received. In CAN's serial bit stream, the MSB of each byte will be transmitted first

Figure 27-65. IF1 Data A Register (DCAN IF1DATA) [offset = 110h]



LEGEND: R/W = Read/Write; WP = Protected Write (protected by Busy bit); -n = value after reset

Figure 27-66. IF1 Data B Register (DCAN IF1DATB) [offset = 114h]



LEGEND: R/W = Read/Write; WP = Protected Write (protected by Busy bit); -n = value after reset

IF1/IF2 레지스터에 CAN messages의 데이터 바이트들이 저장된다.

CAN DATA 프레임에서 DATA 0 이 첫번째이고 DATA 7이 마지막 바이트이다.

MSB는 각각의 바이트에 첫번째로 전송된다.

IF3 Observation Register (DCAN IF3OBS)

www.ti.com

DCAN Control Registers

27.17.28 IF3 Observation Register (DCAN IF3OBS)

The IF3 register set can automatically be updated with received message objects without the need to initiate the transfer from Message RAM by CPU (Additional information can be found in [Section 27.5.1](#)).

The observation flags (Bits [4:0]) in the IF3 Observation register are used to determine, which data sections of the IF3 Interface Register set have to be read in order to complete a DMA read cycle. After all marked data sections are read, the DCAN is enabled to update the IF3 Interface Register set with new data.

Any access order of single bytes or half-words is supported. When using byte or half-word accesses, a data section is marked as completed, if all bytes are read.

NOTE: If IF3 Update Enable is used and no Observation flag is set, the corresponding message objects will be copied to IF3 without activating the DMA request line and without waiting for DMA read accesses.

A write access to this register aborts a pending DMA cycle by resetting the DMA line and enables updating of IF3 Interface Register set with new data. To avoid data inconsistency, the DMA controller should be disabled before reconfiguring IF3 observation register.

The status of the current read-cycle can be observed via status flags (Bits [12:8]).

An interrupt request may be generated by the IF3Upd flag if the DE3 bit of DCAN CTL register is set. See the device data sheet to find out if this interrupt source is available.

With this, the observation status bits and the IF3Upd bit could be used by the application to realize the notification about new IF3 content in polling or interrupt mode.

Figure 27-69. IF3 Observation Register (DCAN IF3OBS) [offset = 140h]

Reserved															
R-0															
15	14	13	12	11	10	9	8	7	5	4	3	2	1	0	
IF3Upd	Reserved	IF3SDB	IF3SDA	IF3SC	IF3SA	IF3SM	Reserved			Data B	Data A	Ctrl	Arb	Mask	
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0			R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	

LEGEND: R/W = Read/Write; R = Read; -n = value after reset

IF3 레지스터 CPU에 의하여 Message RAM 으로 전송을 초기화 할 필요없이 수신 받은 메시지 객체와 함께 IF3 레지스터는 자동적으로 업데이트 된다.

IF3 레지스터 안에 Observation flag [4:0] 는 DMA 판독 사이클을 완료하기 위하여 IF3 인터페이스 레지스터의 어떤 데이터 부분을 판독해야 하는지를 결정하는데 사용된다.

모든 마크된 데이터 부분을 읽고 난 후에 DCAN은 새로운 데이터로 설정된 IF3 인터페이스 레지스터를 업데이트 할 수 있다.

바이트 및 half word access 사용할 때,단일 바이트 및 half word 단위의 모든 접근 순서가 지원된다. 모든 바이트를 읽었다면, 데이터 섹션이 완료로 표기된다.

* DMA 요청 및 읽기 접근 없이 IF3에 연관된 메시지 객체가 복사된다. (IF3 Update enable, no observation flag set)

이 레지스터에 대한 쓰기 액세스는 DMA 라인을 재설정하여 지연중인 DMA 사이클을 중단하고 새로운 데이터로 설정된 IF3 인터페이스 레지스터를 업데이트 할 수 있게 합니다.

데이터 불일치를 피하려면 IF3 관찰 레지스터를 재구성하기 전에 DMA 컨트롤러를 비활성화해야 합니다.

현재 읽기 사이클의 상태는 Status flag (비트 [12 : 8])를 통해 확인할 수 있습니다.

DCAN CTL 레지스터의 DE3 비트가 설정되면 IF3Upd 플래그에 의해 인터럽트 요청이 생성 될 수 있습니다.

이를 통해 폴링 또는 인터럽트 모드에서 새로운 IF3 콘텐츠에 대한 알림을 실현하기 위해 애플리케이션에서 관찰 상태 비트와 IF3Upd 비트를 사용할 수 있습니다.

이후 IF3 관련 레지스터는 이후에 쓸 일이 있을 때, 참조한다.

CAN TX IO Control Register (DCAN TIOC)

27.17.34 CAN TX IO Control Register (DCAN TIOC)

The CAN_TX pin of the DCAN module can be used as general-purpose IO pin if CAN function is not needed.

NOTE: The values of the IO Control registers are only writable if Init bit of CAN Control Register is set.

The OD, Func, Dir, and Out bits of the CAN TX IO Control register are forced to certain values when Init bit of CAN Control Register is reset (see bit descriptions).

Figure 27-79. CAN TX IO Control Register (DCAN TIOC) [offset = 1E0h]

31	19	18	17	16
Reserved				
R-0				
		PU	PD	OD
		R/W-D	R/W-D	R/WP-0
15	4	3	2	1
Reserved				
R-0				
		Func	Dir	Out
		R/WP-0	R/WP-0	R/WP-0
				In
				R-U

LEGEND: R/W = Read/Write; R = Read; WP = Protected Write (protected by Init bit); D = Device-dependent; -n = value after reset

DCAN 모듈의 CAN TX 핀은 일반적인 목적의 IO 핀으로 사용될 수 있다. (CAN 기능이 필요하지 않다면)

27.17.35 CAN RX IO Control Register (DCAN RIOC)

The CAN_RX pin of the DCAN module can be used as general-purpose IO pin if CAN function is not needed.

NOTE: The values of the IO Control registers are writable only if Init bit of CAN Control Register is set.

The OD, Func, and Dir bits of the CAN RX IO Control register are forced to certain values when Init bit of CAN Control Register is reset, see bit description.

Figure 27-80. CAN RX IO Control Register (DCAN RIOC) [offset = 1E4h]

31	19	18	17	16
Reserved				
R-0				
		PU	PD	OD
		R/W-D	R/W-D	R/WP-0
15	4	3	2	1
Reserved				
R-0				
		Func	Dir	Out
		R/WP-0	R/WP-0	R/WP-0
				In
				R-U

LEGEND: R/W = Read/Write; R = Read; WP = Protected Write (protected by Init bit); D = value is device-dependent; -n = value after reset

DCAN 모듈의 CAN RX 핀은 일반적인 목적의 IO 핀으로 사용될 수 있다. (CAN 기능이 필요하지 않다면)

Figure 27-12. CPU Handling of a FIFO Buffer (Interrupt Driven)

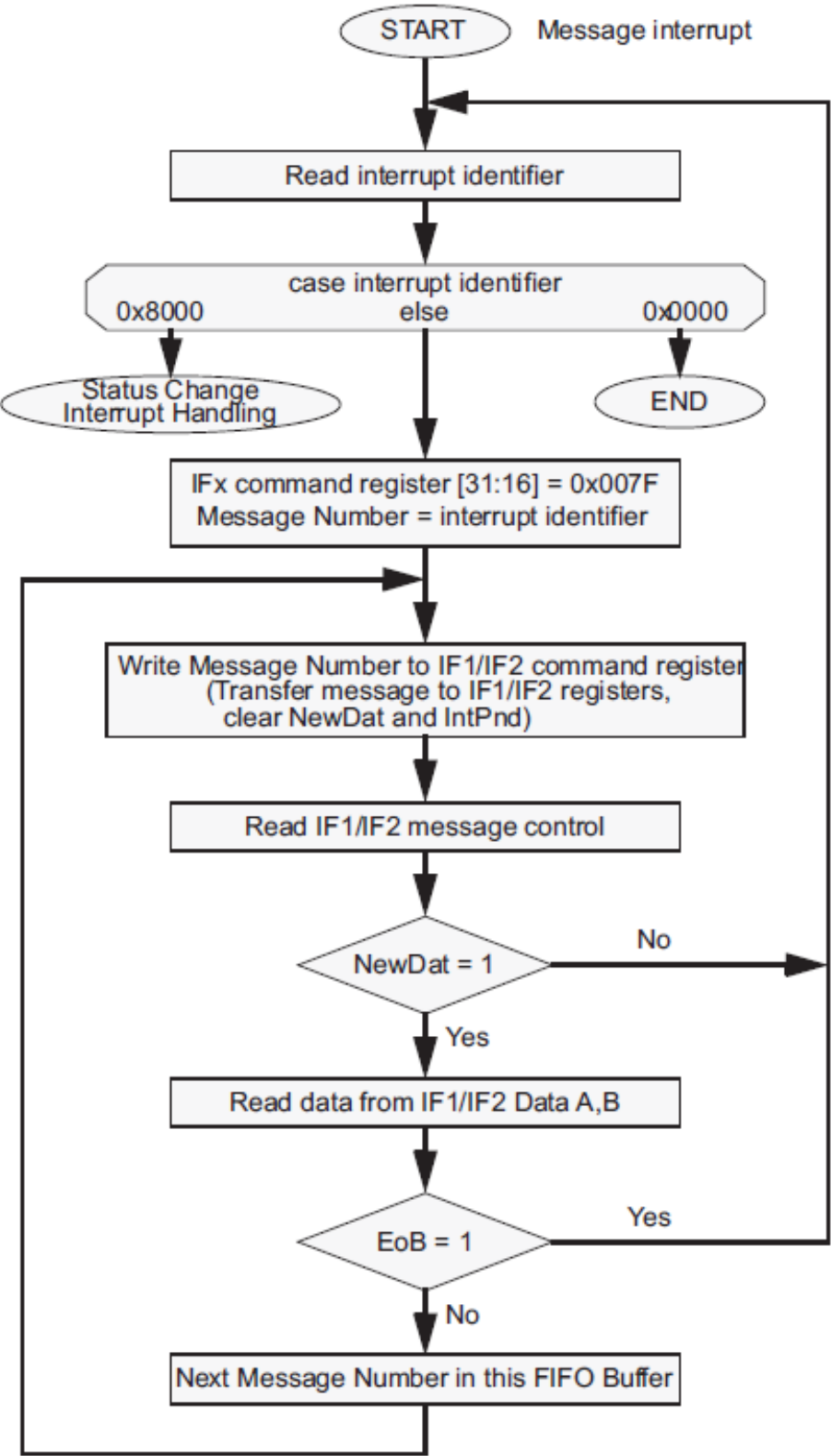


Figure 27-13. CAN Interrupt Topology 1

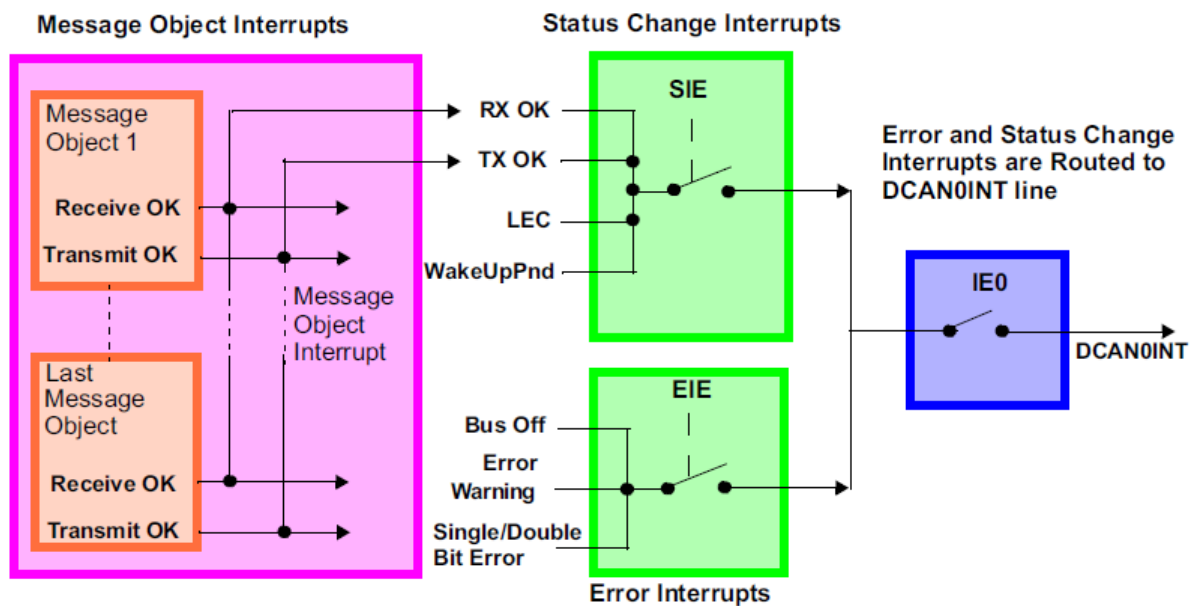


Figure 27-14. CAN Interrupt Topology 2

