TI MCU, DSP 및 Xilinx FPGA 프로그래밍 전문가 과정

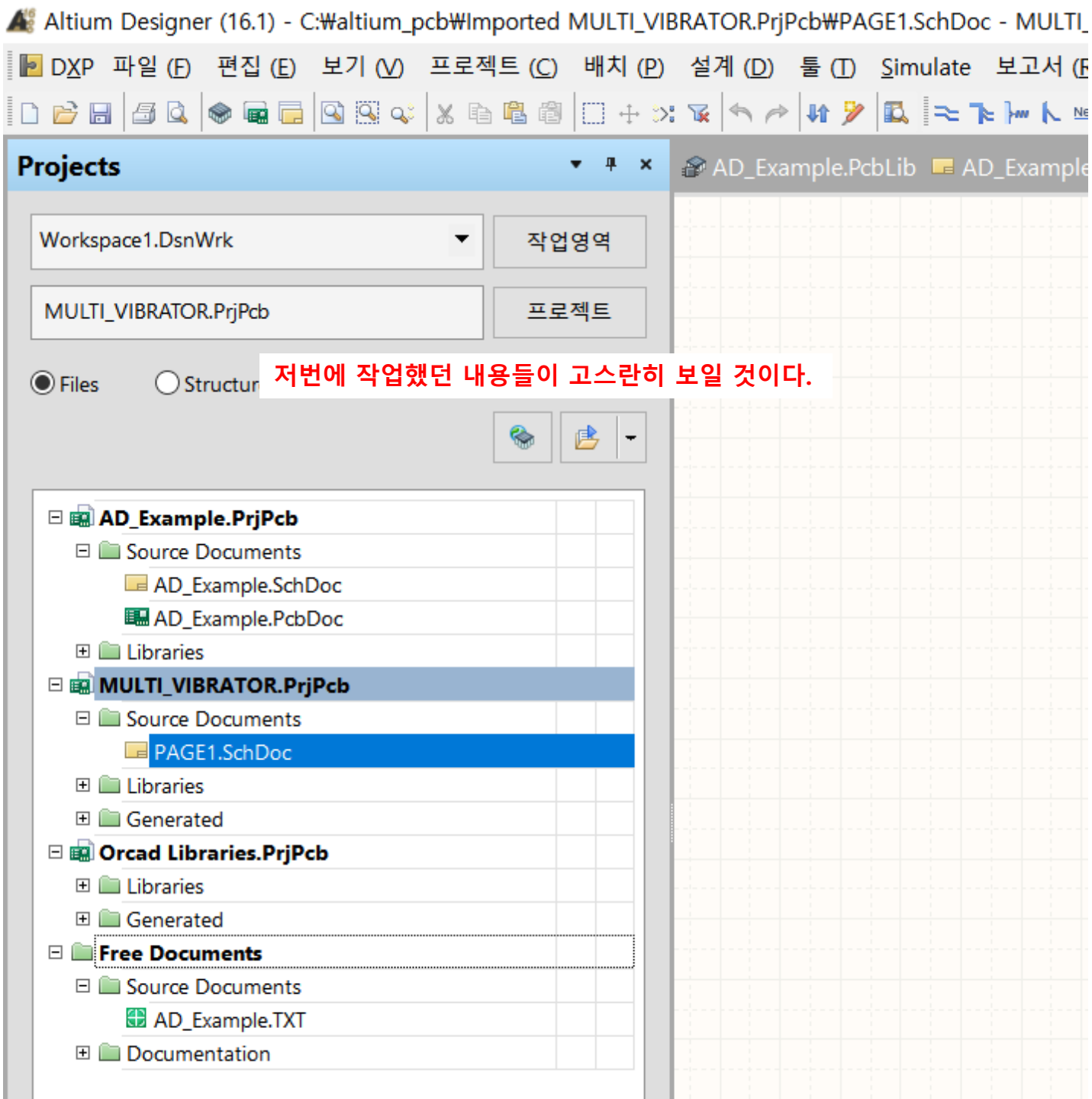
Innova Lee(이상훈)
gcccompil3r@gmail.com

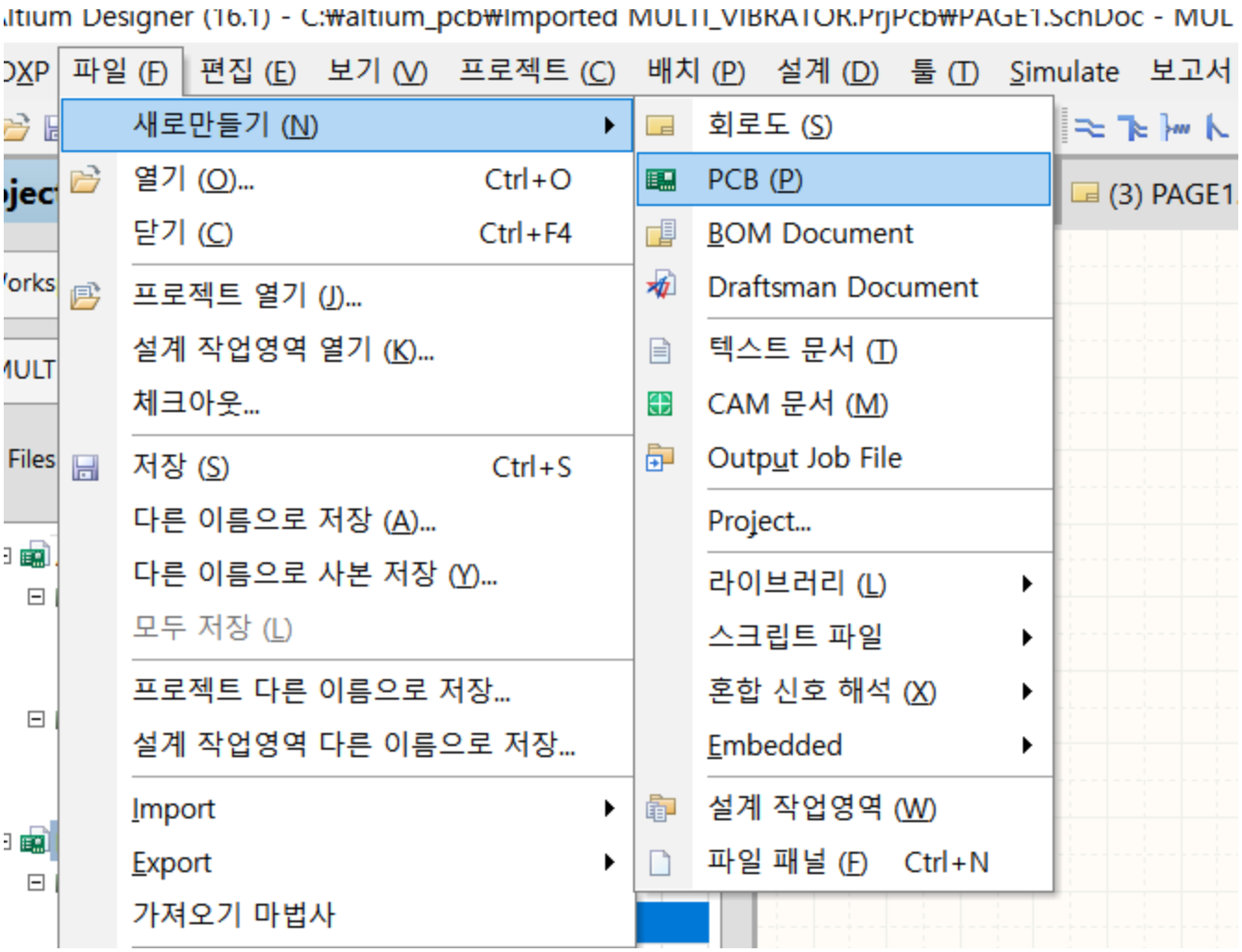
Altium Designer Basics II

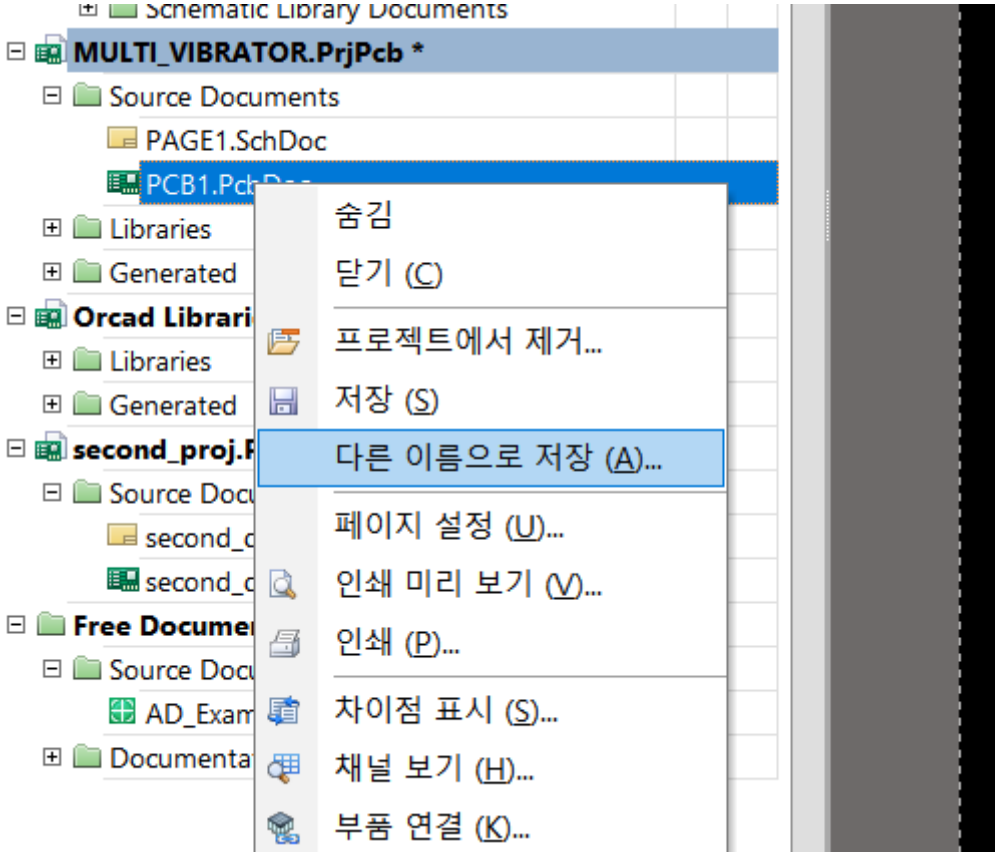
Running Altium Designer

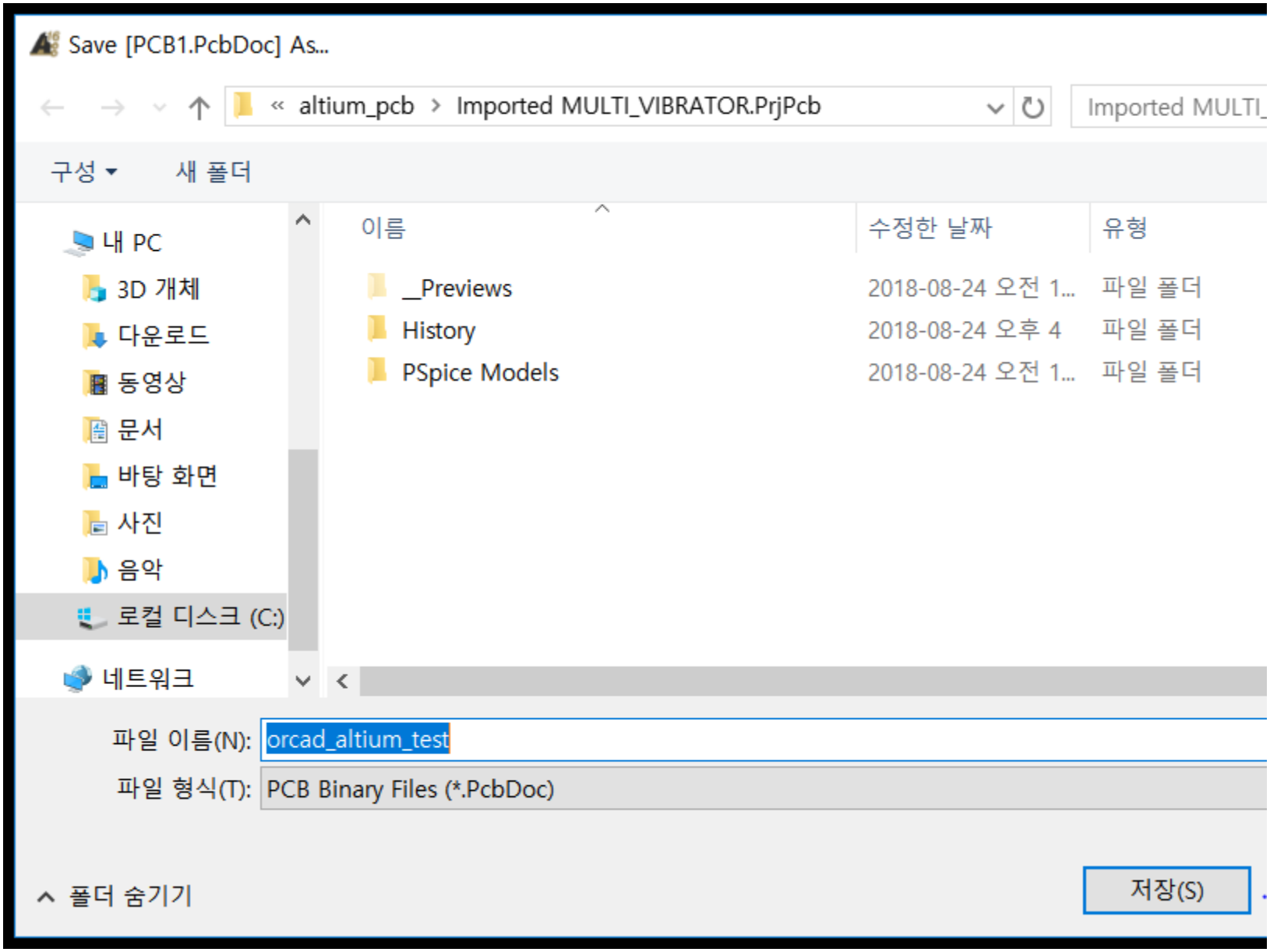
Altium Designer 를 구동시키도록 한다.

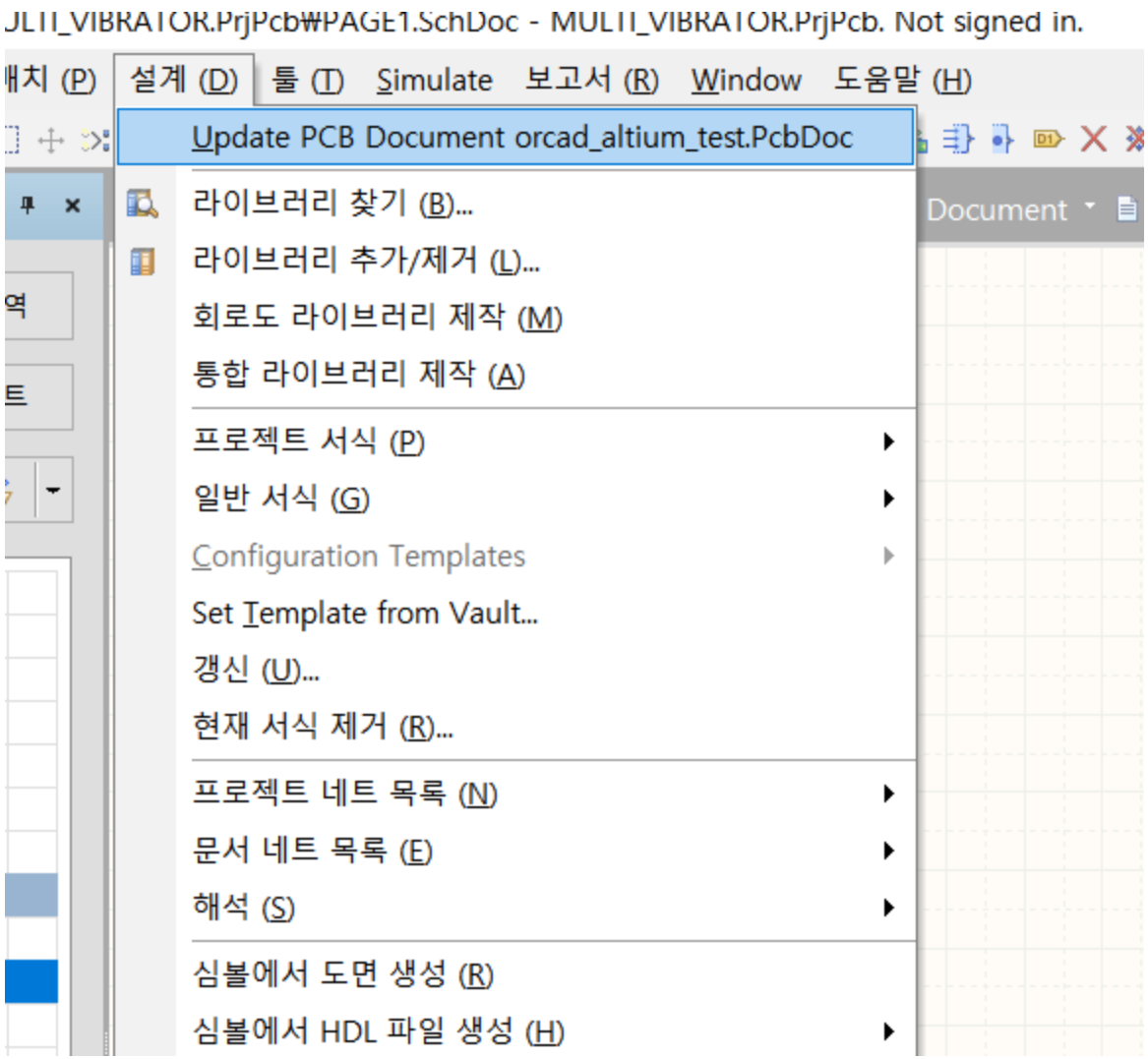
아래와 같은 로고가 나타나고 실행될 것이다.


Altium Designer (16.1) - C:₩altium_pcb₩Imported MULTI_VIBRATOR.PrjPcb₩PAGE1.SchDoc - MULTI_
DXP 파일 (F) 편집 (E) 보기 (V) 프로젝트 (C) 배치 (P) 설계 (D) 툴 (T) Simulate 보고서 (R
Projects
AD_Example.PcbLib
AD_Example
Workspace1.DsnWrk
작업영역
MULTI_VIBRATOR.PrjPcb
프로젝트
Files
Structur
저번에 작업했던 내용들이 고스란히 보일 것이다.
AD_Example.PrjPcb
Source Documents
AD_Example.SchDoc
AD_Example.PcbDoc
Libraries
MULTI_VIBRATOR.PrjPcb
Source Documents
PAGE1.SchDoc
Libraries
Generated
Orcad Libraries.PrjPcb
Libraries
Generated
Free Documents
Source Documents
AD_Example.TXT
Documentation


파일 (F)
편집 (E)
보기 (V)
프로젝트 (C)
배치 (P)
설계 (D)
툴 (T)
Simulate
보고서
새로만들기 (N)
열기 (O)... Ctrl+O
닫기 (C) Ctrl+F4
프로젝트 열기 (J)...
설계 작업영역 열기 (K)...
체크아웃...
저장 (S) Ctrl+S
다른 이름으로 저장 (A)...
다른 이름으로 사본 저장 (Y)...
모두 저장 (L)
프로젝트 다른 이름으로 저장...
설계 작업영역 다른 이름으로 저장...
Import
Export
가져오기 마법사
회로도 (S)
PCB (P)
BOM Document
Draftsman Document
텍스트 문서 (T)
CAM 문서 (M)
Output Job File
Project...
라이브러리 (L)
스크립트 파일
혼합 신호 해석 (X)
Embedded
설계 작업영역 (W)
파일 패널 (F) Ctrl+N
(3) PAGE1


Schematic Library Documents
MULTI_VIBRATOR.PrjPcb *
Source Documents
PAGE1.SchDoc
PCB1.PcbDoc
Libraries
Generated
Orcad Librari
Libraries
Generated
second_proj.P
Source Docu
second_c
second_c
Free Docume
Source Docu
AD_Exam
Documenta
숨김
닫기 (C)
프로젝트에서 제거...
저장 (S)
다른 이름으로 저장 (A)...
페이지 설정 (U)...
인쇄 미리 보기 (V)...
인쇄 (P)...
차이점 표시 (S)...
채널 보기 (H)...
부품 연결 (K)...


Save [PCB1.PcbDoc] As...
« altium_pcb › Imported MULTI_VIBRATOR.PrjPcb
Imported MULTI_
구성
새 폴더
내 PC
3D 개체
다운로드
동영상
문서
바탕 화면
사진
음악
로컬 디스크 (C:)
네트워크
이름
수정한 날짜
유형
_Previews
2018-08-24 오전 1...
파일 폴더
History
2018-08-24 오후 4
파일 폴더
PSpice Models
2018-08-24 오전 1...
파일 폴더
파일 이름(N):
orcad_altium_test
파일 형식(T):
PCB Binary Files (*.PcbDoc)
폴더 숨기기
저장(S)


JLTI_VIBRATOR.PrjPcb₩PAGE1.SchDoc - MULTI_VIBRATOR.PrjPcb. Not signed in.
배치 (P)
설계 (D)
툴 (T)
Simulate
보고서 (R)
Window
도움말 (H)
Update PCB Document orcad_altium_test.PcbDoc
라이브러리 찾기 (B)...
라이브러리 추가/제거 (L)...
회로도 라이브러리 제작 (M)
통합 라이브러리 제작 (A)
프로젝트 서식 (P)
일반 서식 (G)
Configuration Templates
Set Template from Vault...
갱신 (U)...
현재 서식 제거 (R)...
프로젝트 네트 목록 (N)
문서 네트 목록 (E)
해석 (S)
심볼에서 도면 생성 (R)
심볼에서 HDL 파일 생성 (H)
Document

	A
	SCHEMATIC1 : PAGE1
Color	Default
Designator	
Graphic	R.Normal
ID	
Implementation	
Implementation Path	
Implementation Type	<none>
Location X-Coordinate	380
Location Y-Coordinate	280
Name	INS76
Part Reference	R1
PCB Footprint	AXIAL-0.3
Power Pins Visible	
Primitive	DEFAULT
Reference	R1
Source Library	C:\CADENCE\SPB_16.
Source Package	R
Source Part	R.Normal
Value	R

	A
	SCHEMATIC1 : PAGE1
Color	Default
Designator	
Graphic	LED.Normal
ID	
Implementation	
Implementation Path	
Implementation Type	<none>
Location X-Coordinate	380
Location Y-Coordinate	360
Name	INS110
Part Reference	D1
PCB Footprint	LED-0
Power Pins Visible	
Primitive	DEFAULT
Reference	D1
Source Library	C:\CADENCE\SPB_16.
Source Package	LED
Source Part	LED.Normal
Value	LED

	A
	SCHEMATIC1 : PAGE1
Color	Default
Designator	
Graphic	HEADER 2.Normal
ID	
Implementation	
Implementation Path	
Implementation Type	<none>
Location X-Coordinate	500
Location Y-Coordinate	310
Name	INS26
Part Reference	J1
PCB Footprint	MHDR1X2
Power Pins Visible	
Primitive	DEFAULT
Reference	J1
Source Library	C:\CADENCE\SPB_16.
Source Package	HEADER 2
Source Part	HEADER 2.Normal
Value	HEADER 2

기술 변경 명령

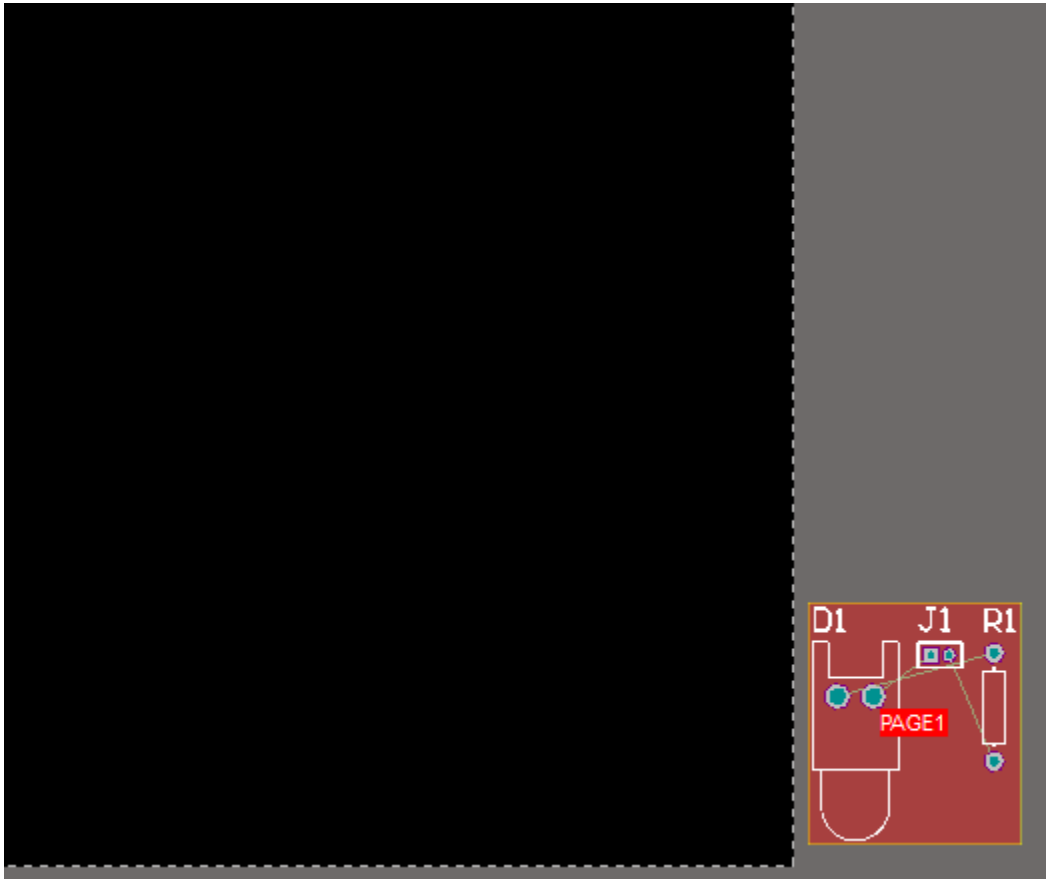
변경

활성	행동	영향 대상		영향 문서
	Add Components(3)			
☑	Add	D1	To	orcad_altium_interconnect.PcbDoc
☑	Add	J1	To	orcad_altium_interconnect.PcbDoc
☑	Add	R1	To	orcad_altium_interconnect.PcbDoc
	Add Nets(3)			
☑	Add	GND	To	orcad_altium_interconnect.PcbDoc
☑	Add	NetD1_2	To	orcad_altium_interconnect.PcbDoc
☑	Add	VCC	To	orcad_altium_interconnect.PcbDoc
	Add Component Classes(1)			
☑	Add	PAGE1	To	orcad_altium_interconnect.PcbDoc
	Add Rooms(1)			
☑	Add	Room PAGE1 (Scope=InComponentClass('PAC	To	orcad_altium_interconnect.PcbDoc

변경 검증 | 변경 실행 | 변경 보고서 (R)... | ☐ 오류만 표시

	영향 대상		영향 문서	상태 검사	상태 마침
	D1	To	orcad_altium_interconnect.PcbDoc	✓	✓
	J1	To	orcad_altium_interconnect.PcbDoc	✓	✓
	R1	To	orcad_altium_interconnect.PcbDoc	✓	✓
	GND	To	orcad_altium_interconnect.PcbDoc	✓	✓
	NetD1_2	To	orcad_altium_interconnect.PcbDoc	✓	✓
	VCC	To	orcad_altium_interconnect.PcbDoc	✓	✓
	PAGE1	To	orcad_altium_interconnect.PcbDoc	✓	✓
	Room PAGE1 (Scope=InComponentClass('PAC	To	orcad_altium_interconnect.PcbDoc	✓	✓

변경 보고서 (R)... ☐ 오류만 표시


D1
J1
R1
PAGE1

Cartesian Grid Editor [mil]

설정 (S)

이름 (N) Global Board Snap Grid

표시

미세 Lines

거침 Lines

증가 5x Grid Step

스텝

스텝 X (X) 1mm

스텝 Y (Y) 1mm

PCB 보기의 스텝 X 설정...

PCB 보기의 스텝 Y 설정...

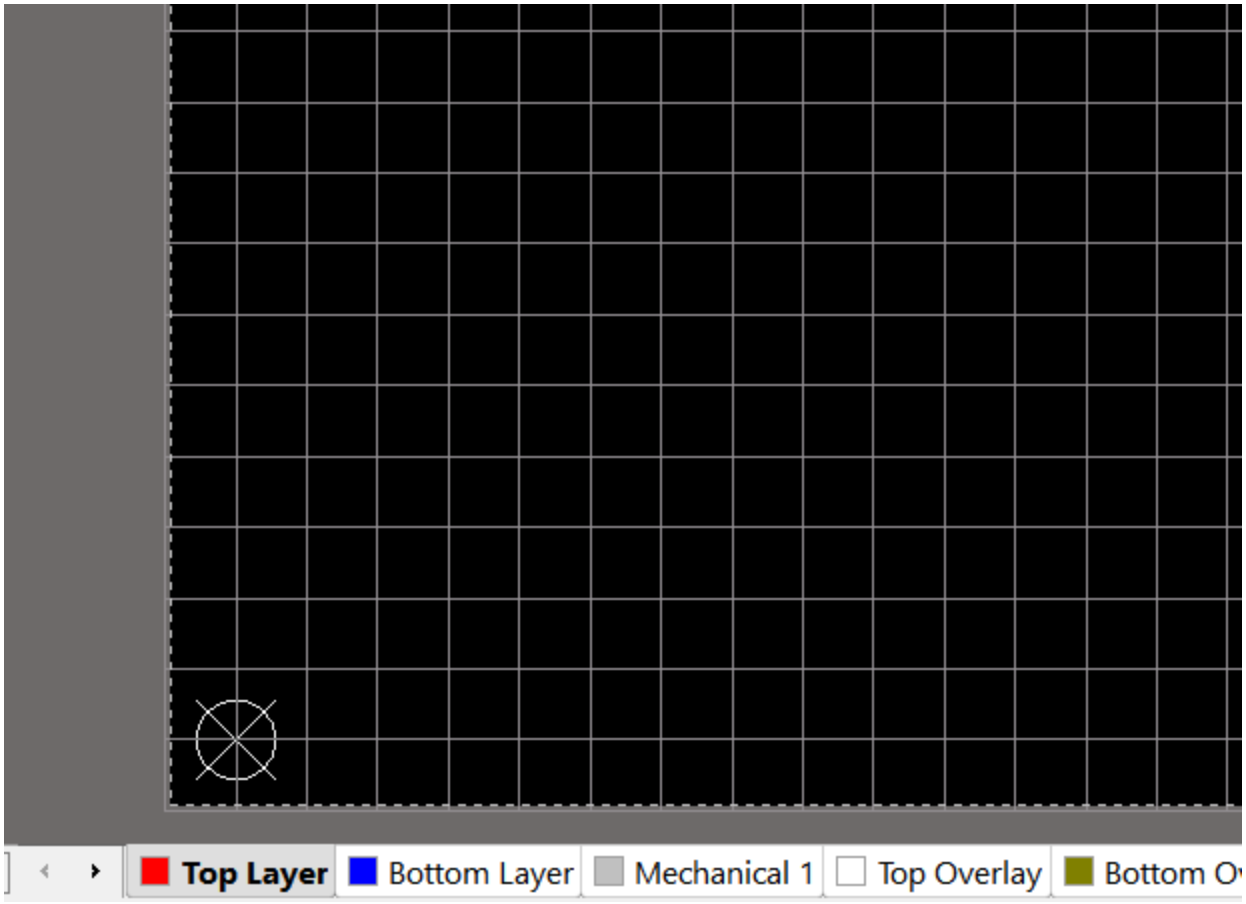
델타 X로 스텝 X 설정 ...

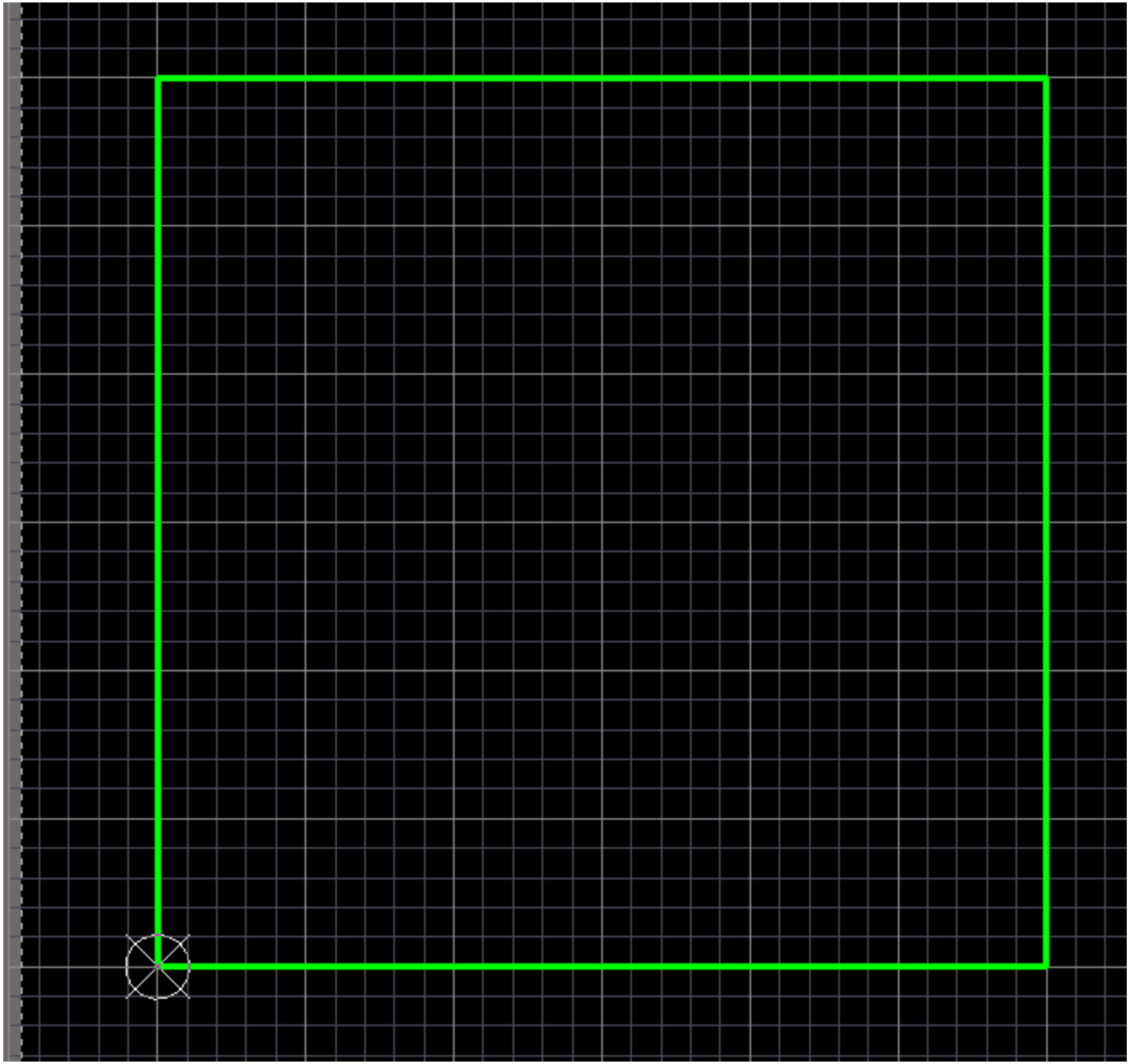
델타 Y로 스텝 Y 설정 ...

델타로 양 스텝 설정 ...

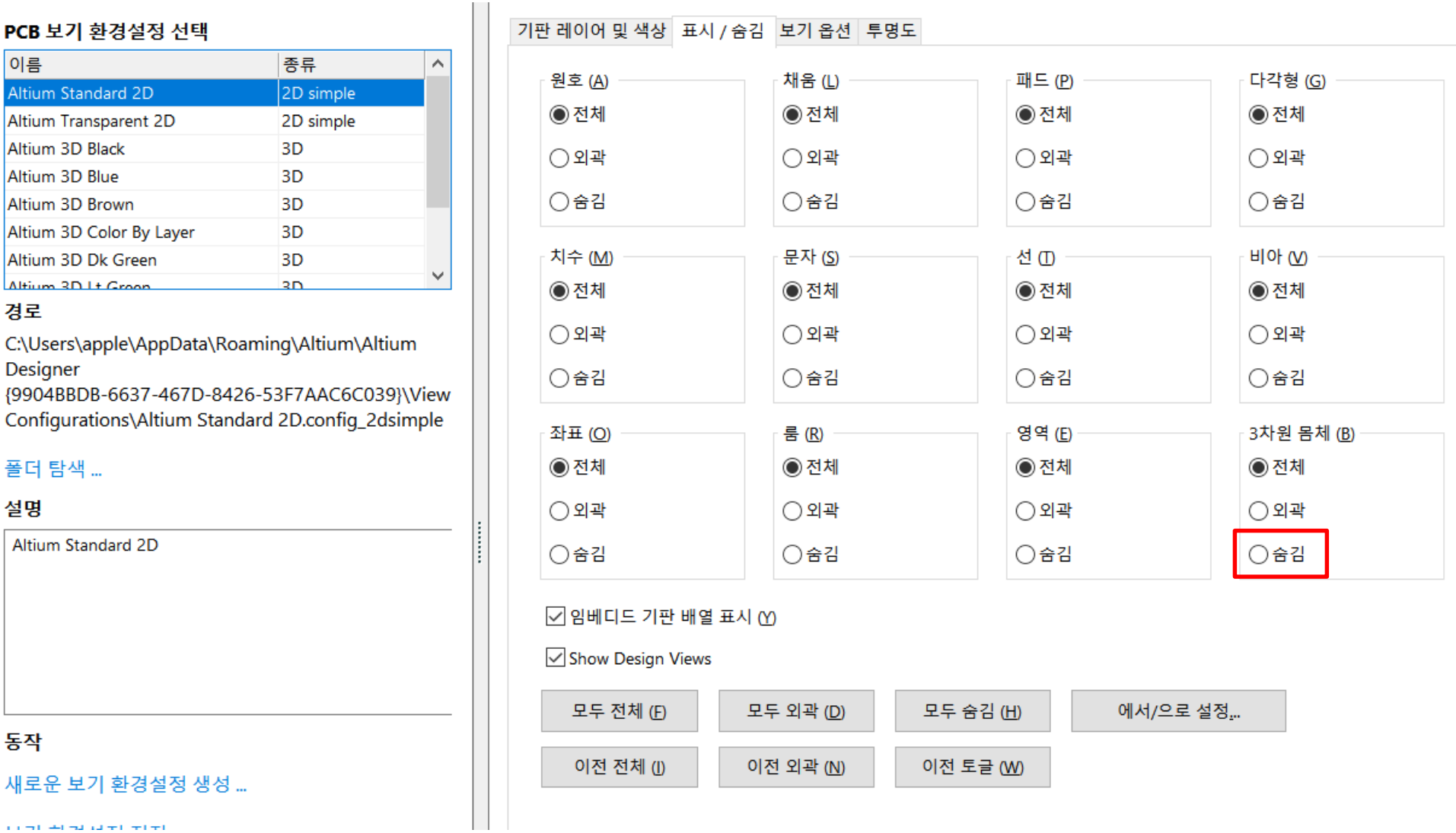
글로벌 보드 격자는 사용자 정의
영역에 대한 기본 격자입니다. 이
격자보다 낮은 우선 순위를 가지
원점은 항상 보드 원점 입니다.

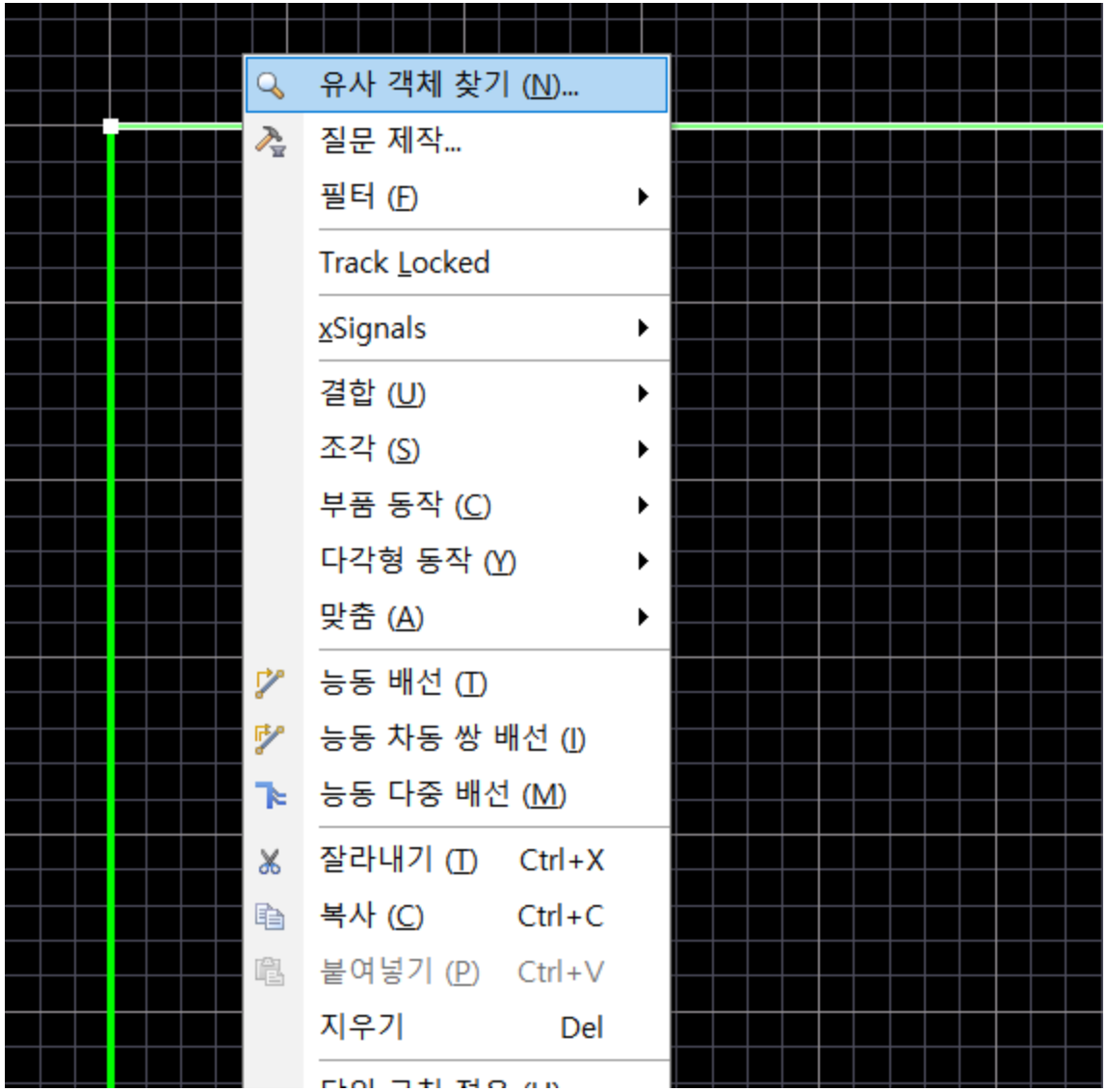
확인

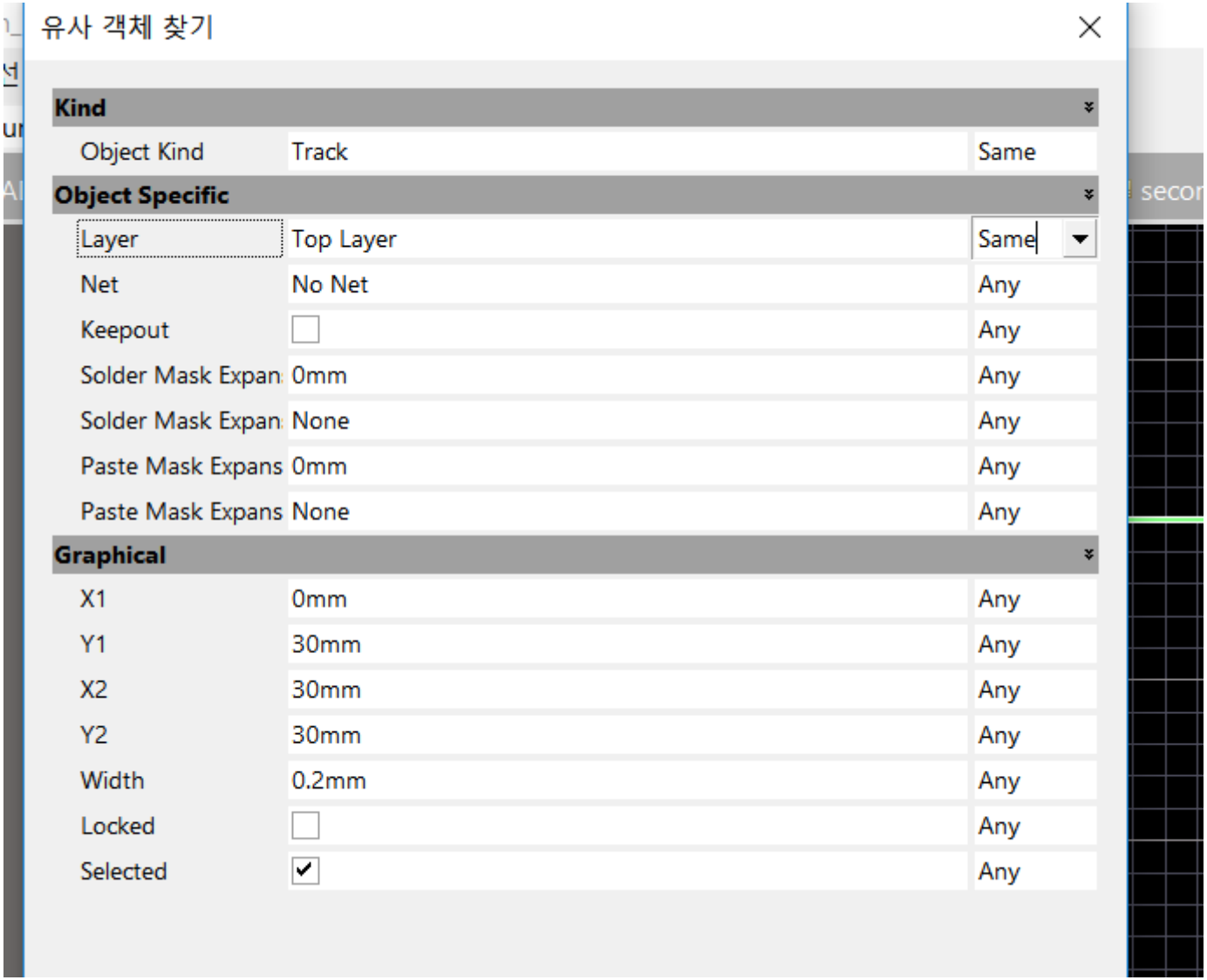

Top Layer
Bottom Layer
Mechanical 1
Top Overlay
Bottom O

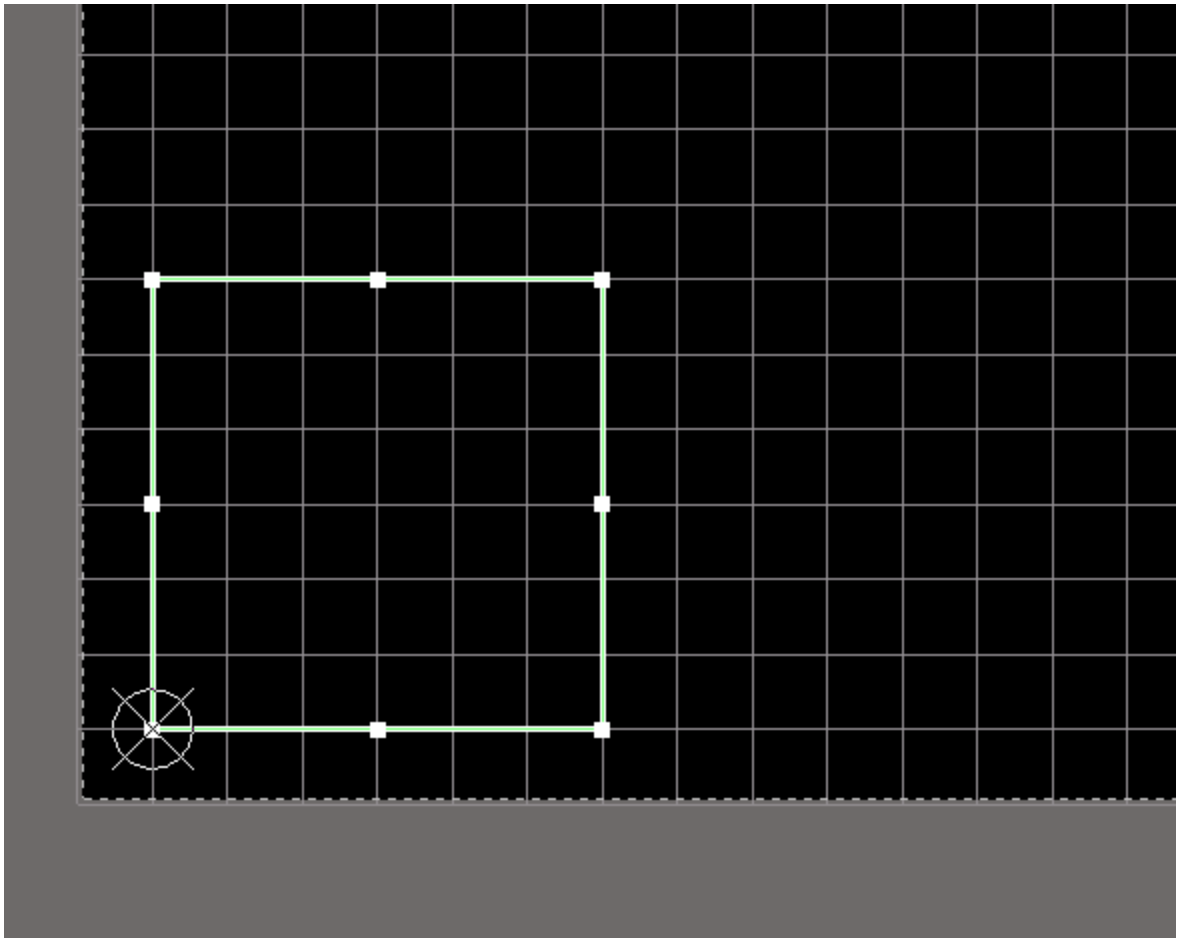


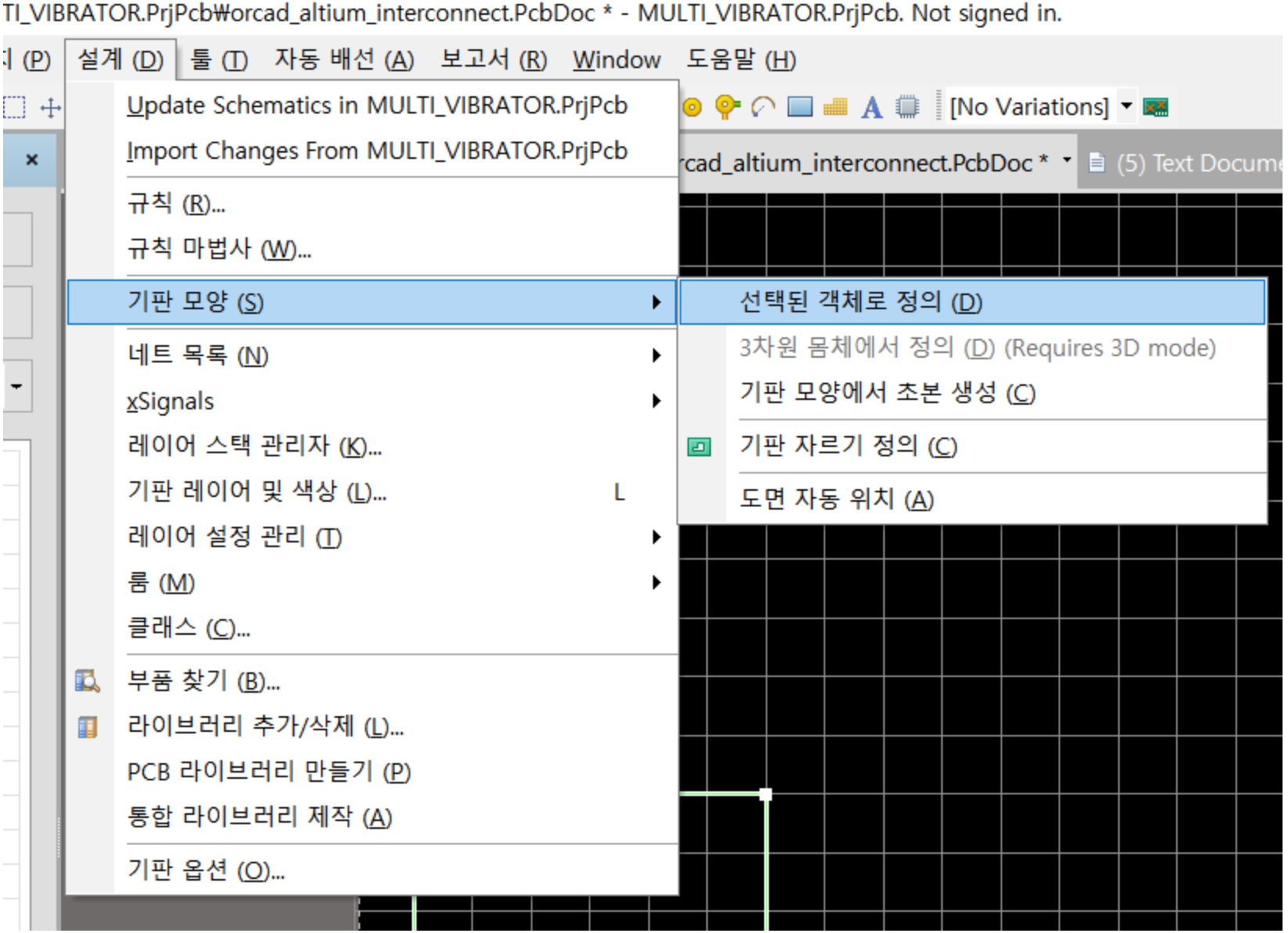
O 를 누르고 D 를 누른다.

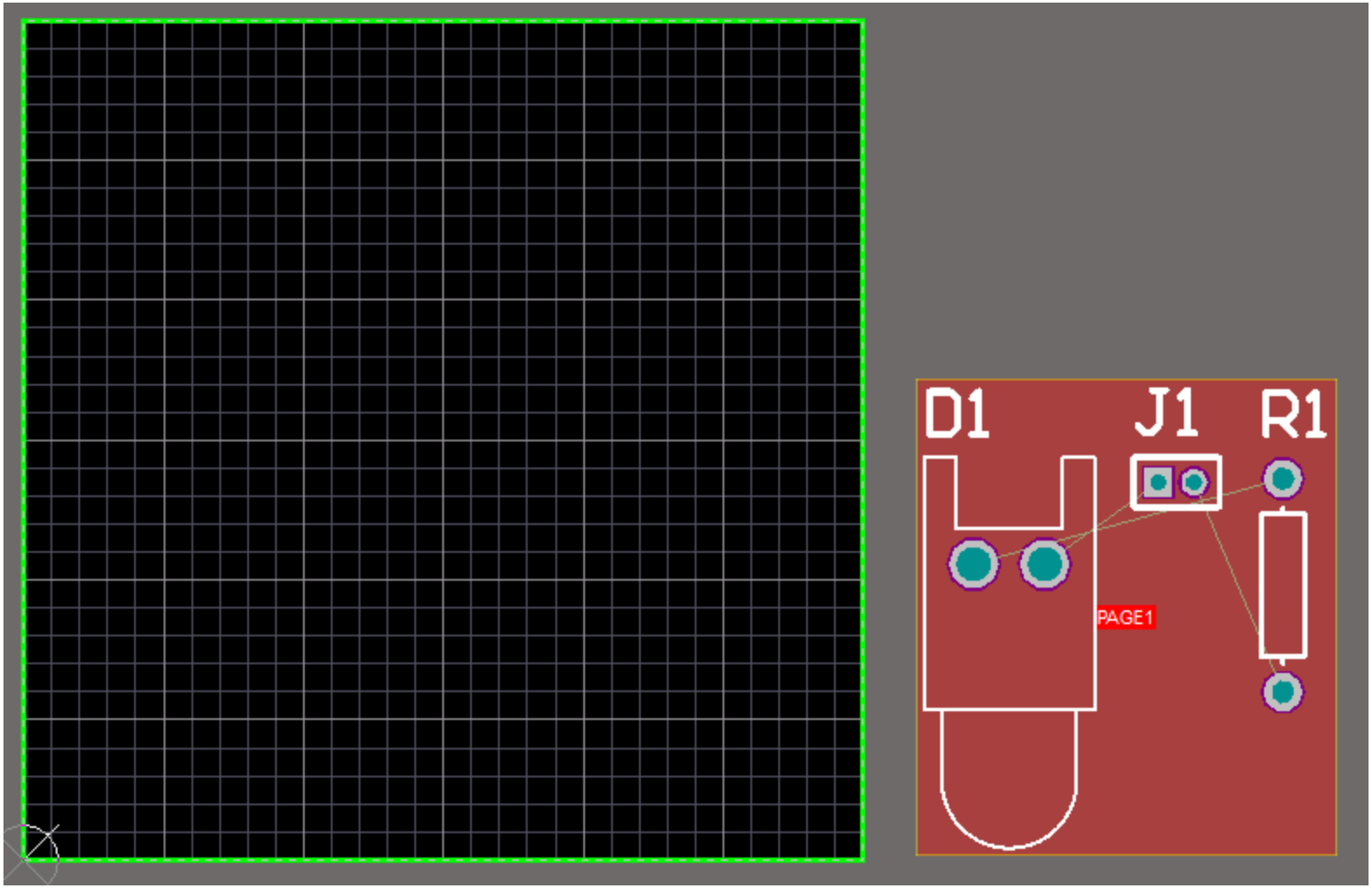

PCB 보기 환경설정 선택
이름
종류
Altium Standard 2D
2D simple
Altium Transparent 2D
2D simple
Altium 3D Black
3D
Altium 3D Blue
3D
Altium 3D Brown
3D
Altium 3D Color By Layer
3D
Altium 3D Dk Green
3D
경로
C:\Users\apple\AppData\Roaming\Altium\Altium Designer {9904BBDB-6637-467D-8426-53F7AAC6C039}\View Configurations\Altium Standard 2D.config_2dsimple
폴더 탐색 ...
설명
Altium Standard 2D
동작
새로운 보기 환경설정 생성 ...
기판 레이어 및 색상
표시 / 숨김
보기 옵션
투명도
원호 (A)
채움 (L)
패드 (P)
다각형 (G)
전체
외곽
숨김
치수 (M)
문자 (S)
선 (T)
비아 (V)
좌표 (O)
룸 (R)
영역 (E)
3차원 몸체 (B)
임베디드 기판 배열 표시 (Y)
Show Design Views
모두 전체 (F)
모두 외곽 (D)
모두 숨김 (H)
에서/으로 설정...
이전 전체 (I)
이전 외곽 (N)
이전 토글 (W)

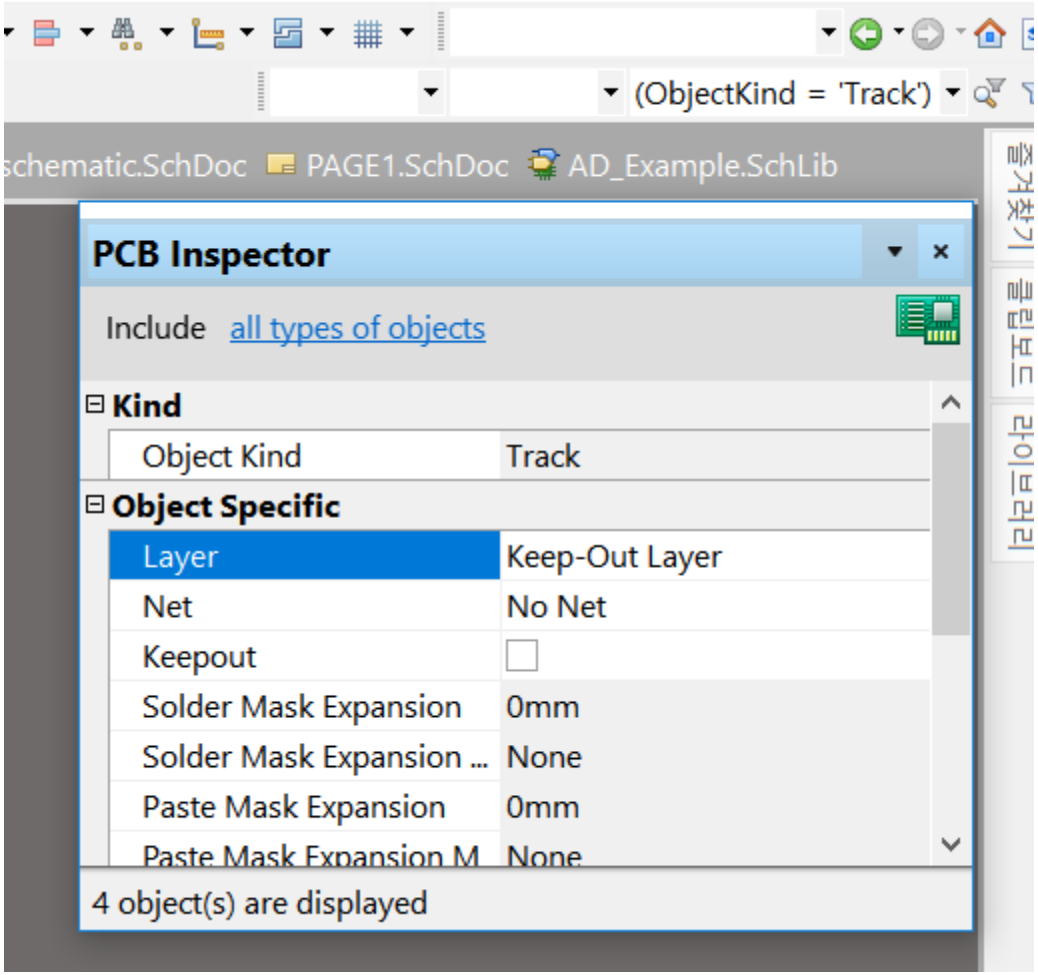

유사 객체 찾기 (N)...
질문 제작...
필터 (F)
Track Locked
xSignals
결합 (U)
조각 (S)
부품 동작 (C)
다각형 동작 (Y)
맞춤 (A)
능동 배선 (T)
능동 차동 쌍 배선 (I)
능동 다중 배선 (M)
잘라내기 (T) Ctrl+X
복사 (C) Ctrl+C
붙여넣기 (P) Ctrl+V
지우기 Del

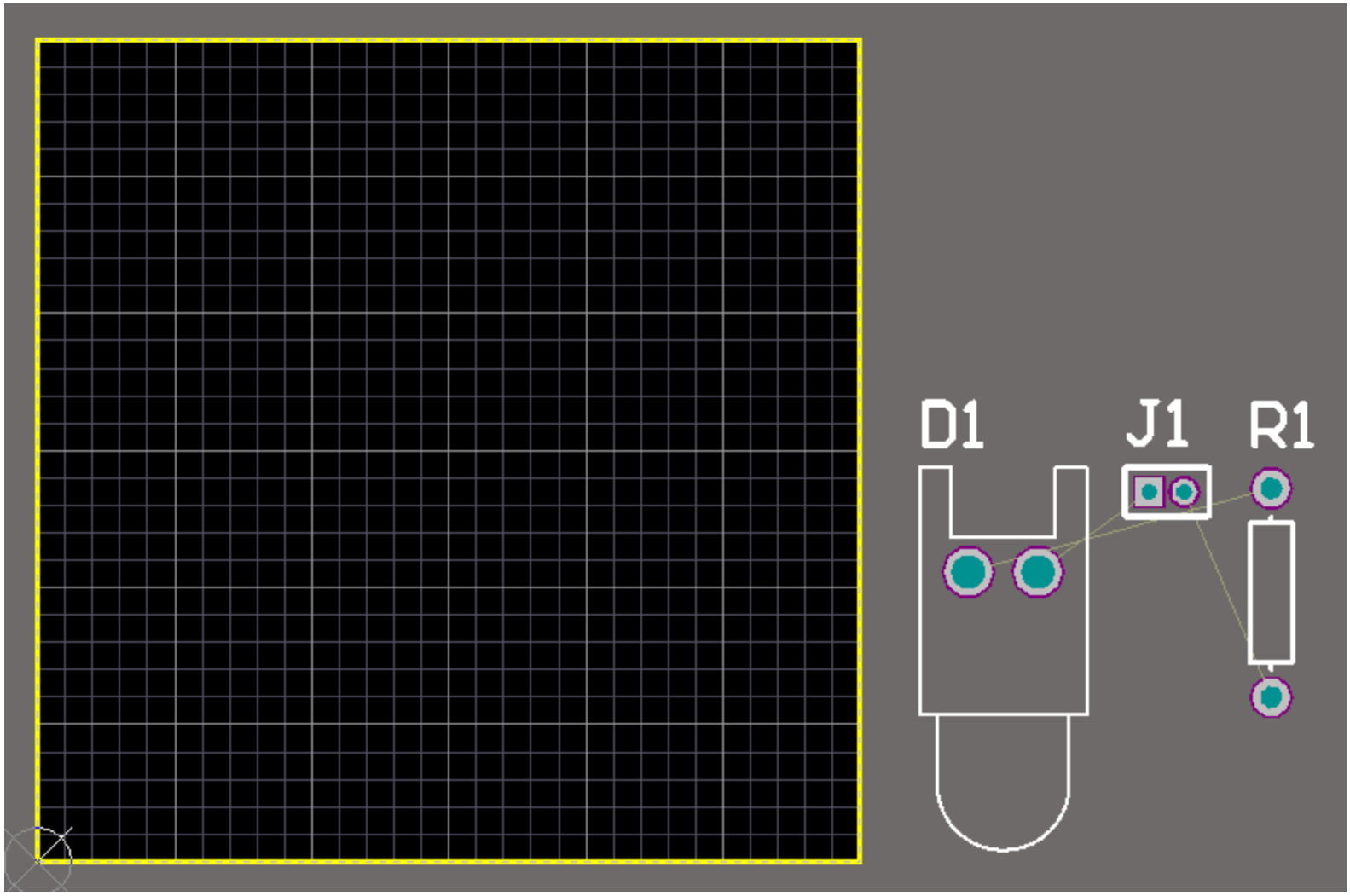

유사 객체 찾기
Kind
Object Kind
Track
Same
Object Specific
Layer
Top Layer
Same
Net
No Net
Any
Keepout
Any
Solder Mask Expan
0mm
Any
Solder Mask Expan
None
Any
Paste Mask Expans
0mm
Any
Paste Mask Expans
None
Any
Graphical
X1
0mm
Any
Y1
30mm
Any
X2
30mm
Any
Y2
30mm
Any
Width
0.2mm
Any
Locked
Any
Selected
Any

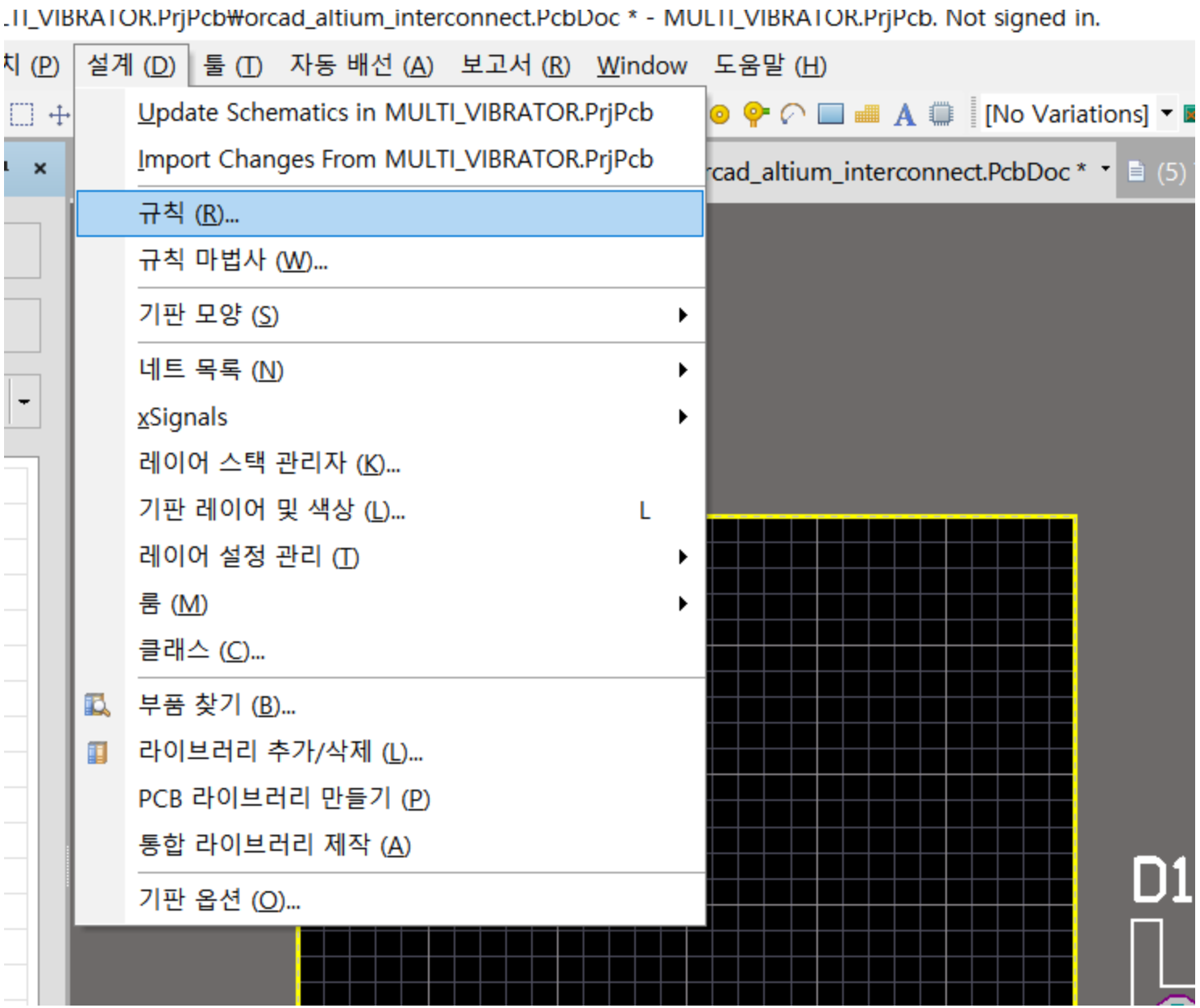



TI_VIBRATOR.PrjPcb₩orcad_altium_interconnect.PcbDoc * - MULTI_VIBRATOR.PrjPcb. Not signed in.
(P)
설계 (D)
툴 (T)
자동 배선 (A)
보고서 (R)
Window
도움말 (H)
[No Variations]
Update Schematics in MULTI_VIBRATOR.PrjPcb
Import Changes From MULTI_VIBRATOR.PrjPcb
규칙 (R)...
규칙 마법사 (W)...
기판 모양 (S)
네트 목록 (N)
xSignals
레이어 스택 관리자 (K)...
기판 레이어 및 색상 (L)... L
레이어 설정 관리 (T)
룸 (M)
클래스 (C)...
부품 찾기 (B)...
라이브러리 추가/삭제 (L)...
PCB 라이브러리 만들기 (P)
통합 라이브러리 제작 (A)
기판 옵션 (O)...
선택된 객체로 정의 (D)
3차원 몸체에서 정의 (D) (Requires 3D mode)
기판 모양에서 초본 생성 (C)
기판 자르기 정의 (C)
도면 자동 위치 (A)

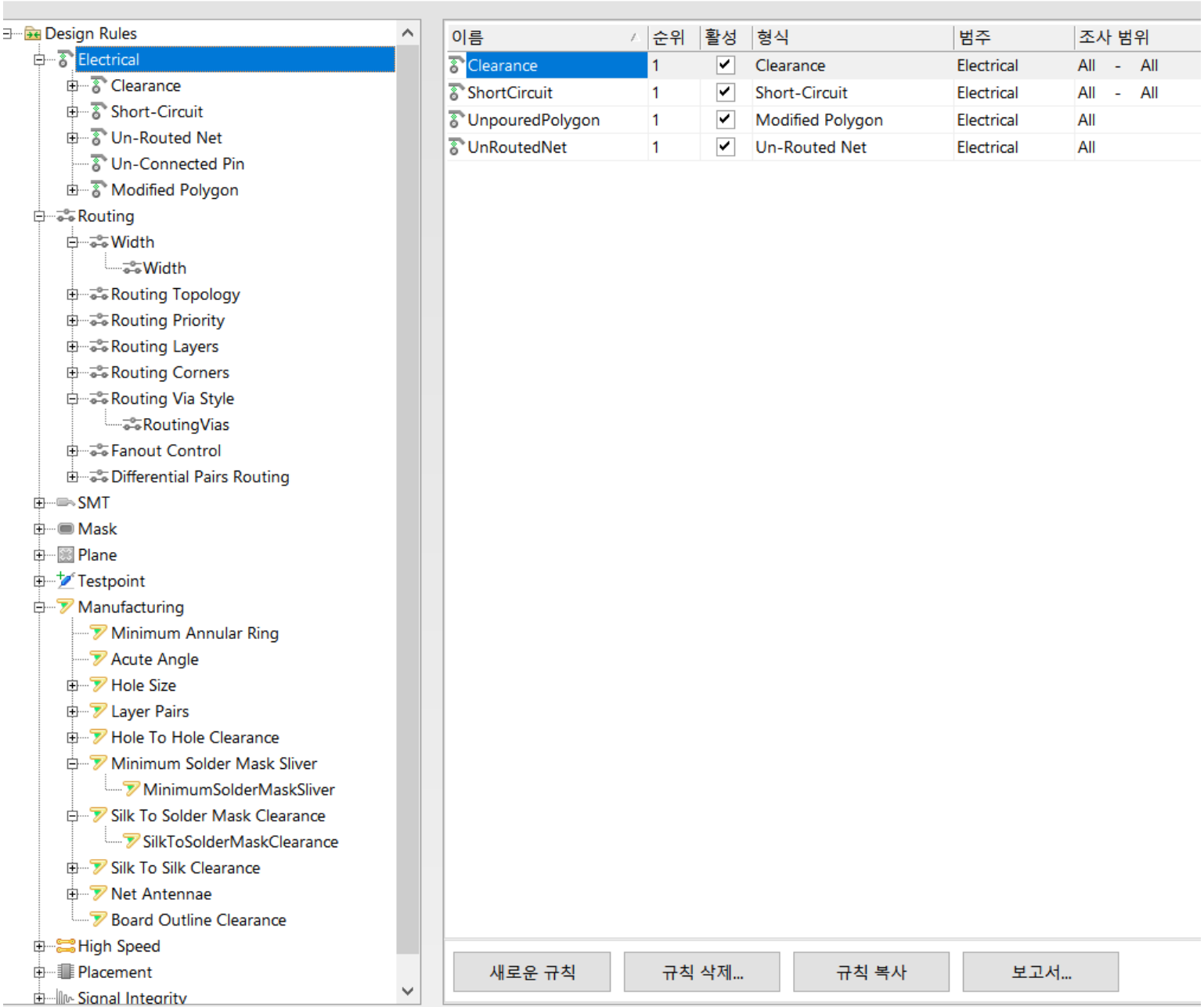

D1
J1
R1
PAGE1

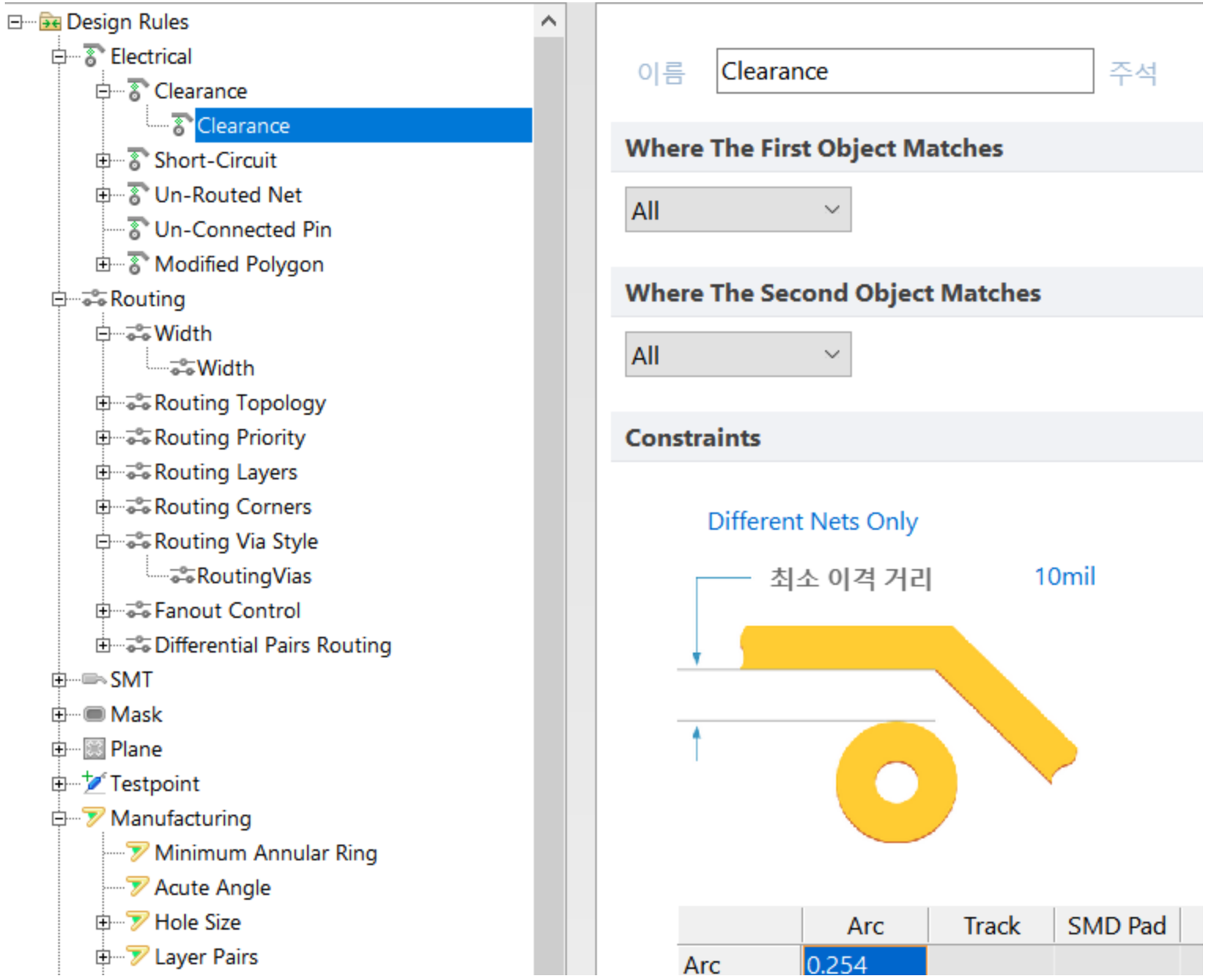

(ObjectKind = 'Track')
schematic.SchDoc
PAGE1.SchDoc
AD_Example.SchLib
PCB Inspector
Include all types of objects
Kind
Object Kind
Track
Object Specific
Layer
Keep-Out Layer
Net
No Net
Keepout
Solder Mask Expansion
0mm
Solder Mask Expansion ...
None
Paste Mask Expansion
0mm
Paste Mask Expansion M
None
4 object(s) are displayed
즐겨찾기
클립보드
라이브러리


D1
J1
R1


.TI_VIBRATOR.PrjPcb₩orcad_altium_interconnect.PcbDoc * - MULTI_VIBRATOR.PrjPcb. Not signed in.
치 (P)
설계 (D)
툴 (T)
자동 배선 (A)
보고서 (R)
Window
도움말 (H)
Update Schematics in MULTI_VIBRATOR.PrjPcb
Import Changes From MULTI_VIBRATOR.PrjPcb
규칙 (R)...
규칙 마법사 (W)...
기판 모양 (S)
네트 목록 (N)
xSignals
레이어 스택 관리자 (K)...
기판 레이어 및 색상 (L)... L
레이어 설정 관리 (T)
룸 (M)
클래스 (C)...
부품 찾기 (B)...
라이브러리 추가/삭제 (L)...
PCB 라이브러리 만들기 (P)
통합 라이브러리 제작 (A)
기판 옵션 (O)...
[No Variations]
rcad_altium_interconnect.PcbDoc *
(5)
D1

PCB 규칙 및 조건 편집기 [mm]




Design Rules
Electrical
Clearance
Clearance
Short-Circuit
Un-Routed Net
Un-Connected Pin
Modified Polygon
Routing
Width
Width
Routing Topology
Routing Priority
Routing Layers
Routing Corners
Routing Via Style
RoutingVias
Fanout Control
Differential Pairs Routing
SMT
Mask
Plane
Testpoint
Manufacturing
Minimum Annular Ring
Acute Angle
Hole Size
Layer Pairs
이름
Clearance
주석
Where The First Object Matches
All
Where The Second Object Matches
All
Constraints
Different Nets Only
최소 이격 거리
10mil
Arc
Track
SMD Pad
Arc
0.254

	Arc	Track	SMD Pad	TH Pad	Via	Fill	Poly	Region	Text
Arc	0.254								
Track	0.254	0.254							
SMD Pad	0.254	0.254	0.254						
TH Pad	0.254	0.254	0.254	0.254					
Via	0.254	0.254	0.254	0.254	0.254				
Fill	0.254	0.254	0.254	0.254	0.254	0.254			
Poly	0.254	0.254	0.254	0.254	0.254	0.254	0.254		
Region	0.254	0.254	0.254	0.254	0.254	0.254	0.254	0.254	
Text	0.254	0.254	0.254	0.254	0.254	0.254	0.254	0.254	0.254

	Arc	Track	SMD Pad	TH Pad	Via	Fill	Poly	Region	Text
Arc	5								
Track	5	5							
SMD Pad	5	5	5						
TH Pad	0.254	0.254	0.254	0.254					
Via	0.254	0.254	0.254	0.254	0.254				
Fill	0.254	0.254	0.254	0.254	0.254	0.254			
Poly	0.254	0.254	0.254	0.254	0.254	0.254	0.254		
Region	0.254	0.254	0.254	0.254	0.254	0.254	0.254	0.254	
Text	0.254	0.254	0.254	0.254	0.254	0.254	0.254	0.254	0.254

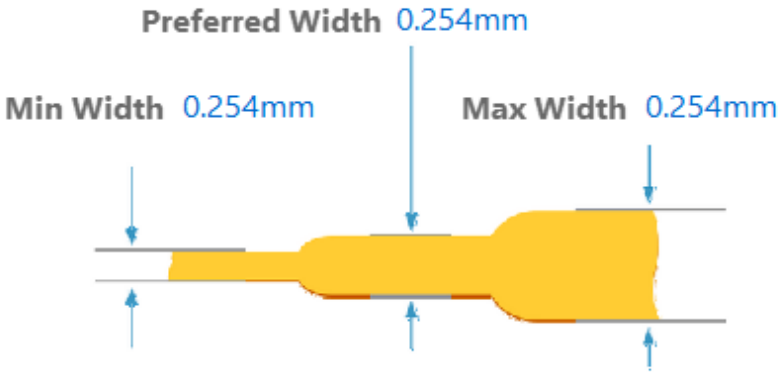
esign Rules
- Electrical
  - Clearance
    - **Clearance***
  - Short-Circuit
  - Un-Routed Net
  - Un-Connected Pin
  - Modified Polygon
- Routing
  - Width
    - Width
  - Routing Topology
  - Routing Priority
  - Routing Layers
  - Routing Corners
  - Routing Via Style
    - RoutingVias
  - Fanout Control
  - Differential Pairs Routing
- SMT
- Mask
- Plane
- Testpoint
- Manufacturing
  - Minimum Annular Ring
  - Acute Angle
  - Hole Size

이름 Width 주석 고유 인식 번호 TFCK

Where The Object Matches

All

Constraints



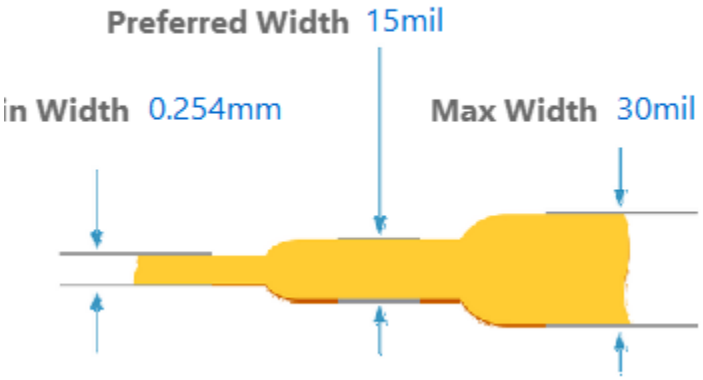
◉ 배선/원호의 최대/최소 두께 가
○ 물리적으로 연결된 구리의 최대
호, 채움, 패드 및 비아)

☐ 구동 특성 임피던스 폭

☑ 레이어 스택의 레이어만

레이어 속성			레이어 스택 참조		절대
최소 폭	우선 크기	최대 폭	이름	색인	
0.254mm	0.254mm	0.254mm	Top Layer	32	
0.254mm	0.254mm	0.254mm	Bottom Layer	33	

onstraints

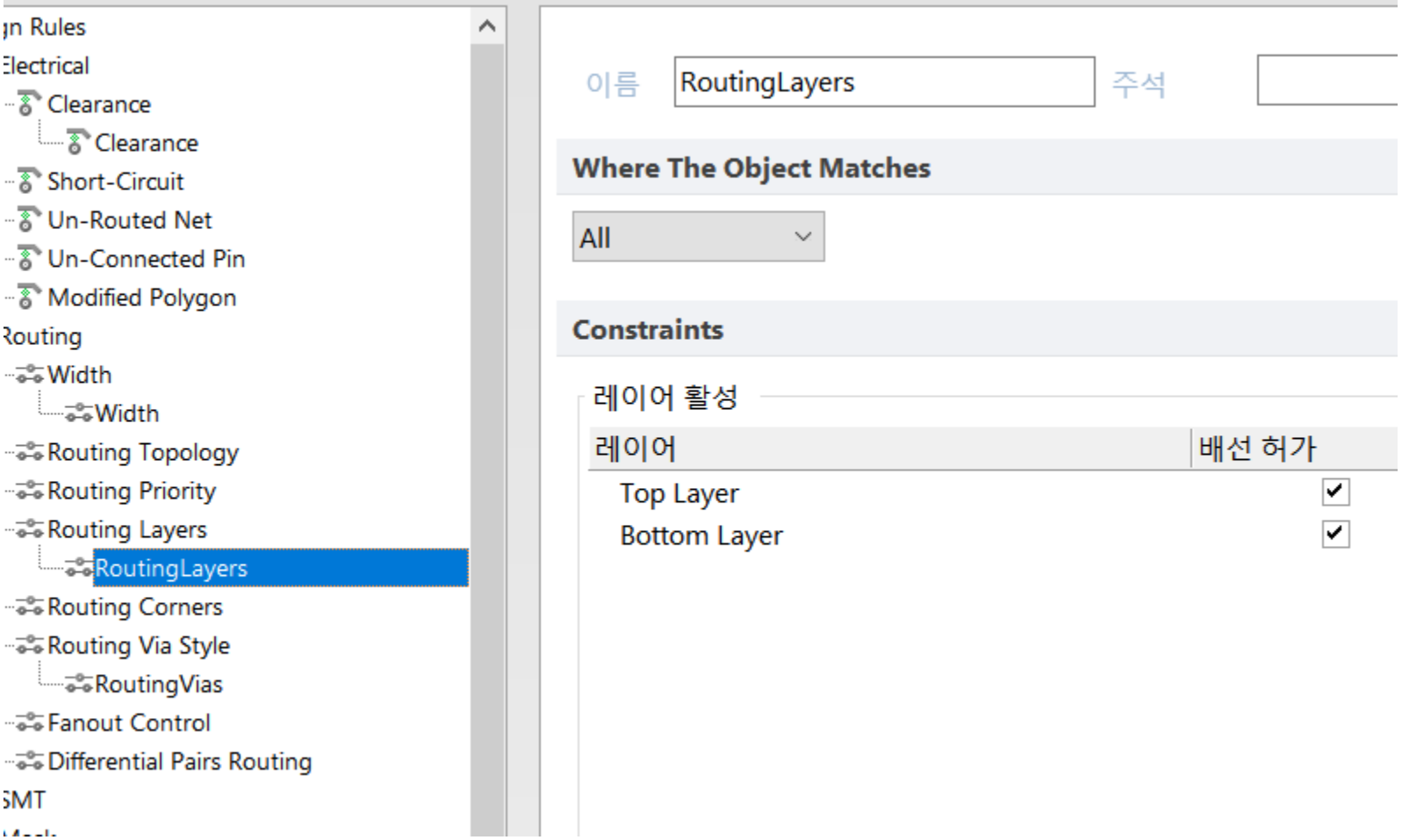


◉ 배선/원호의 최대/최소 두께 개별 검사
○ 물리적으로 연결된 구리의 최대/최소 두께 검사 (호, 채움, 패드 및 비아)

☐ 구동 특성 임피던스 폭

☑ 레이어 스택의 레이어만

이어 속성			레이어 스택 참조		절대 레이어	
최소 폭	우선 크기	최대 폭	이름	색인		이름
0.254mm	0.381mm	0.762mm	Top Layer	32		TopLayer
0.254mm	0.381mm	0.762mm	Bottom Layer	33		BottomLayer


gn Rules
Electrical
Clearance
Clearance
Short-Circuit
Un-Routed Net
Un-Connected Pin
Modified Polygon
Routing
Width
Width
Routing Topology
Routing Priority
Routing Layers
RoutingLayers
Routing Corners
Routing Via Style
RoutingVias
Fanout Control
Differential Pairs Routing
SMT
이름
RoutingLayers
주석
Where The Object Matches
All
Constraints
레이어 활성
레이어
배선 허가
Top Layer
Bottom Layer

lectrical
- Clearance
  - Clearance
- Short-Circuit
- Un-Routed Net
- Un-Connected Pin
- Modified Polygon

outing
- Width
  - Width
- Routing Topology
- Routing Priority
- Routing Layers
  - RoutingLayers
- Routing Corners
- Routing Via Style
  - **RoutingVias***
- Fanout Control
- Differential Pairs Routing

MT

lask

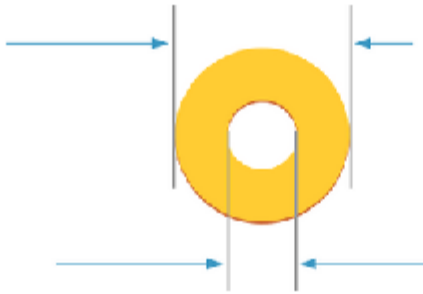
이름 RoutingVias 주석 고

Where The Object Matches

All

Constraints

Min/Max preferred



비아 지름
최소 22mil
최대 50mil
우선 26mil

비아 홀 크기
최소 16mil
최대 28mil
우선 18mil

- Design Rules
  - Electrical
    - Clearance
      - Clearance
    - Short-Circuit
    - Un-Routed Net
    - Un-Connected Pin
    - Modified Polygon
  - Routing
    - Width
      - Width
    - Routing Topology
    - Routing Priority
    - Routing Layers
      - RoutingLayers
    - Routing Corners
    - Routing Via Style
      - RoutingVias
    - Fanout Control
    - Differential Pairs Routing
  - SMT
  - Mask
    - Solder Mask Expansion
      - SolderMaskExpansion
    - Paste Mask Expansion
  - Plane

이름 SolderMaskExpansion 주석 고유 인식 번호 CXPBYQD

Where The Object Matches

All

Constraints

Expansion top: 4mil

Expansion bottom: 4mil

☐ Solder Mask From The Hole Edge

- Design Rules
  - Electrical
  - Routing
  - SMT
  - Mask
    - Solder Mask Expansion
      - SolderMaskExpansion
    - Paste Mask Expansion
  - Plane
    - Power Plane Connect Style
    - Power Plane Clearance
    - Polygon Connect Style
      - PolygonConnect
  - Testpoint
  - Manufacturing
    - Minimum Annular Ring
    - Acute Angle
    - Hole Size
    - Layer Pairs
    - Hole To Hole Clearance
    - Minimum Solder Mask Sliver
      - MinimumSolderMaskSliver
    - Silk To Solder Mask Clearance
      - SilkToSolderMaskClearance
    - Silk To Silk Clearance
    - Net Antennae
    - Board Outline Clearance
  - High Speed

이름 PolygonConnect 주석 고

Where The First Object Matches

All

Where The Second Object Matches

All

Constraints

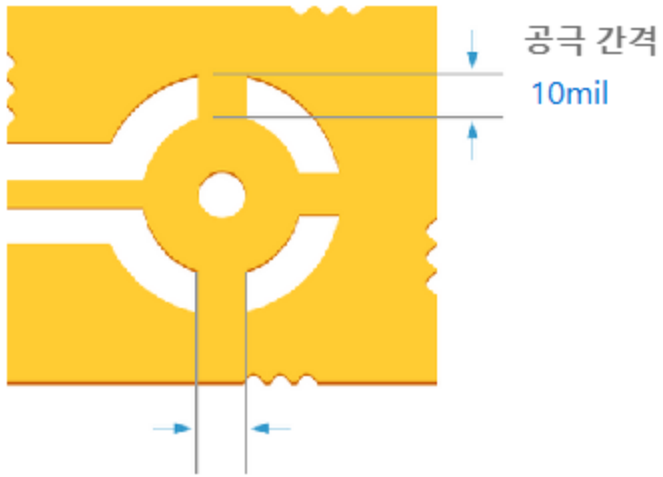
연결 모양

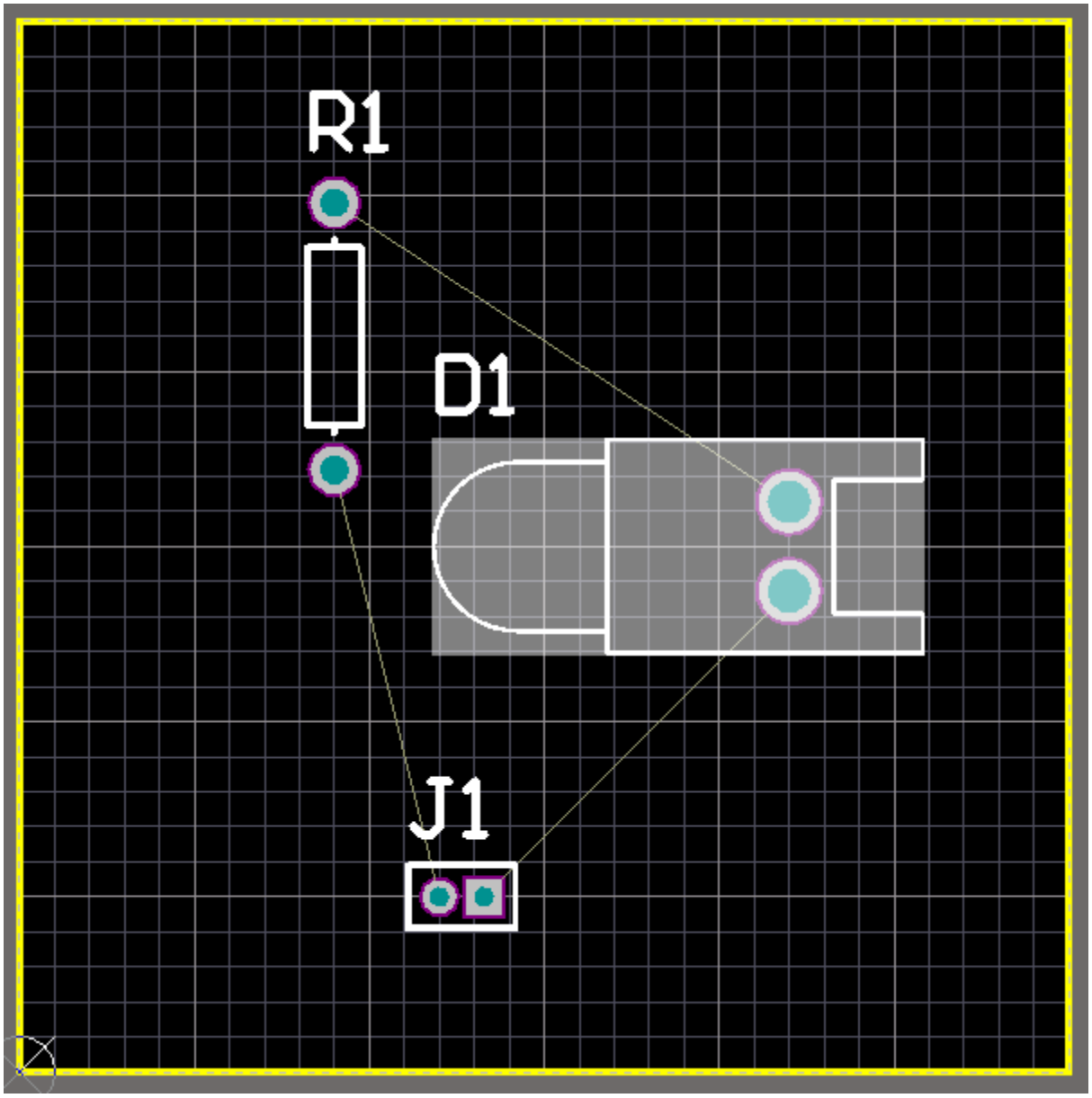
Relief Connect

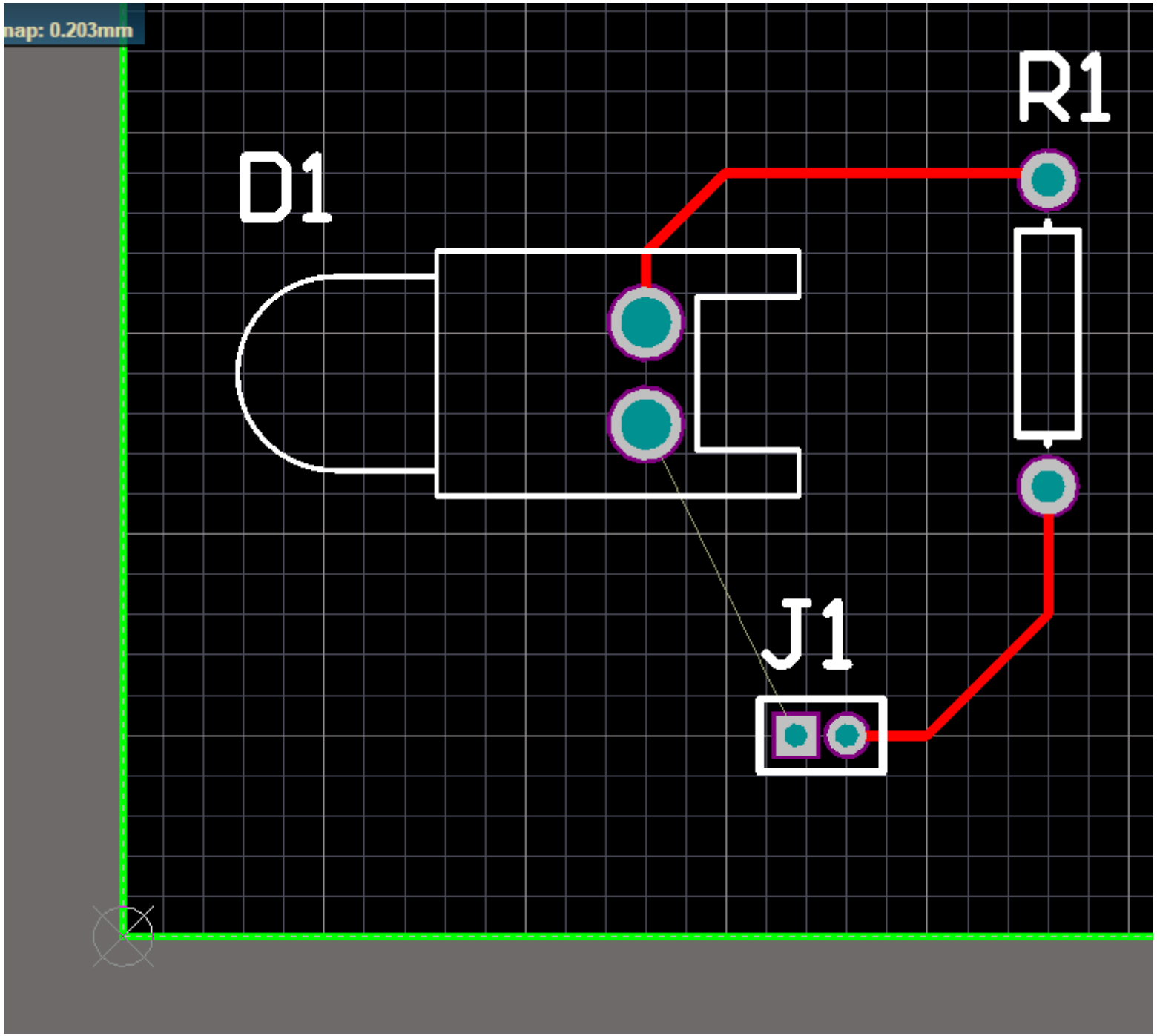
날개

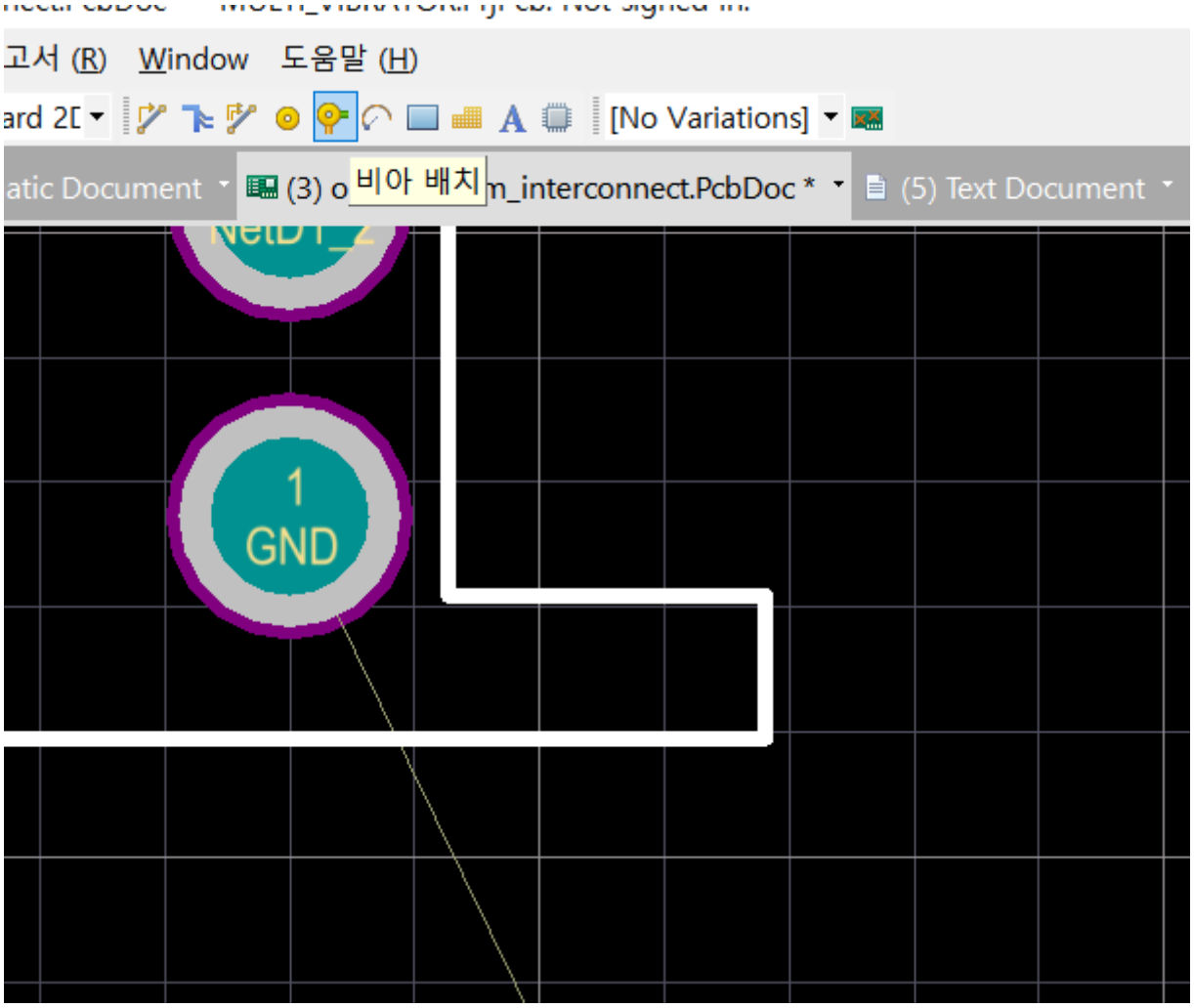
○ 2 ◉ 4

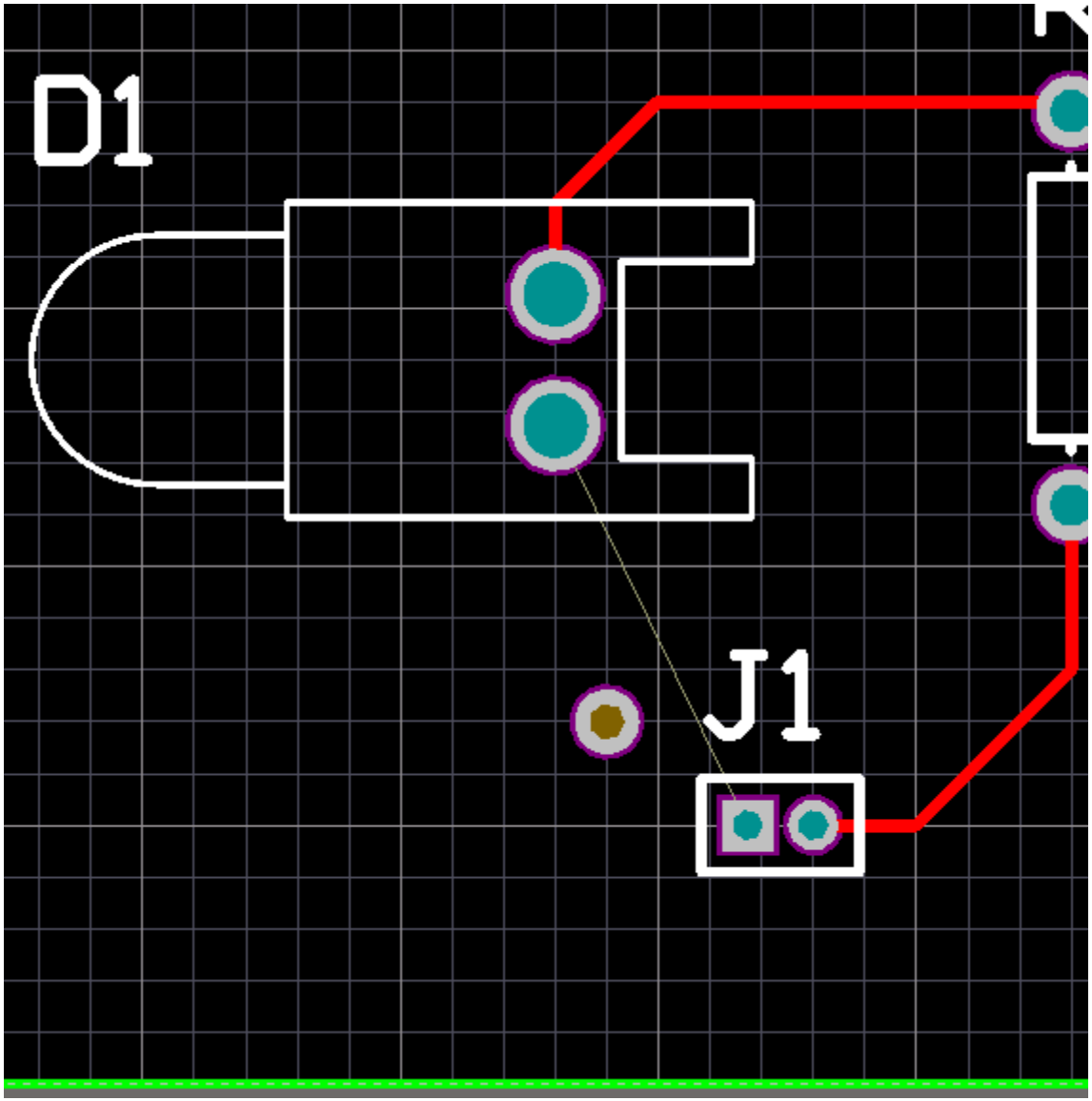
90 Angle




R1
D1
J1


nap: 0.203mm
R1
D1
J1


고서 (R)
Window
도움말 (H)
[No Variations]
atic Document
(3) o
비아 배치
n_interconnect.PcbDoc *
(5) Text Document
1
GND


D1
J1

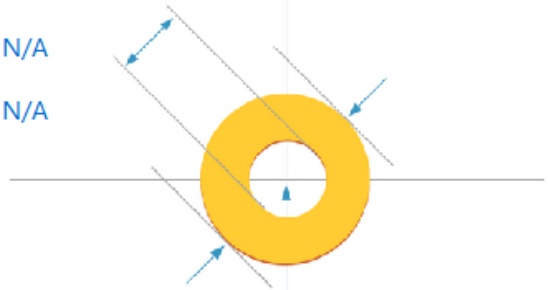
비아 [mm]

홀 크기 (H) 0.508mm

지름 1.016mm

Tolerance + N/A

- N/A



위치 (L) X (X) 4mm

Y (Y) mm

Via Template

Template v102h51 Library <Local> Unlink

지름

◉ 단순 (S) ○ 앞-중간-뒤 (T) ○ 전체 스택 (F)

Properties

Drill Pair Top Layer - Bottom Layer

Net GND

Locked ☐

테스트 포인트 설정

	앞	뒤
제조 자료	☐	☐
조립 자료	☐	☐

솔더 마스크 확장

◉ 규칙 값으로 확장

○ 지정값으로 확장

Top : 0.102mm

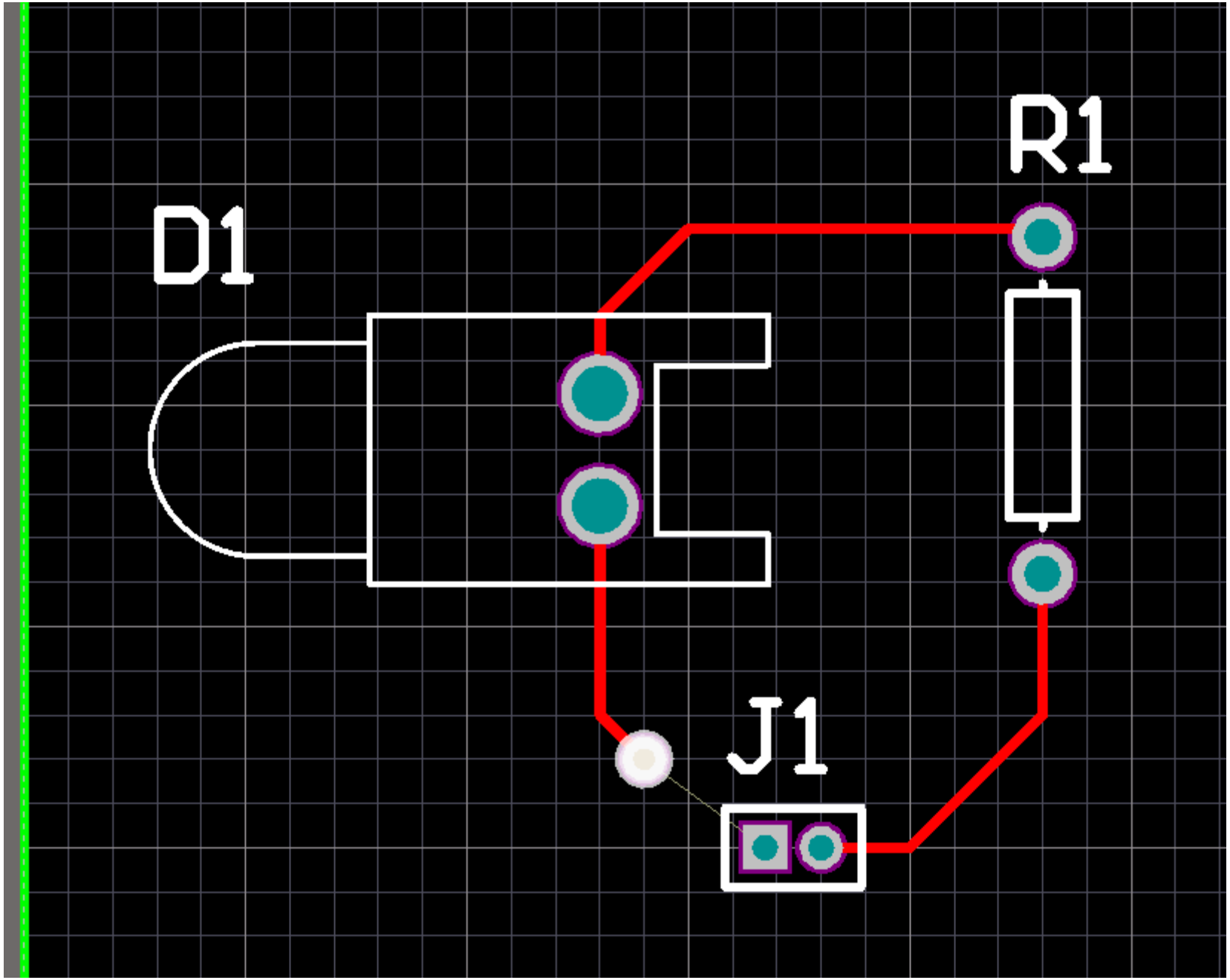
Bottom : 0.102mm

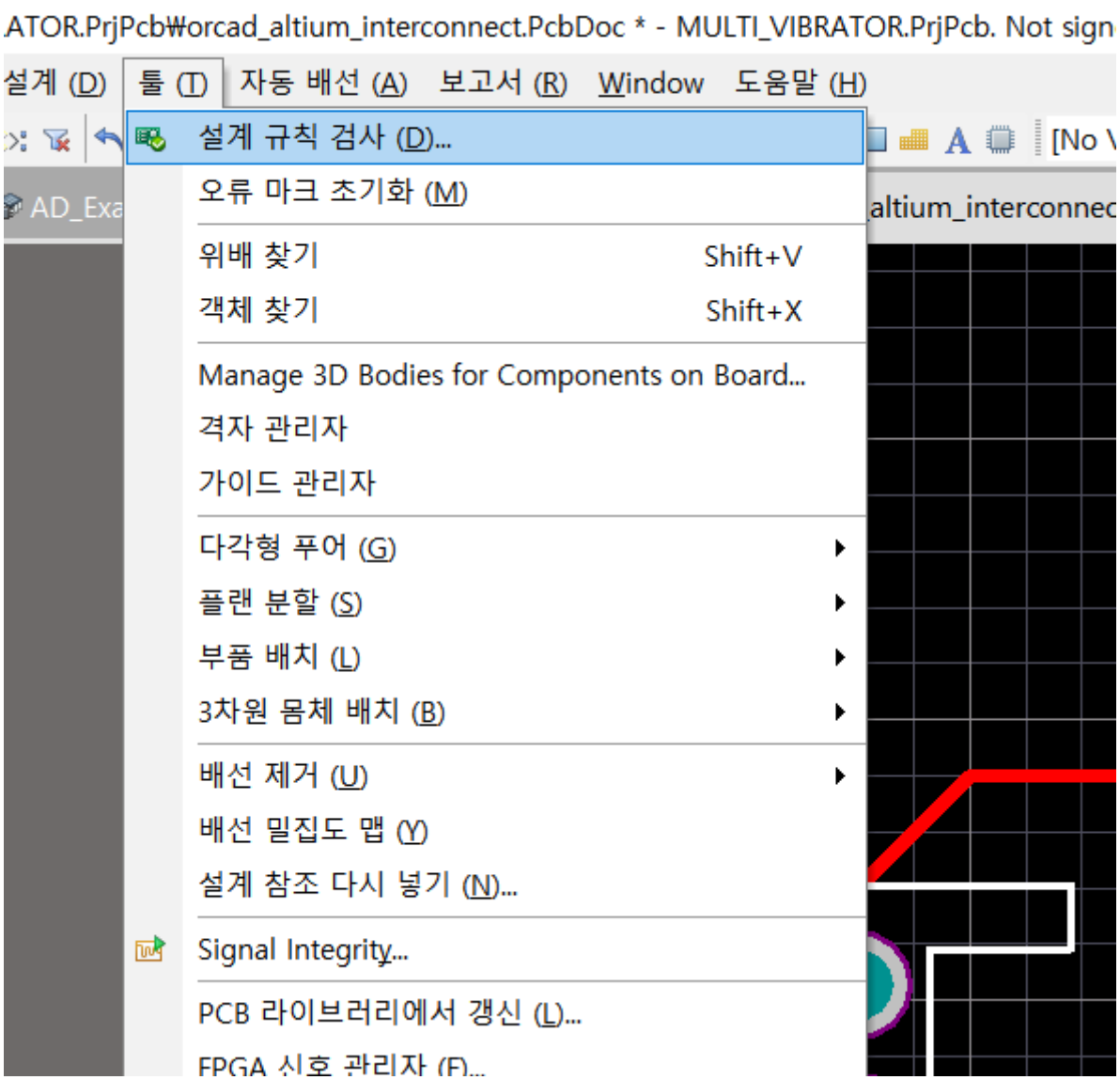
☐ Solder Mask From The Hole Edge

☐ 앞면 솔더 마스크 가림

☐ 뒷면 솔더 마스크 가림

Drill Pairs 확인 취소


R1
D1
J1


ATOR.PrjPcb₩orcad_altium_interconnect.PcbDoc * - MULTI_VIBRATOR.PrjPcb. Not sign
설계 (D)
툴 (T)
자동 배선 (A)
보고서 (R)
Window
도움말 (H)
설계 규칙 검사 (D)...
오류 마크 초기화 (M)
위배 찾기 Shift+V
객체 찾기 Shift+X
Manage 3D Bodies for Components on Board...
격자 관리자
가이드 관리자
다각형 푸어 (G)
플랜 분할 (S)
부품 배치 (L)
3차원 몸체 배치 (B)
배선 제거 (U)
배선 밀집도 맵 (Y)
설계 참조 다시 넣기 (N)...
Signal Integrity...
PCB 라이브러리에서 갱신 (L)...
FPGA 신호 관리자 (F)...

설계 규칙 검사 [mm]

- Report Options
- Rules To Check
  - Electrical
  - Routing
  - SMT
  - Testpoint
  - Manufacturing
  - High Speed
  - Placement
  - Signal Integrity

DRC 보고서 옵션

- [x] 보고서 파일 생성 (F)
- [x] 위배 생성 (T)
- [x] 보조 네트 세부 사항 (N)
- [x] 카퍼 쇼트 검사
- [x] SMT 패드위 홀 보고서 (D)
- [x] 다중 레이어의 0 홀 보고서 (M)

멈춤 (E) 500 개의 위배 찾을 때

플랜 분할 DRC 보고서 옵션

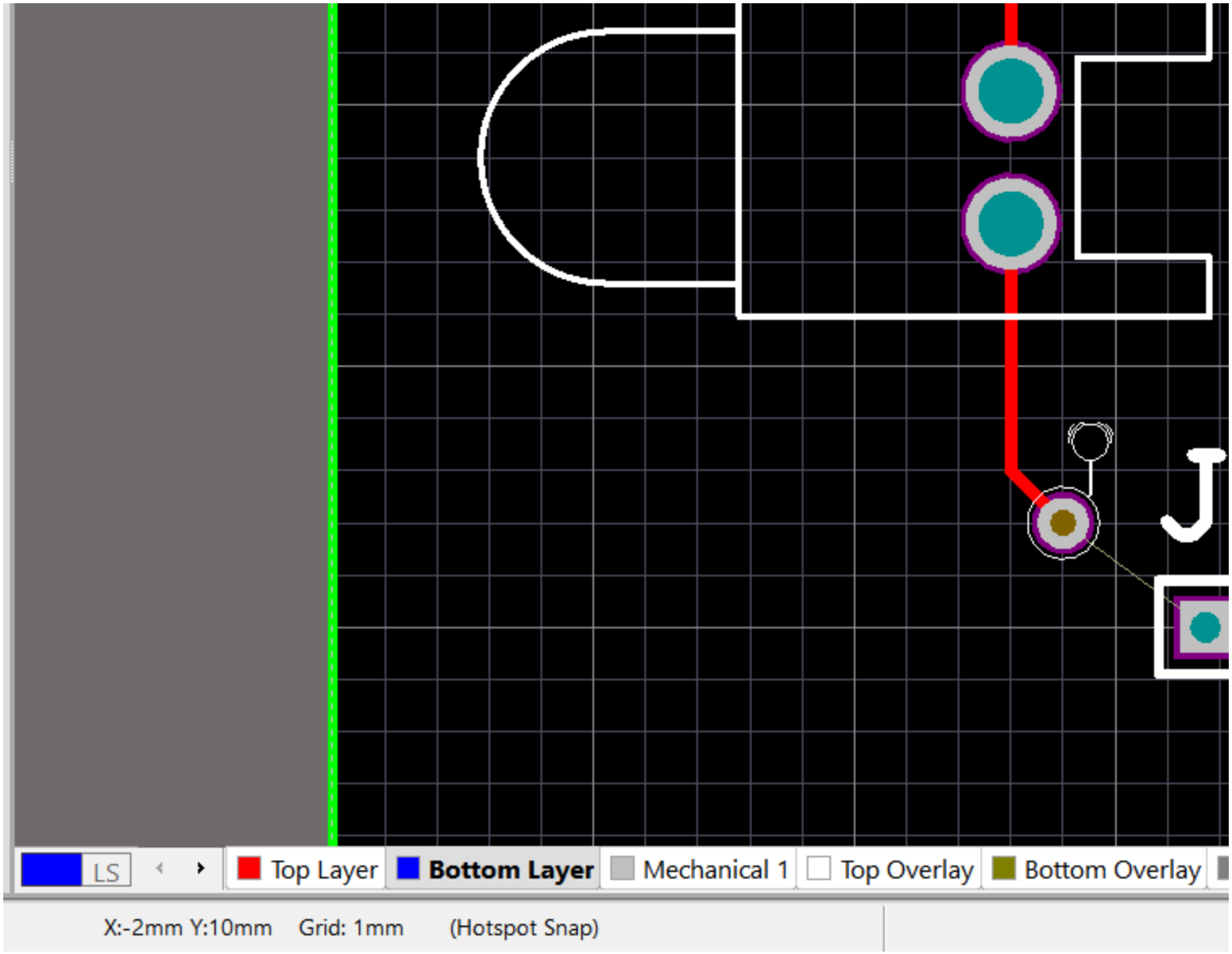
- [x] 플랜 절단 보고
- [x] 다음보다 큰 고립 지역 보고 0.065 sq. mm
- [x] 다음보다 작은 단열 패드 고립 보고 50% 가능한 카퍼

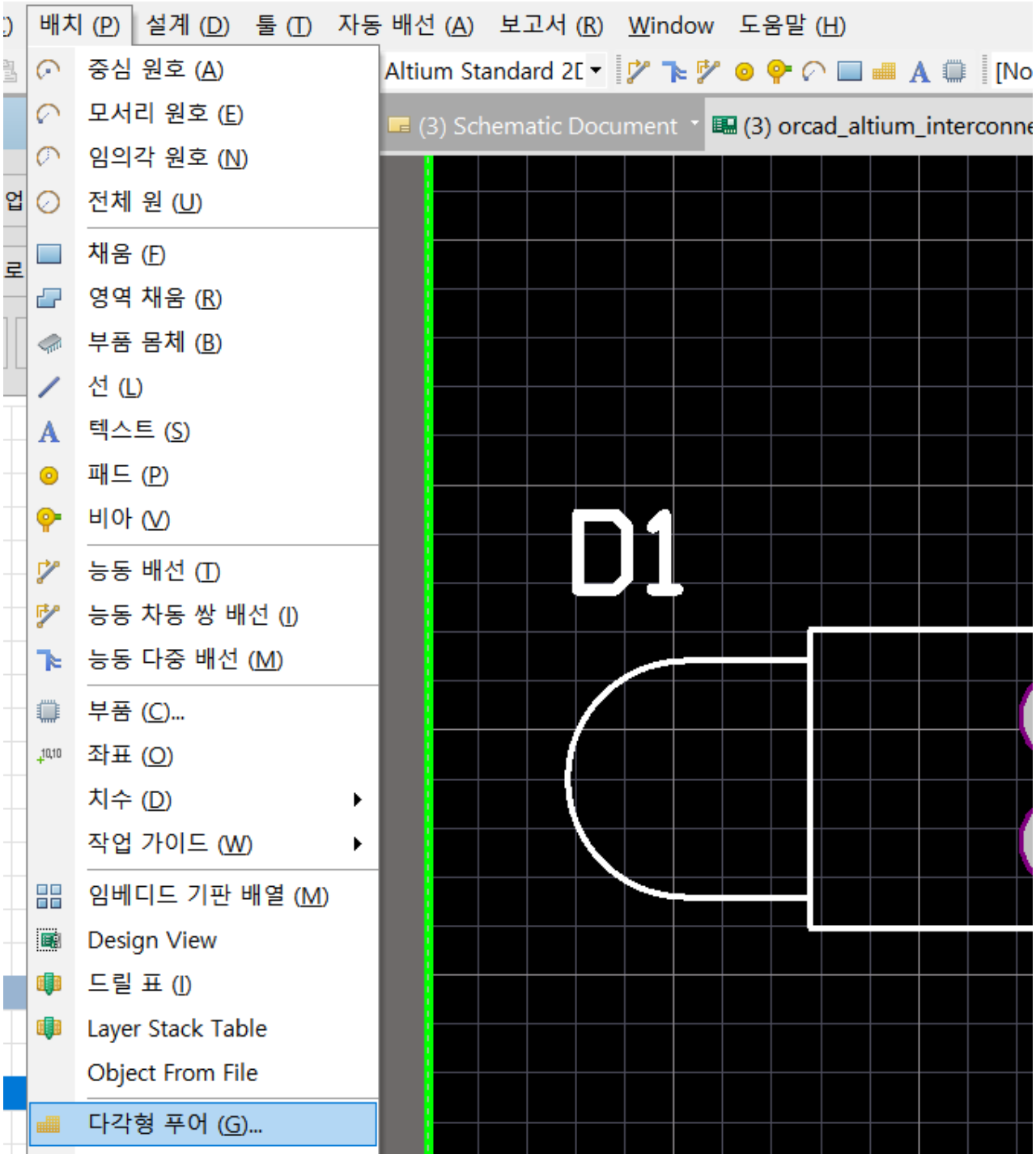
노트: 보고서 파일을 생성하려면 PCB 문서를 먼저 저장해야 합니다.
빠른 처리을 위하여 규칙 검사 항목은 필요한 항목만 활성화하세요. 노트: 옵션은 해당 규칙이 정의되었을 때 활성화 됩니다.
실시간 DRC는 사용자 작업의 설계 규칙 위배를 검사합니다. 설계 규칙 대화 상자에서 포함하는 설계 규칙은 특정 규칙 형식에 대한 시험을 할 수 있습니다.

설계 규칙 검사 실행 (R)...

확인

취소


LS
Top Layer
Bottom Layer
Mechanical 1
Top Overlay
Bottom Overlay
X:-2mm Y:10mm
Grid: 1mm
(Hotspot Snap)

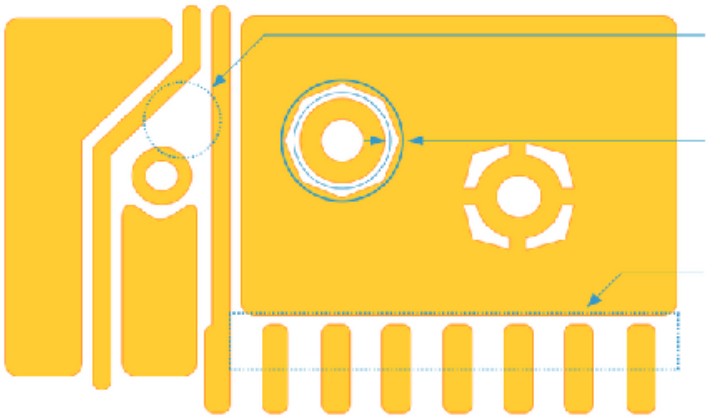

배치 (P)
설계 (D)
툴 (T)
자동 배선 (A)
보고서 (R)
Window
도움말 (H)
중심 원호 (A)
모서리 원호 (E)
임의각 원호 (N)
전체 원 (U)
채움 (F)
영역 채움 (R)
부품 몸체 (B)
선 (L)
텍스트 (S)
패드 (P)
비아 (V)
능동 배선 (T)
능동 차동 쌍 배선 (I)
능동 다중 배선 (M)
부품 (C)...
좌표 (O)
치수 (D)
작업 가이드 (W)
임베디드 기판 배열 (M)
Design View
드릴 표 (I)
Layer Stack Table
Object From File
다각형 푸어 (G)...
Altium Standard 2[
(3) Schematic Document
(3) orcad_altium_interconne
D1

다각형 푸어 [mm]

그림 | 외곽 꼭지점

채움 모드

(●) 면 (카퍼 영역) ( ) 빗금 (선/원호) ( ) 없음 (테두리만)



다음 이하 조각 제거
1.613 (sq. mms) 영역내 [x]

원호 이격
원호에서 이격 거리
0.013mm

카퍼 좁은 구간 제거
다음보다 작을 때 0.127mm [x]

속성

이름: Bottom Layer-No Net

[ ] Auto Naming

레이어: Bottom Layer

최소 초본 길이: 0.076mm

초본 잠금 [x]

잠금 [ ]

실시간 위배 무시 [ ]

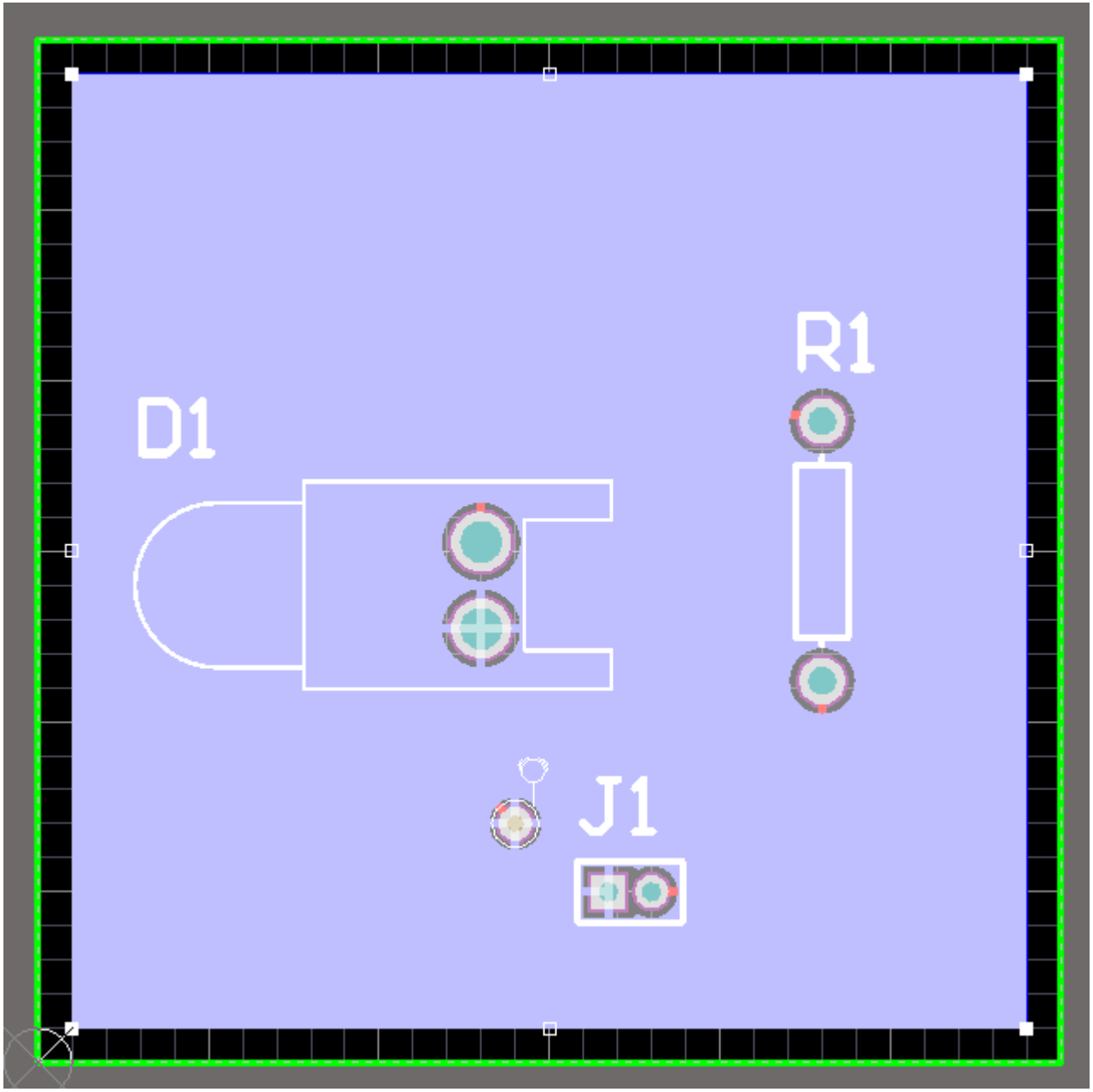
네트 옵션

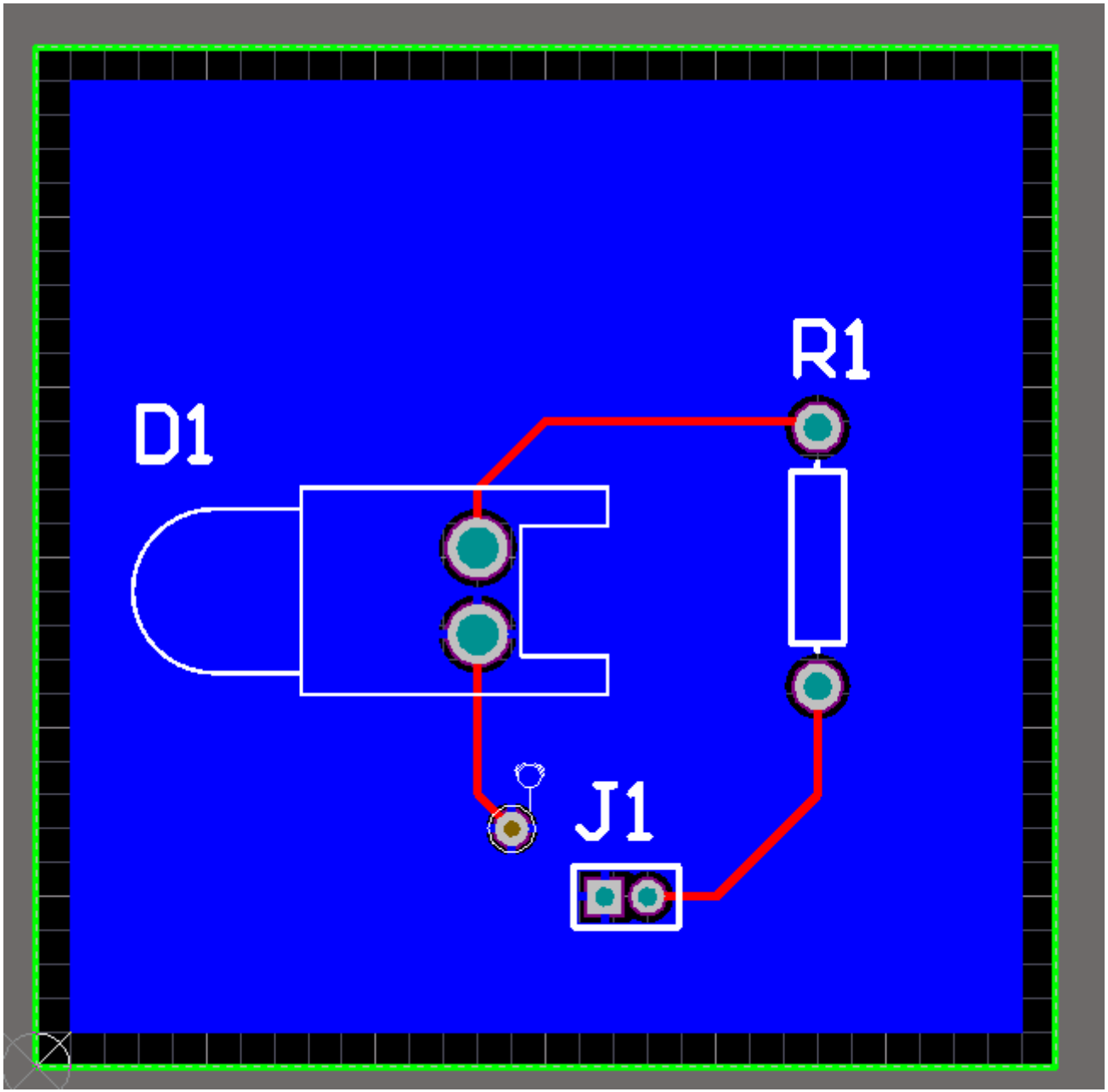
네트로 연결: GND

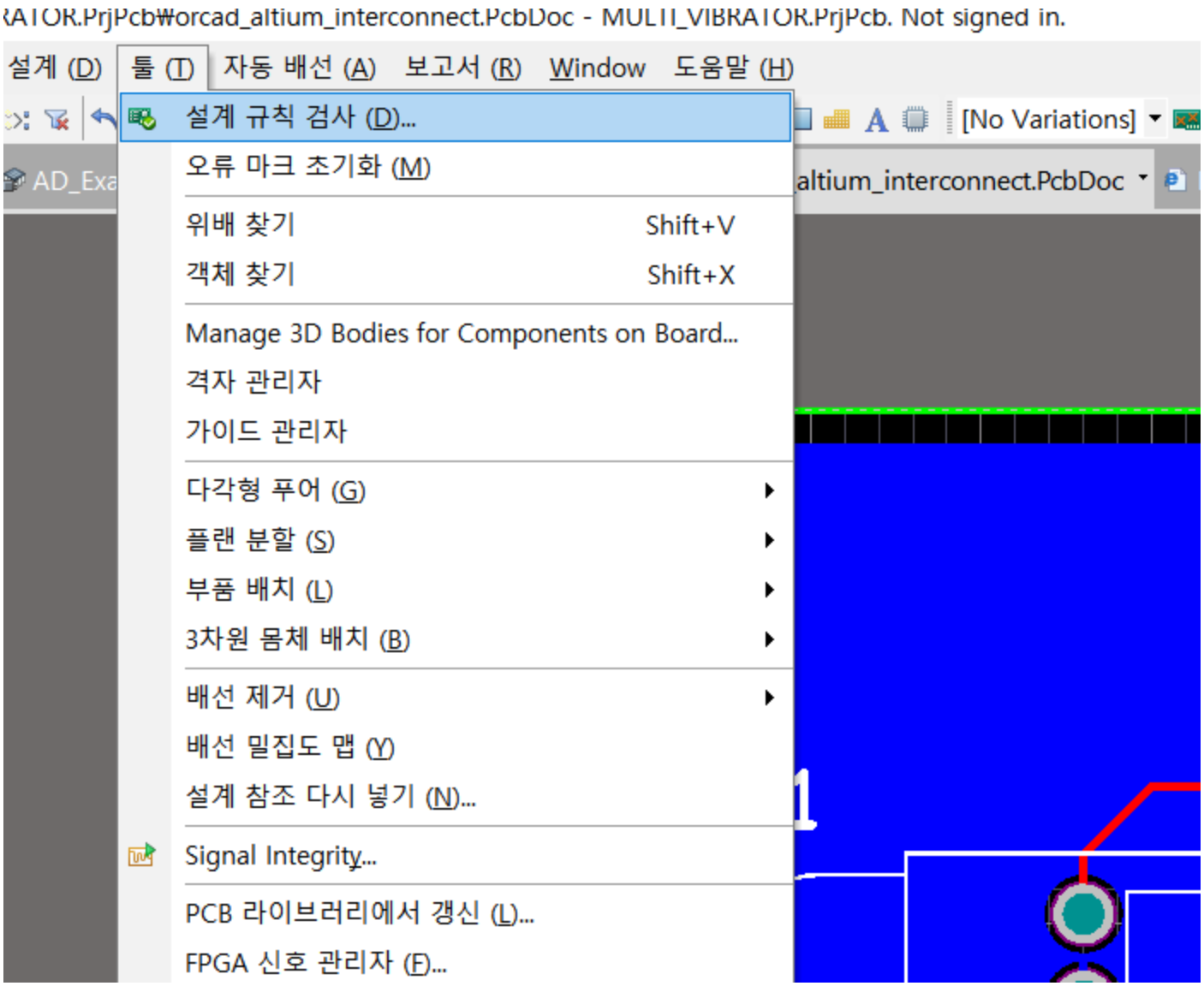
Pour Over Same Net Polygons Only

떨어진 카퍼 제거 [ ]

확인 | 취소


D1
R1
J1


R1
D1
J1


ATOR.PrjPcb₩orcad_altium_interconnect.PcbDoc - MULTI_VIBRATOR.PrjPcb. Not signed in.
설계 (D)
툴 (T)
자동 배선 (A)
보고서 (R)
Window
도움말 (H)
[No Variations]
AD_Exa
altium_interconnect.PcbDoc
설계 규칙 검사 (D)...
오류 마크 초기화 (M)
위배 찾기 Shift+V
객체 찾기 Shift+X
Manage 3D Bodies for Components on Board...
격자 관리자
가이드 관리자
다각형 푸어 (G)
플랜 분할 (S)
부품 배치 (L)
3차원 몸체 배치 (B)
배선 제거 (U)
배선 밀집도 맵 (Y)
설계 참조 다시 넣기 (N)...
Signal Integrity...
PCB 라이브러리에서 갱신 (L)...
FPGA 신호 관리자 (F)...

설계 규칙 검사 [mm]

- Report Options
- Rules To Check
  - Electrical
  - Routing
  - SMT
  - Testpoint
  - Manufacturing
  - High Speed
  - Placement
  - Signal Integrity

DRC 보고서 옵션

- [x] 보고서 파일 생성 (F)
- [x] 위배 생성 (T)
- [x] 보조 네트 세부 사항 (N)
- [x] 카퍼 쇼트 검사
- [x] SMT 패드위 홀 보고서 (D)
- [x] 다중 레이어의 0 홀 보고서 (M)

멈춤 (E) 500 개의 위배 찾을 때

플랜 분할 DRC 보고서 옵션

- [x] 플랜 절단 보고
- [x] 다음보다 큰 고립 지역 보고 0.065 sq. mm
- [x] 다음보다 작은 단열 패드 고립 보고 50% 가능한 카퍼

노트: 보고서 파일을 생성하려면 PCB 문서를 먼저 저장해야 합니다.
빠른 처리을 위하여 규칙 검사 항목은 필요한 항목만 활성화하세요. 노트: 옵션은 해당 규칙이 정의되었을 때 활성화 됩니다.
실시간 DRC는 사용자 작업의 설계 규칙 위배를 검사합니다. 설계 규칙 대화 상자에서 포함하는 설계 규칙은 특정 규칙 형식에 대한 시험을 할 수 있습니다.

설계 규칙 검사 실행 (R)... 확인 취소

Verification Report

2018-08-24
¿ÀÈÄ 6:24:58
00:00:01
C:\altium_pcb\Imported MULTI VIBRATOR.PrjPcb\orcad_altium_interconnect.PcbDoc

Warni
Rule V

Messages

Class	Document	Source	Message	Time	Date	No.

	Count
Total	**0**

	Count
	0
	0
	0
	0
	0
	0
	0
	0
t (Min=0.254mm) (Max=0.254mm) (Preferred=0.254mm) (All)	0
nect Rule(Relief Connect)(Expansion=0.508mm) (Conductor Width=0.254mm) (Air Gap=0.254mm) (Entries=4) (All)	0
raint (Gap=0.254mm) (All),(All)	0