

TI DSP, MCU, Xilinx Zynq FPGA

프로그래밍 전문가 과정

회로도, 시뮬레이션, PCB 디자인 – 라이브러리 사용

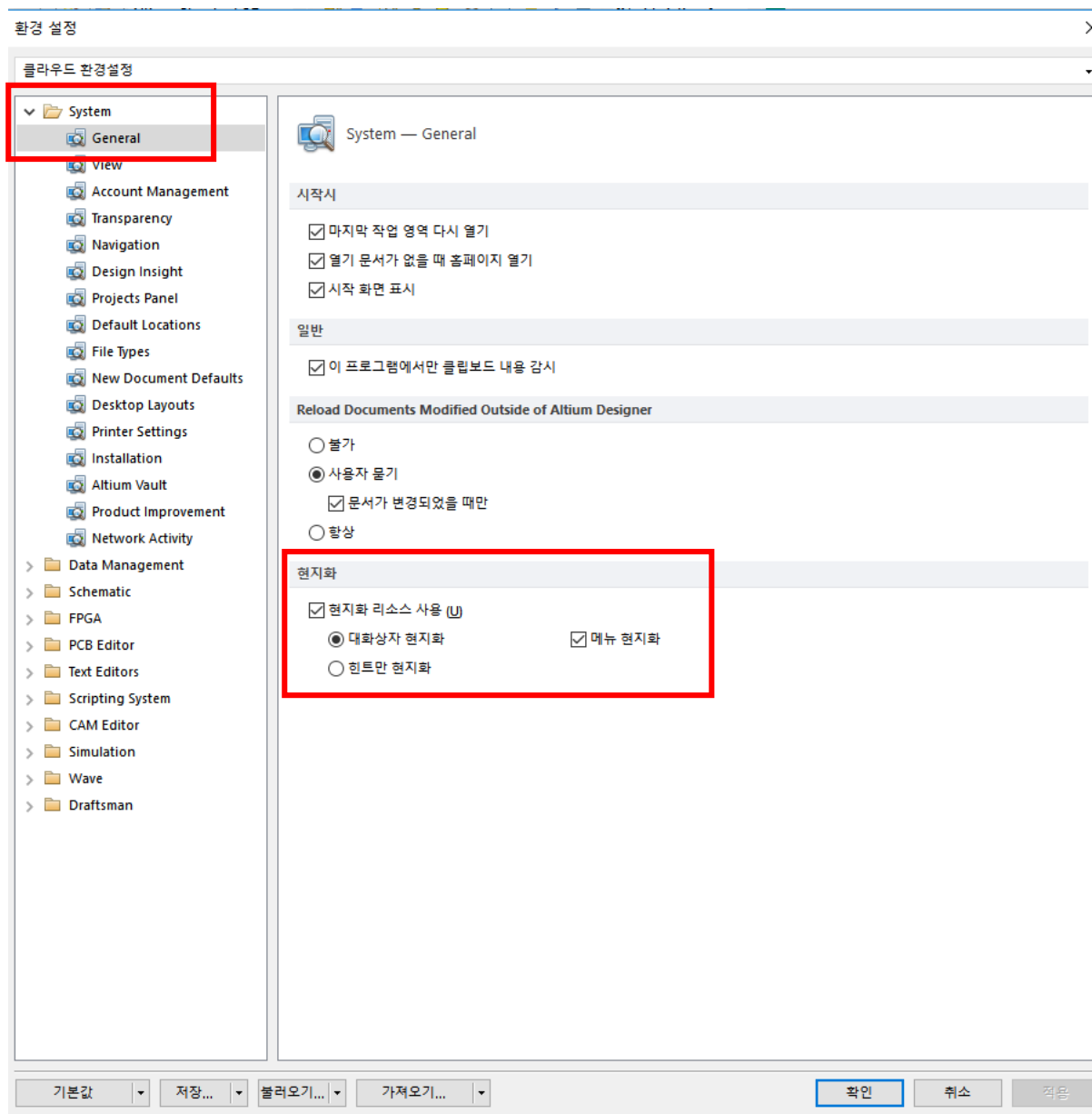
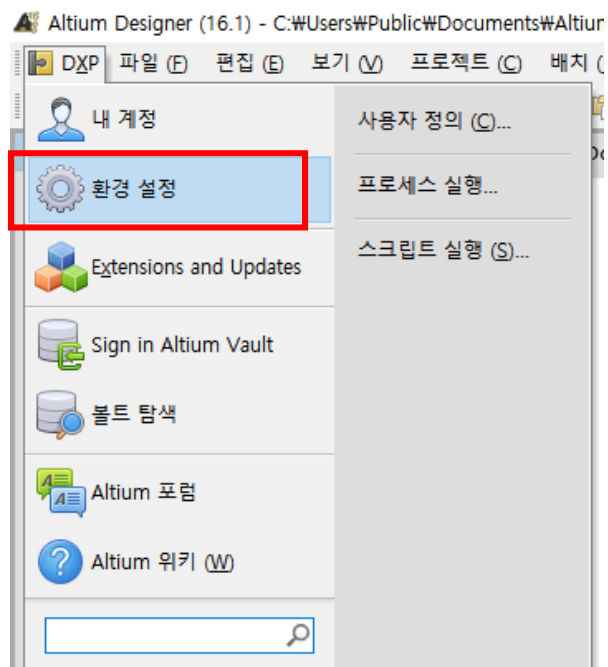
2018.09.01

강사 – Innova Lee(이상훈)
gcccompil3r@gmail.com

학생 – 안상재
sangjae2015@naver.com

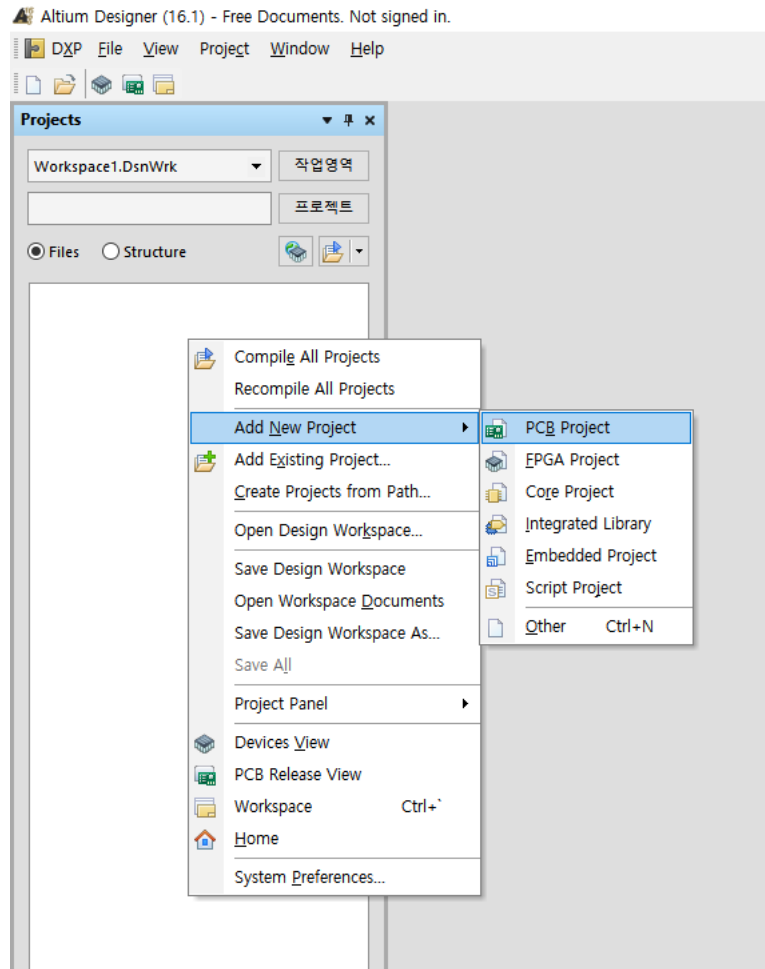
1. 회로도 작성
2. 시뮬레이션
3. PCB Design

- 한글화

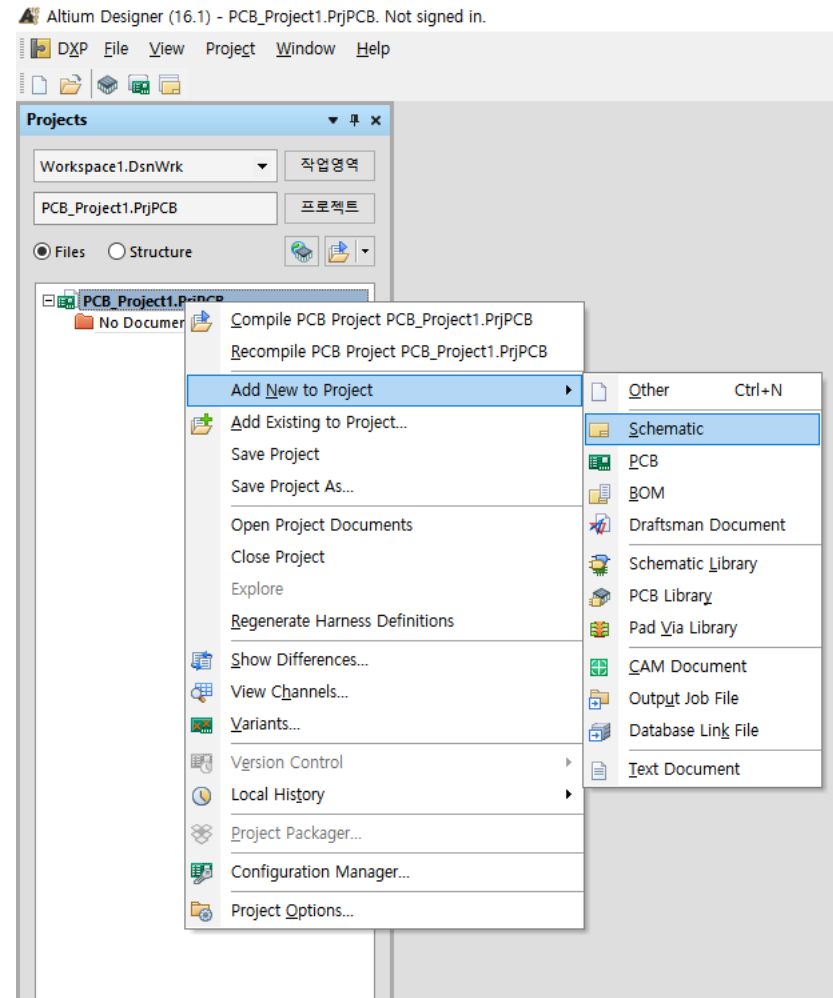


1. 회로도 작성

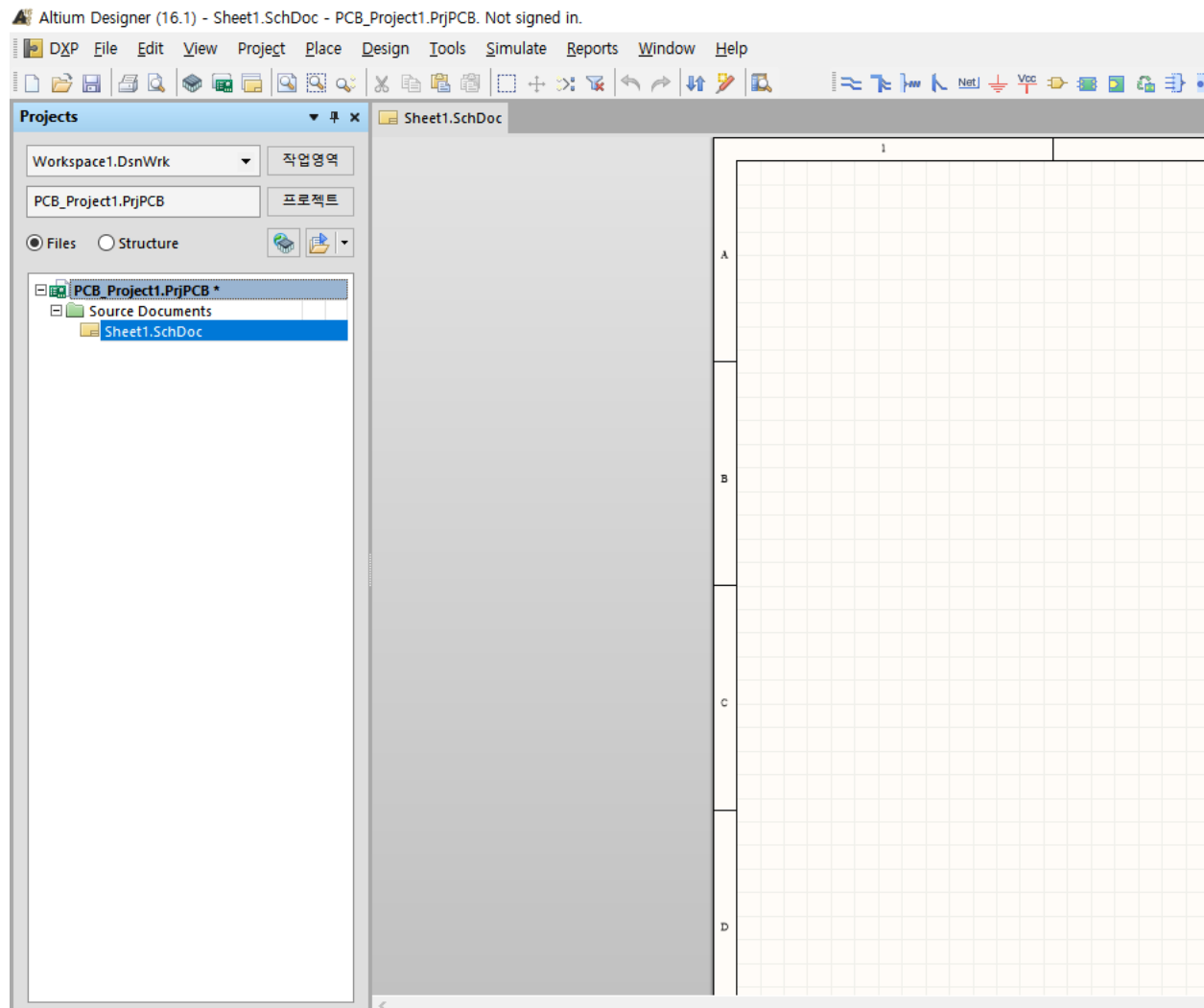
- 프로젝트 생성



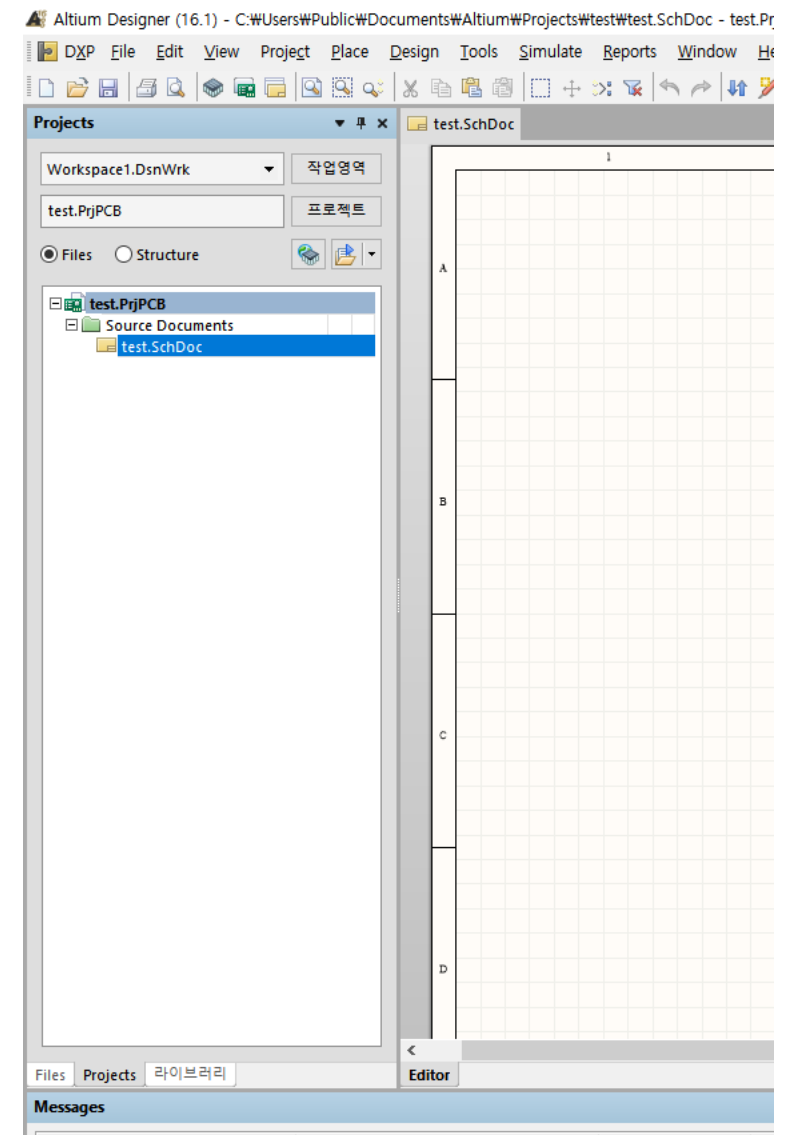
PCB Project 생성



Schematic 생성

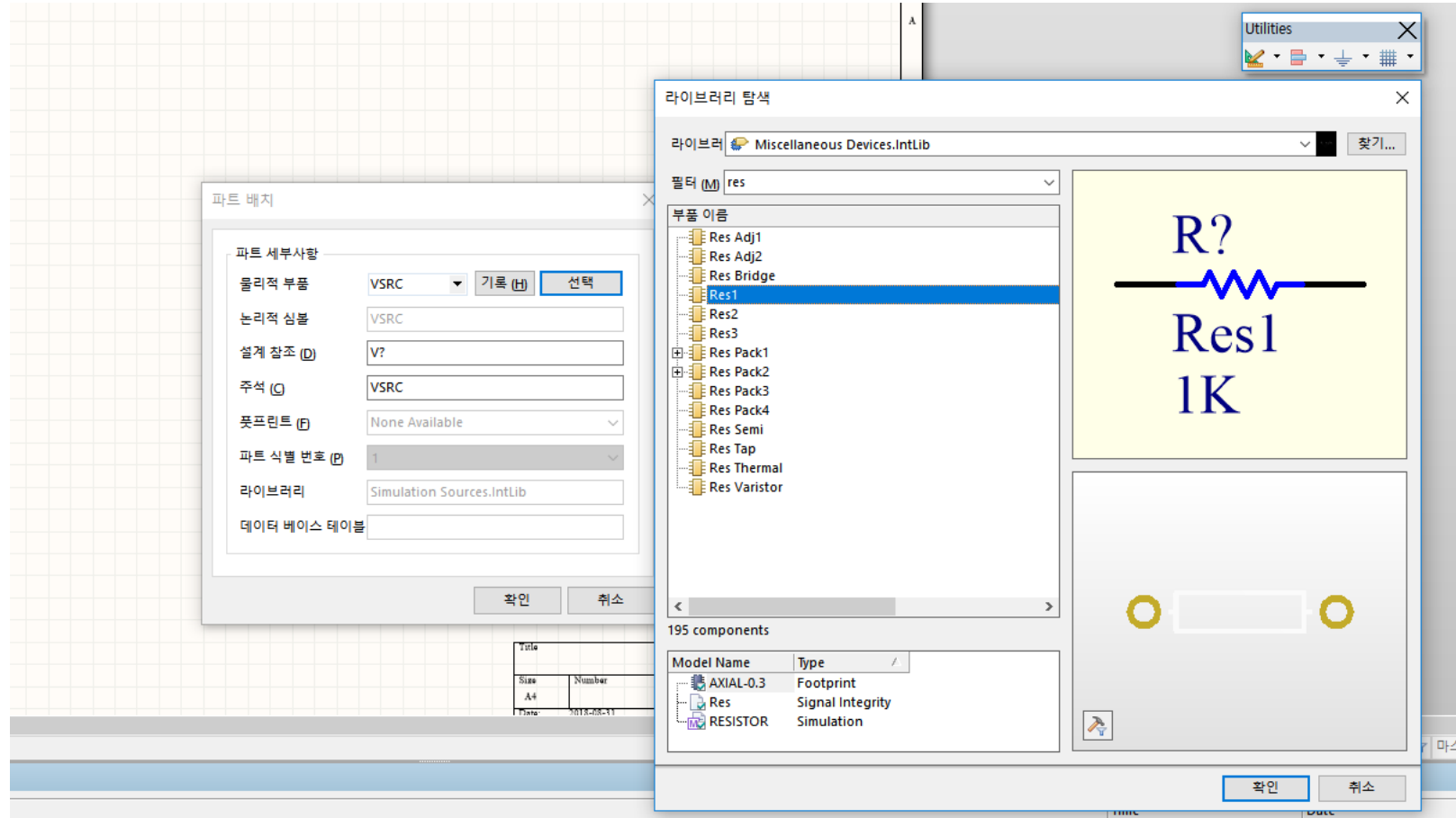


PCB Project 안에 Schematic Document 가 생성된 모습



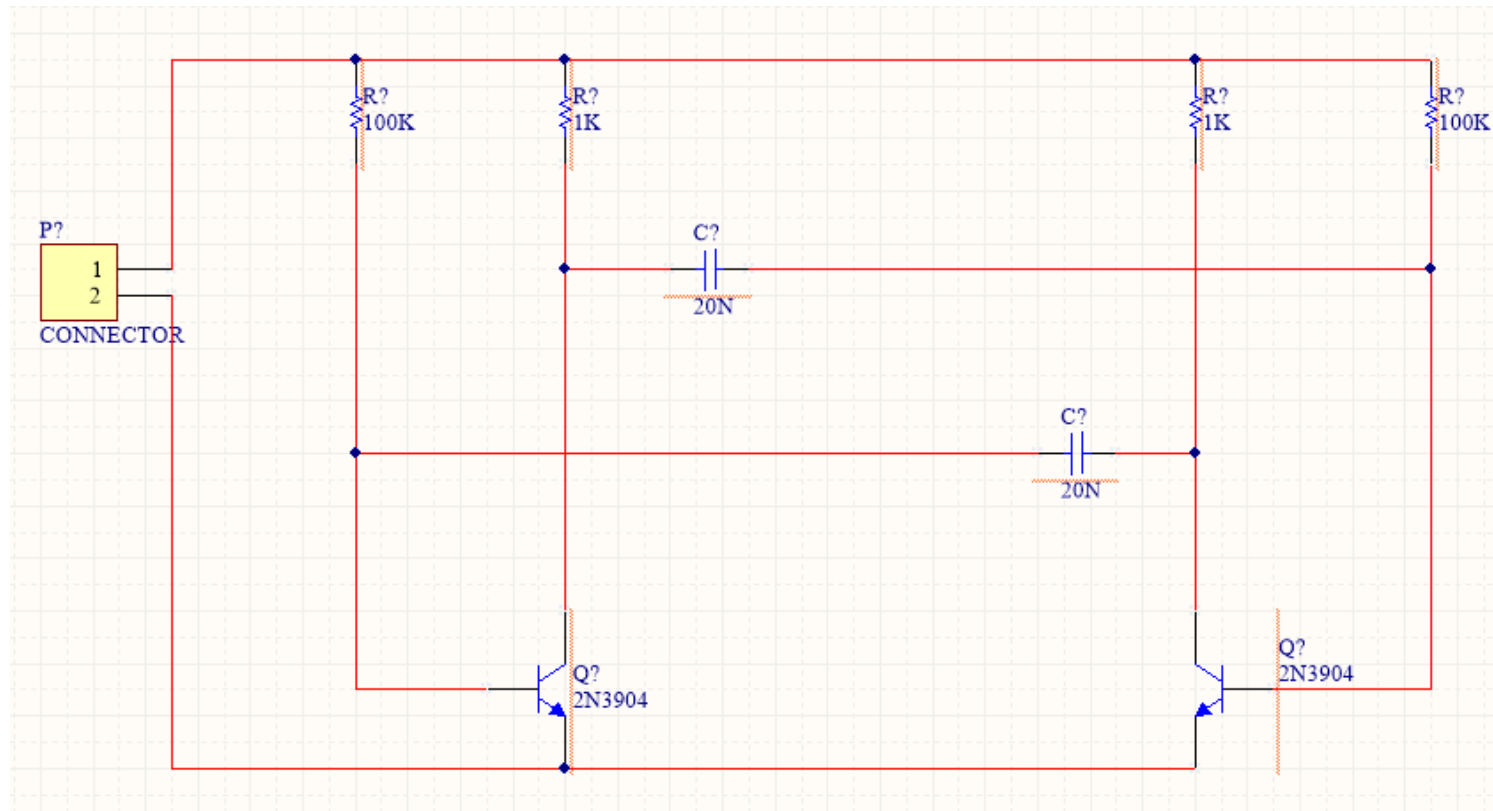
"test" 이름으로 저장

- 라이브러리를 사용한 회로도 작성



- 회로도 작성

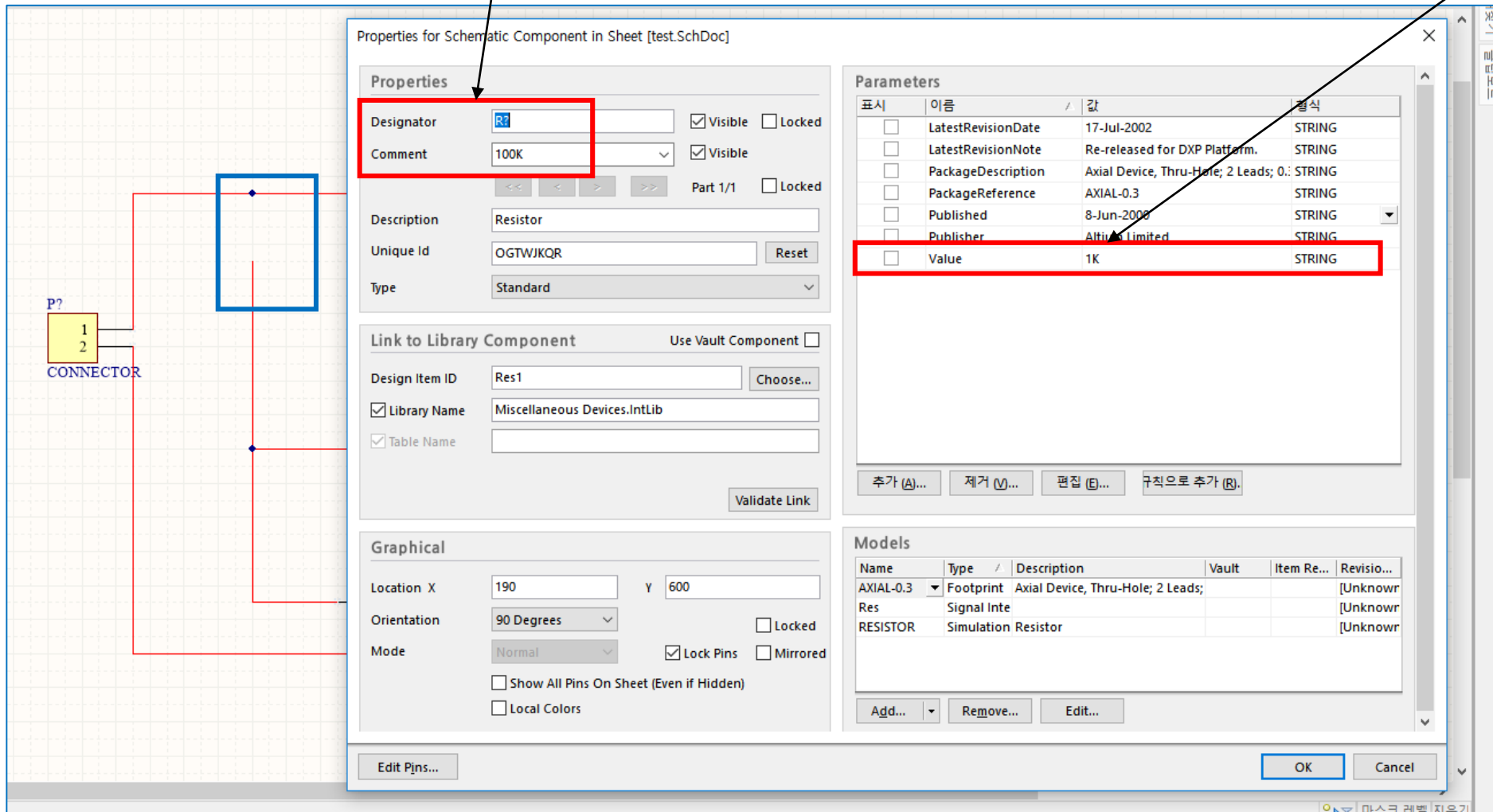
- 배선 : p + w



Designator : 부품명

Comment : PCB Design을 하기 위한 부품의 값

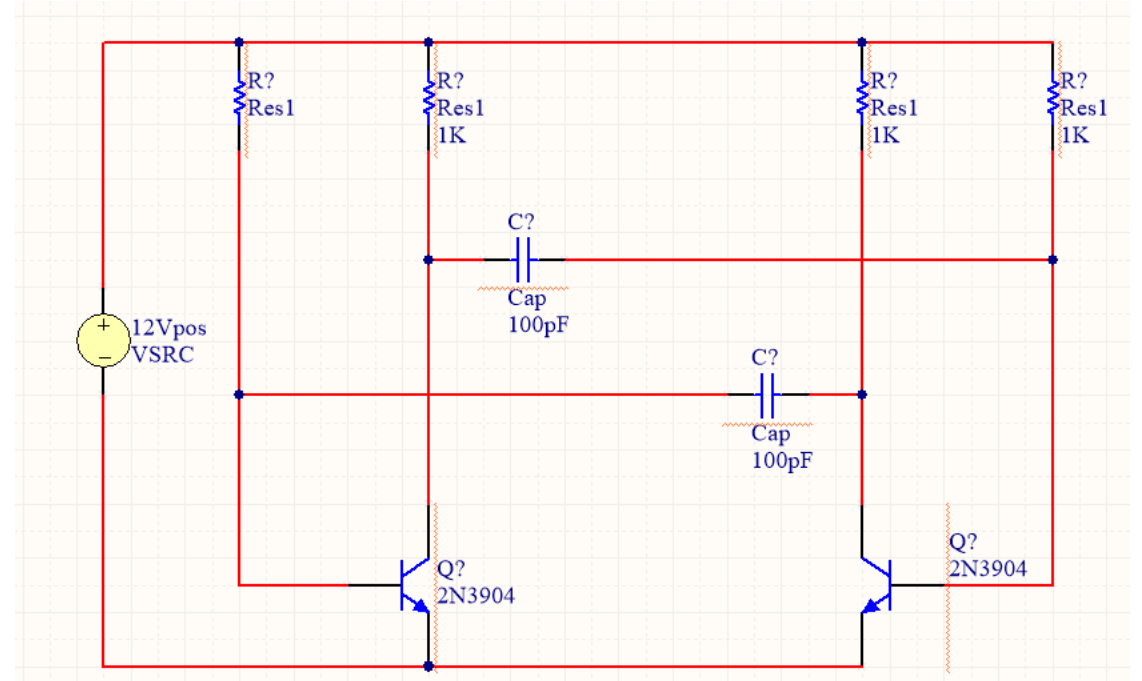
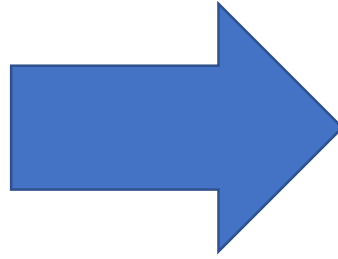
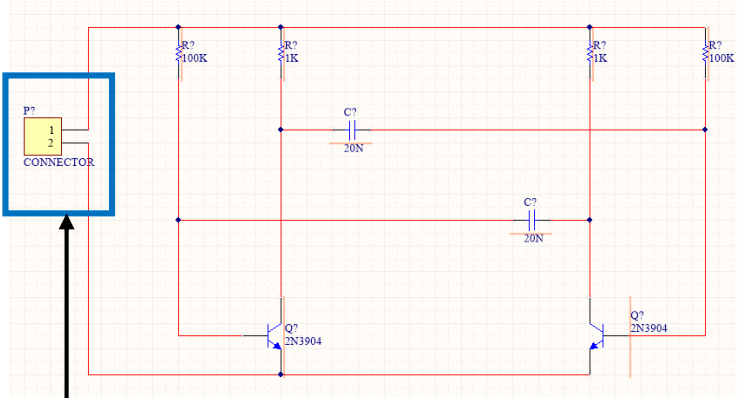
Value : 시뮬레이션을 하기 위한 부품의 값



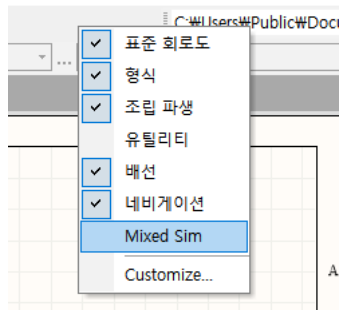
-> PCB Design을 할 때에는 value에 값을 넣지 말고, Comment에 값을 써준다.

-> 시뮬레이션을 할 때에는 Comment에 값을 넣지 말고, Value 에 값을 써준다.

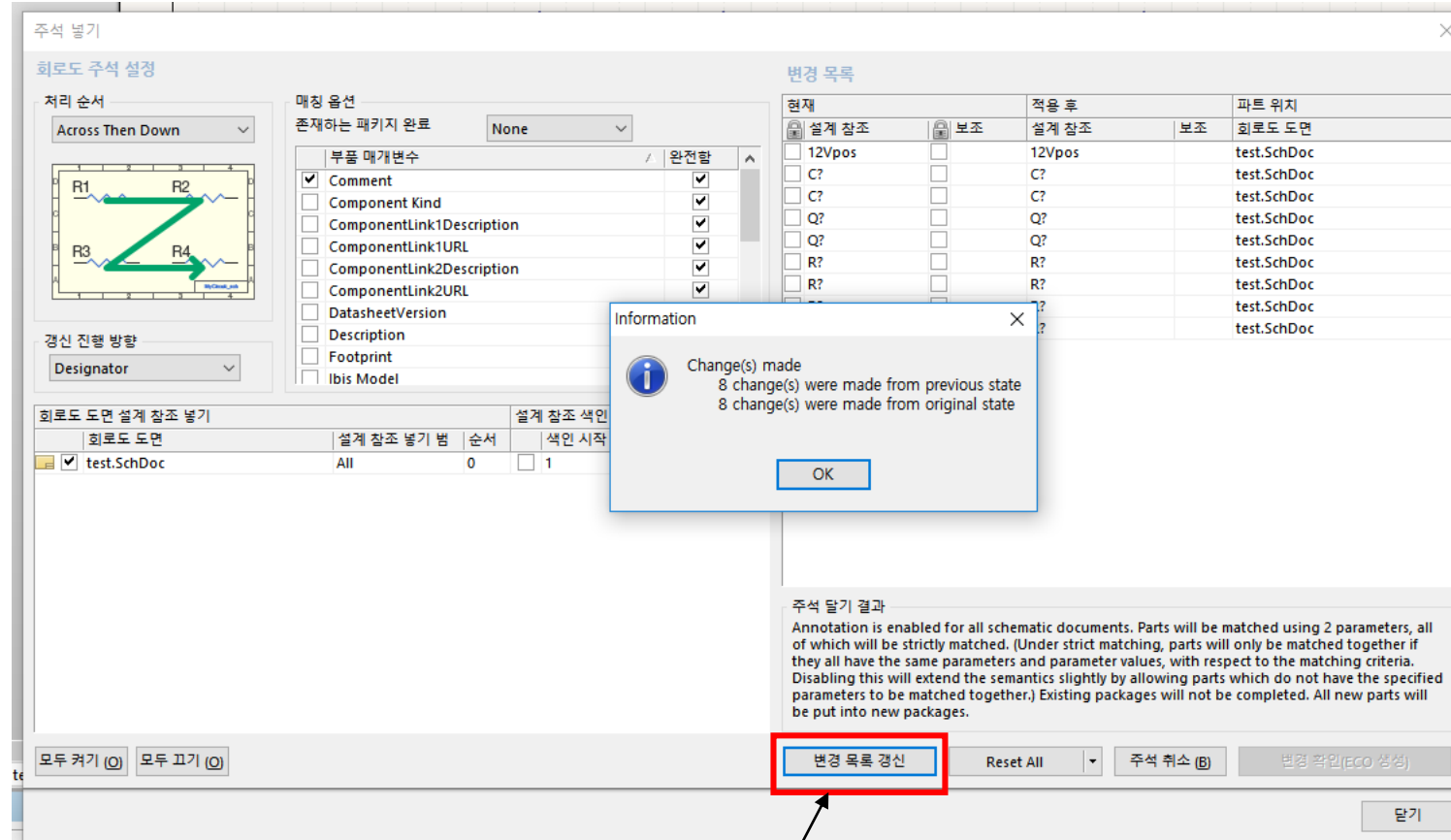
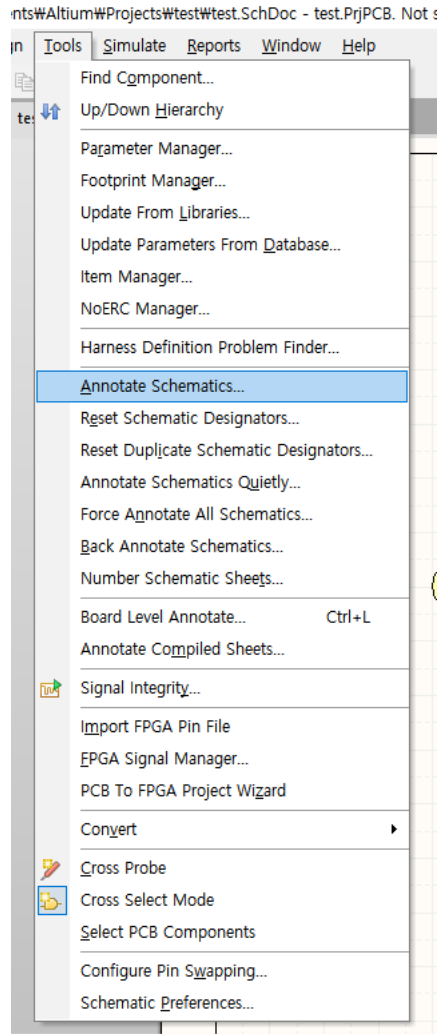
2. 시뮬레이션 하기



시뮬레이션을 하기 위해서는 **Simulation Source**를 사용해야 한다!
Header 2를 **Simulation Source**의 전원 부품으로 변경해야 한다!



- 부품 번호 매기기 (Annotate Schematic)



클릭

모든 설계 참조 체크 후, 변경 확인 클릭

주석 놓기

회로도 주석 설정

처리 순서
Across Then Down

경신 진행 방향
Designator

회로도 도면 설계 참조 놓기

| 회로도 도면 | 설계 참조 놓기 범 | 순서 | 색인 시작 | 고리 글자 |
|---|------------|----|----------------------------|-------|
| <input checked="" type="checkbox"/> test.SchDoc | All | 0 | <input type="checkbox"/> 1 | |

매칭 옵션
존재하는 패키지 완료 None

부품 매개변수 / 완전함

| 부품 매개변수 | 완전함 |
|--|-------------------------------------|
| <input checked="" type="checkbox"/> Comment | <input checked="" type="checkbox"/> |
| <input type="checkbox"/> Component Kind | <input checked="" type="checkbox"/> |
| <input type="checkbox"/> ComponentLink1Description | <input checked="" type="checkbox"/> |
| <input type="checkbox"/> ComponentLink1URL | <input checked="" type="checkbox"/> |
| <input type="checkbox"/> ComponentLink2Description | <input checked="" type="checkbox"/> |
| <input type="checkbox"/> ComponentLink2URL | <input checked="" type="checkbox"/> |
| <input type="checkbox"/> DatasheetVersion | <input checked="" type="checkbox"/> |
| <input type="checkbox"/> Description | <input checked="" type="checkbox"/> |
| <input type="checkbox"/> Footprint | <input checked="" type="checkbox"/> |
| <input type="checkbox"/> Ibis Model | <input checked="" type="checkbox"/> |

변경 목록

| 현재 | 보조 | 적용 후 | 보조 | 파트 위치 |
|--|--------------------------|--------|----|-------------|
| <input checked="" type="checkbox"/> 12Vpos | <input type="checkbox"/> | 12Vpos | | test.SchDoc |
| <input checked="" type="checkbox"/> C? | <input type="checkbox"/> | C1 | | test.SchDoc |
| <input checked="" type="checkbox"/> C? | <input type="checkbox"/> | C2 | | test.SchDoc |
| <input checked="" type="checkbox"/> Q? | <input type="checkbox"/> | Q2 | | test.SchDoc |
| <input checked="" type="checkbox"/> Q? | <input type="checkbox"/> | Q1 | | test.SchDoc |
| <input checked="" type="checkbox"/> R? | <input type="checkbox"/> | R1 | | test.SchDoc |
| <input checked="" type="checkbox"/> R? | <input type="checkbox"/> | R2 | | test.SchDoc |
| <input checked="" type="checkbox"/> R? | <input type="checkbox"/> | R3 | | test.SchDoc |
| <input checked="" type="checkbox"/> R? | <input type="checkbox"/> | R4 | | test.SchDoc |

기술 변경 명령

| 변경 | 활성 | 활동 | 영향 대상 | 영향 문서 | 상태 |
|-----------------------|-------------------------------------|--------|----------|-------|-------------|
| Annotate Component(s) | <input checked="" type="checkbox"/> | Modify | C? -> C1 | In | test.SchDoc |
| | <input checked="" type="checkbox"/> | Modify | C? -> C2 | In | test.SchDoc |
| | <input checked="" type="checkbox"/> | Modify | Q? -> Q1 | In | test.SchDoc |
| | <input checked="" type="checkbox"/> | Modify | Q? -> Q2 | In | test.SchDoc |
| | <input checked="" type="checkbox"/> | Modify | R? -> R1 | In | test.SchDoc |
| | <input checked="" type="checkbox"/> | Modify | R? -> R2 | In | test.SchDoc |
| | <input checked="" type="checkbox"/> | Modify | R? -> R3 | In | test.SchDoc |
| | <input checked="" type="checkbox"/> | Modify | R? -> R4 | In | test.SchDoc |

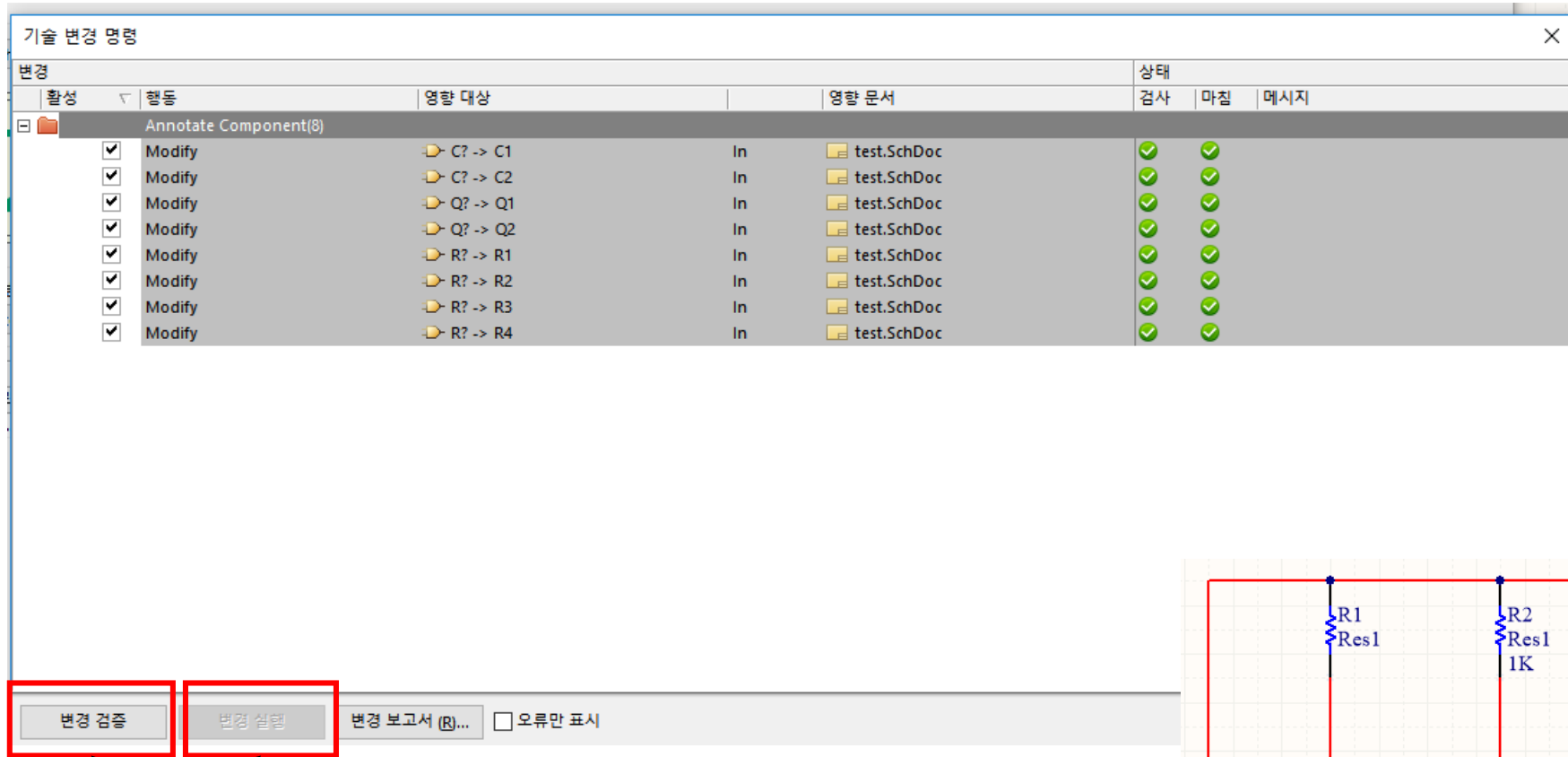
변경 검증 변경 실행 변경 보고서(B) ☐ 오류만 표시 닫기

주석 달기 결과

Annotation is enabled for all schematic documents. Parts will be matched using 2 parameters, all of which will be strictly matched. (Under strict matching, parts will only be matched together if they all have the same parameters and parameter values, with respect to the matching criteria. Disabling this will extend the semantics slightly by allowing parts which do not have the specified parameters to be matched together.) Existing packages will not be completed. All new parts will be put into new packages.

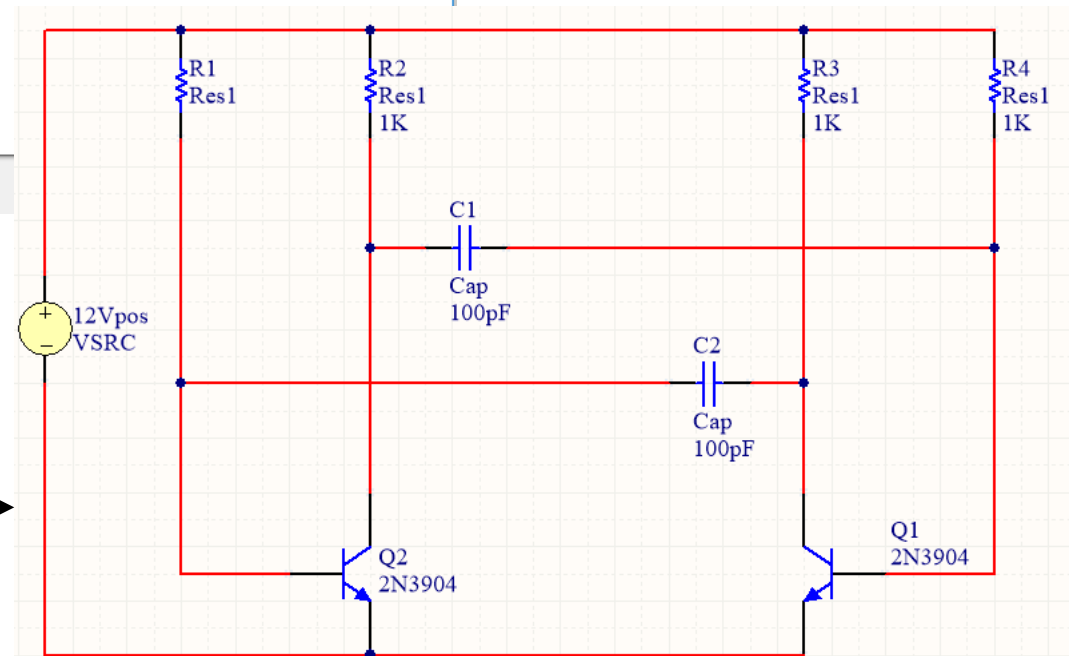
모두 켜기 (Q) 모두 끄기 (Q) 변경 목록 경신 Reset All 주석 취소 (B) 변경 확인(ECO 생성) 닫기

클릭하면 오류가 보임



변경 검증 클릭 후, 변경 실행 클릭

자동으로 번호가 매겨진 모습



- 부품 값 기입

=Value 를 선택하고 Visible칸에 체크해준다.

Properties for Schematic Component in Sheet [test.SchDoc]

Properties

Designator: R1 ☒ Visible ☐ Locked

Comment: =Value ☒ Visible

Description: Resistor

Unique Id: EHWUFJTG

Type: Standard

Link to Library Component ☐ Use Vault Component

Design Item ID: Res1

☒ Library Name: Miscellaneous Devices.IntLib

☒ Table Name:

Graphical

Location X: 150 Y: 660

Orientation: 90 Degrees ☐ Locked

Mode: Normal ☒ Lock Pins ☐ Mirrored

☐ Show All Pins On Sheet (Even if Hidden)

☐ Local Colors

Parameters

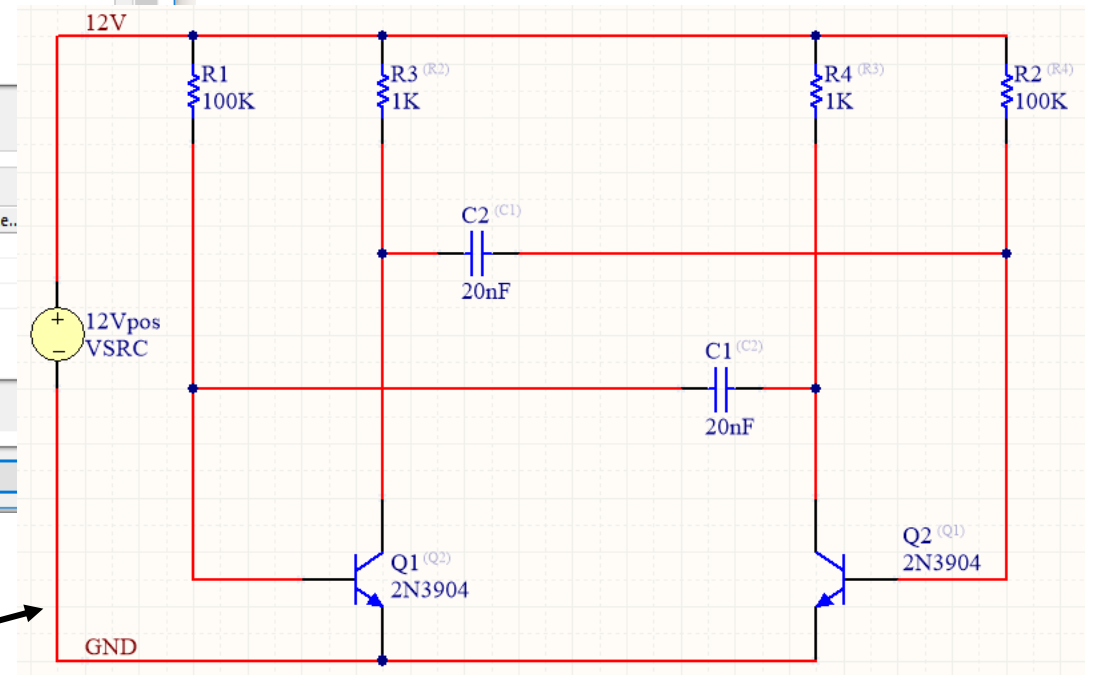
| 표시 | 이름 | 값 | 형식 |
|--------------------------|--------------------|---------------------------------------|--------|
| <input type="checkbox"/> | LatestRevisionDate | 17-Jul-2002 | STRING |
| <input type="checkbox"/> | LatestRevisionNote | Re-released for DXP Platform. | STRING |
| <input type="checkbox"/> | PackageDescription | Axial Device, Thru-Hole; 2 Leads; 0.1 | STRING |
| <input type="checkbox"/> | PackageReference | AXIAL-0.3 | STRING |
| <input type="checkbox"/> | Published | 8-Jun-2000 | STRING |
| <input type="checkbox"/> | Publisher | Altium Limited | STRING |
| <input type="checkbox"/> | Value | 100K | STRING |

Models

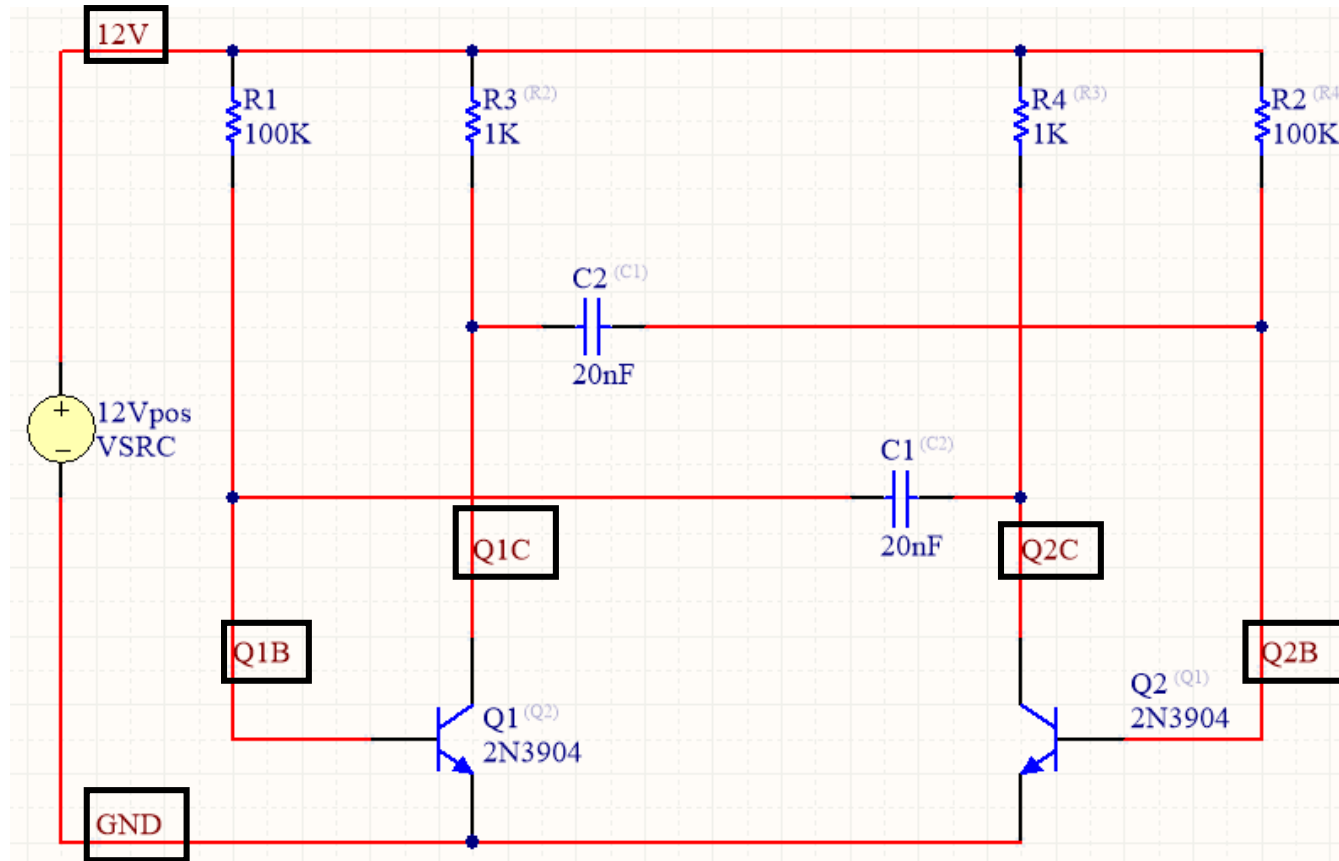
| Name | Type | Description | Vault | Item Re.. |
|-----------|---------------------|-----------------------------------|-------|-----------|
| AXIAL-0.3 | Footprint | Axial Device, Thru-Hole; 2 Leads; | | |
| Res | Signal Inte | | | |
| RESISTOR | Simulation Resistor | | | |

시뮬레이션을 하기 위해 Value 칸에 적절한 값을 넣어준다.

우측의 회로도처럼 부품명과 Value 값만 표시된다.



- Net Label 기입

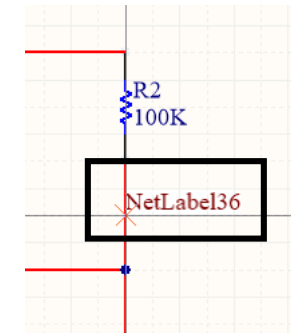


다른 건 몰라도 GND 라벨이 없으면 시뮬레이션 설정을 못함.

-> 에러 메시지가 뜸

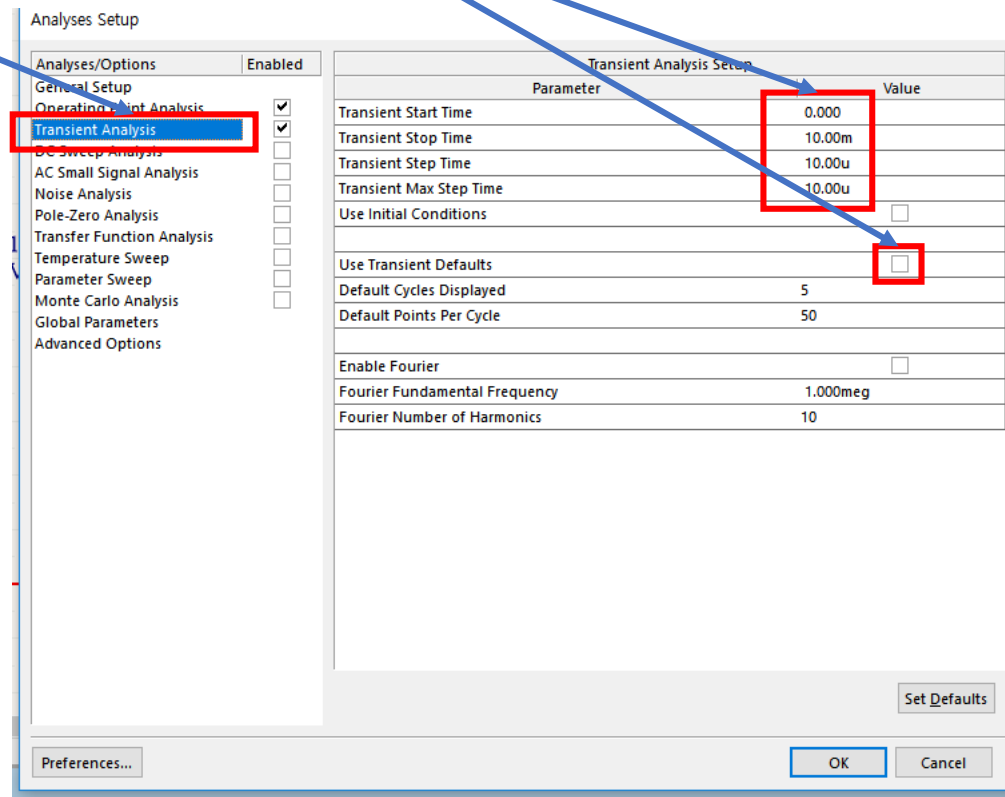
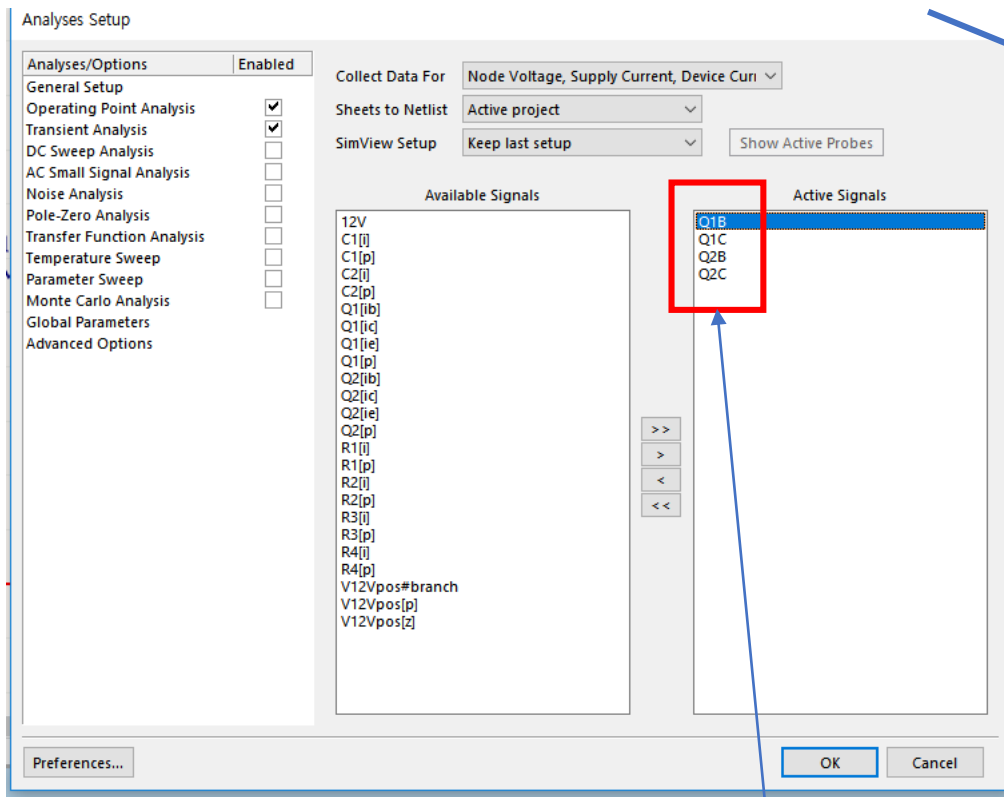
* 주의할 점

-> Net Label 을 기입할 때 반드시 해당 wire에 맞춰서 클릭을 해야한다.

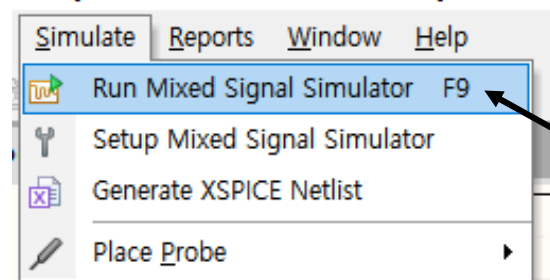


Use Transient Defaults 를 체크 해제하면 Time Setup을 수정할 수 있다.

클릭



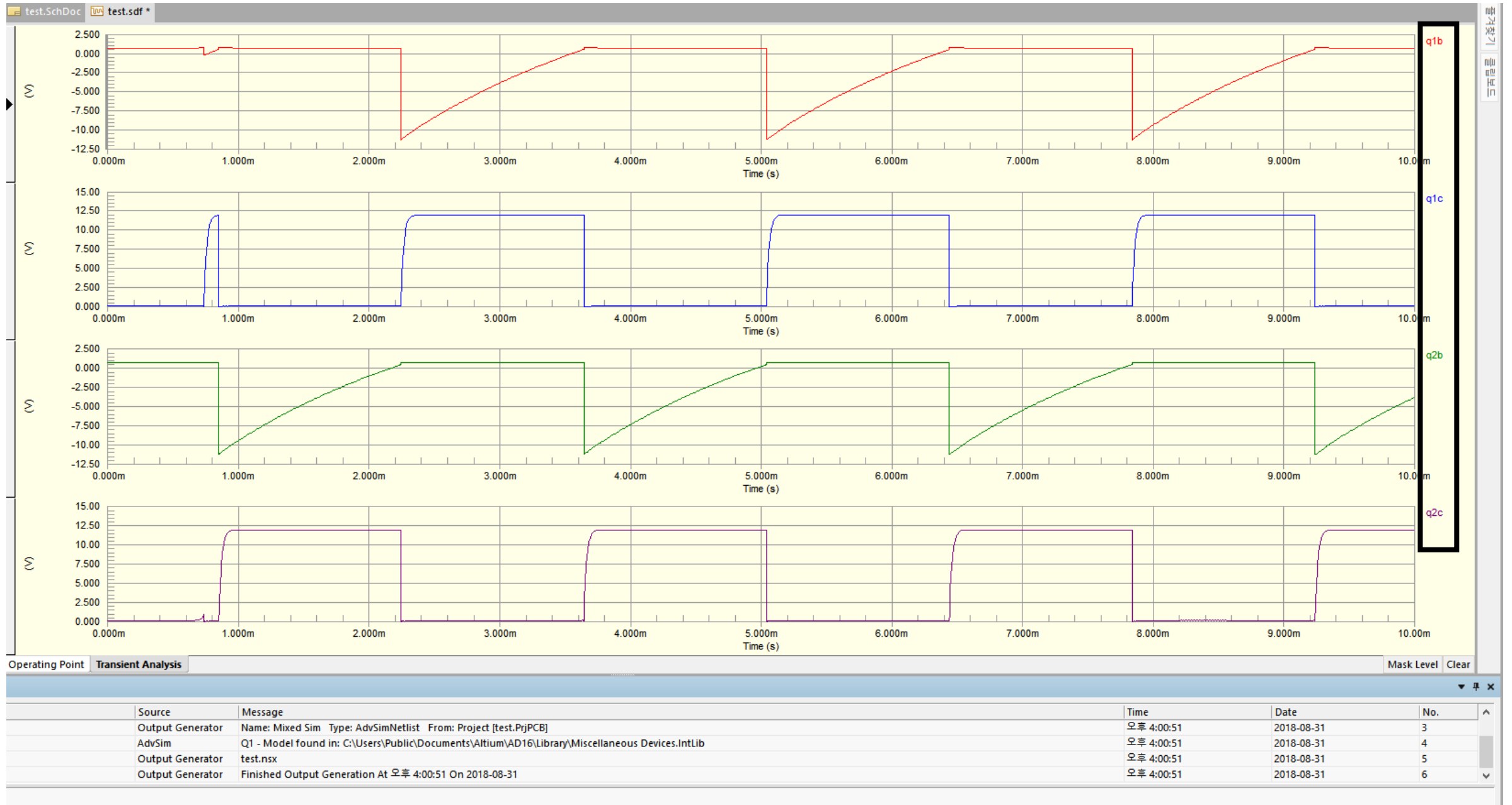
\\\\Projects\\test\\test.SchDoc - test.PrjPCB. Not



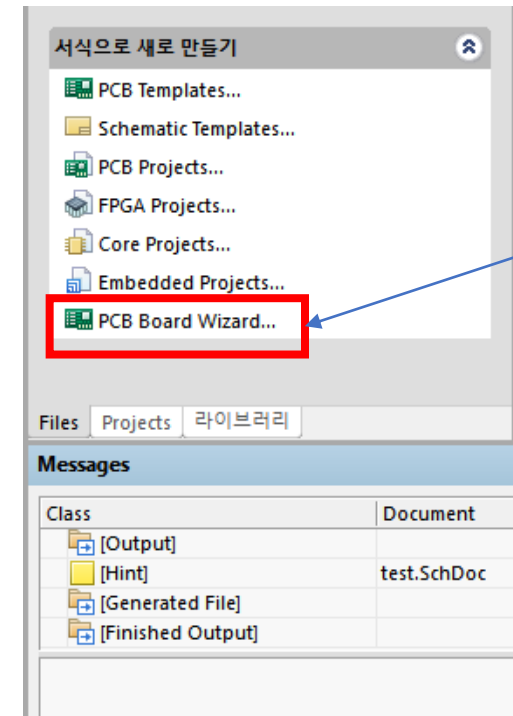
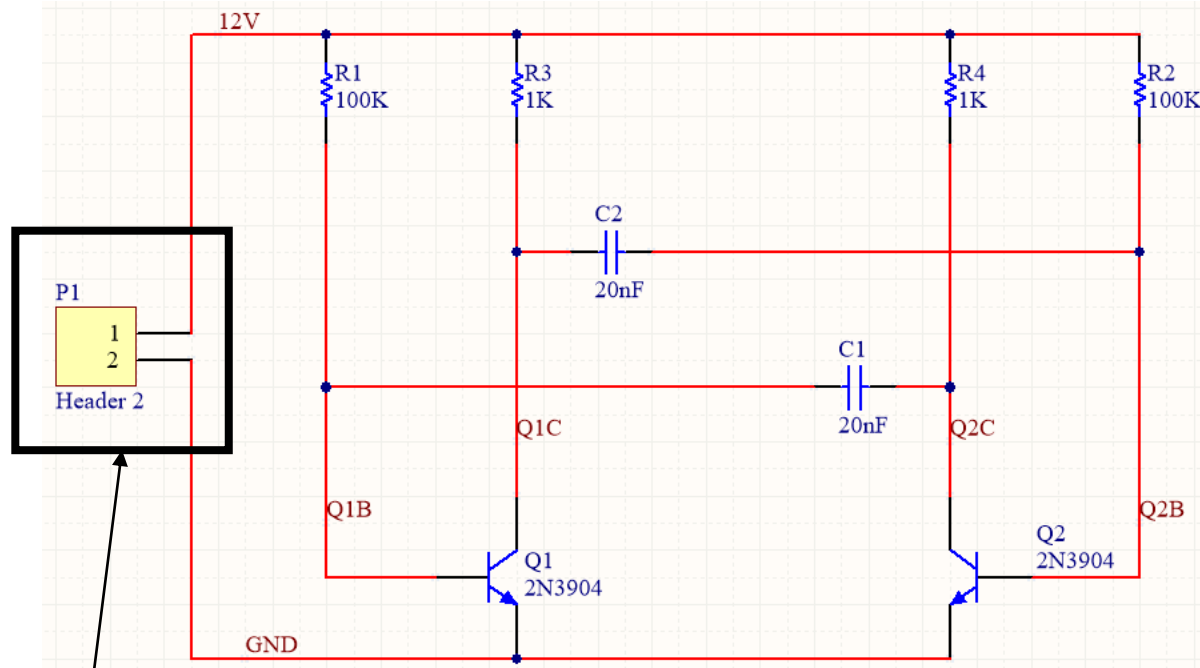
시뮬레이션을 보고자 하는 Net를 우측으로 옮김

시뮬레이션 실행

- 시뮬레이션 결과



3. PCB Design



Altium Designer 새로운 기판 마법사

이 마법사는 사용자가 새로운 인쇄 회로 기판을 생성하고 설정하는 것을 도와줍니다.

다음의 간단한 단계를 통하여 기판 배치 및 제조 매개 변수, 층 정보를 정의하도록 사용자에게 요구합니다.

PCB 기판 마법사

기판 단위 선택

기판 생성을 위한 측정 단위를 입력하세요.

기판 설계에 사용할 단위를 선택하세요.

- ☐ 인치 (I)
☒ 밀리미터 (M)

PCB 기판 마법사

기판 세부정보 선택

기판 세부정보 선택

외곽 모양:

- ☒ 사각형 (R)
☐ 원형 (C)
☐ 사용자 정의 (M)

기판 크기:

폭 (W) 50.0 mm
높이 (H) 50.0 mm

지수 레이어 (L) Mechanical Layer 1

경계선 폭 (L) 0.3 mm

지수 선 폭 (L) 0.3 mm

기판 끝에서 접근 금지 거리 (G) 0.0 mm

- ☒ 표제한 및 크기 (S) ☐ 모서리 잘라냄 (O)
☒ 드릴 표 (G) ☐ 내부 잘라냄 (U)
☒ 지수 선 (E)

취소 (C)

이전 (B)

다음 (N) >

완료 (F)

취소 (C)

이전 (B)

다음 (N) >

완료 (F)

취소 (C)

이전 (B)

다음 (N) >

완료 (F)

PCB 기판 마법사

기판 레이어 선택
사용자의 설계에 쓰일 신호층 및 전원 플랜의 수를 설정하세요.

신호 레이어 (S):
2

전원 플랜 (P):
4

- TOP Layer
- BOTTOM Layer

취소 (C) 이전 (B) 다음 (N) > 완료 (F)

PCB 기판 마법사

비아 모양 선택
사용자의 설계에 쓰일 비아 모양을 선택하세요.

☒ 관통 비아만 (T)
☐ 내층 비아만 (I)

취소 (C) 이전 (B) 다음 (N) > 완료 (F)

PCB 기판 마법사

부품 및 배선 기술 선택

사용자가 사용할 부품 및 배선 모양을 선택하세요



주로 사용할 부품:

- ☒ 표면 실장 부품. (S)
- ☐ 관통 홀 부품. (H)

기판의 양면에 부품을 배치합니까?

- ☒ 예 (Y)
- ☐ 아니오 (N)



취소 (C)

이전 (B)

다음 (N) >

완료 (F)

PCB 기판 마법사

부품 및 배선 기술 선택

사용자가 사용할 부품 및 배선 모양을 선택하세요



주로 사용할 부품:

- ☐ 표면 실장 부품. (S)
- ☒ 관통 홀 부품. (H)

패드의 사이로 몇개의 선이 지나갑니까

- ☐ 하나의 선 (O)
- ☒ 두개의 선 (W)
- ☐ 세개의 선 (I)



취소 (C)

이전 (B)

다음 (N) >

완료 (F)

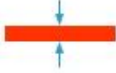
PCB 기판 마법사

기본 배선 및 비아 크기 선택

새로운 기판에 쓰일 배선 이격거리 및 비아 크기, 배선 크기의 최소값을 선택하세요.



최소 선 크기 (L) 0.2 mm



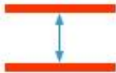
최소 비아 폭 (W) 1.0 mm



최소 비아 홀 크기 (H) 0.6 mm



최소 이격 거리 (G) 0.2 mm



취소 (C)

이전 (B)

다음 (N) >

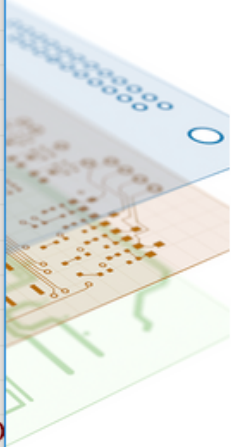
완료 (F)

PCB 기판 마법사

Altium Designer
기판 마법사가 완료되었습니다

사용자의 작업을 기판 마법사가 완료하였습니다.

아래의 완료 버튼을 클릭하여 이 창을 닫으세요.

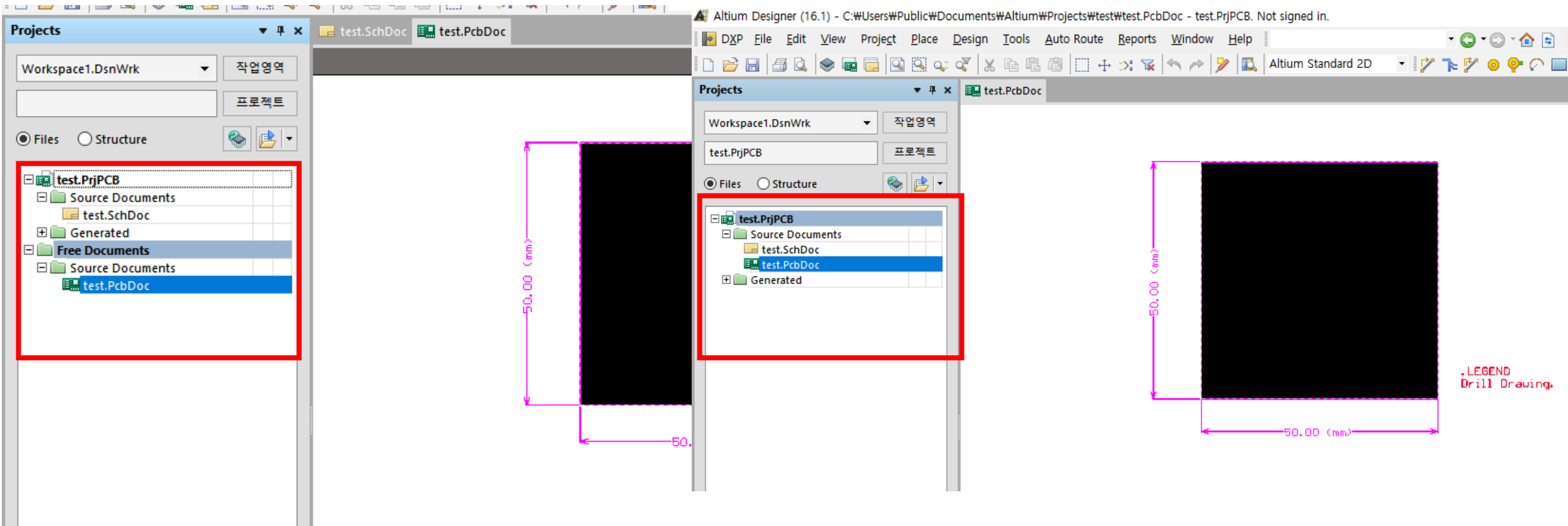


취소 (C)

이전 (B)

다음 (N) >

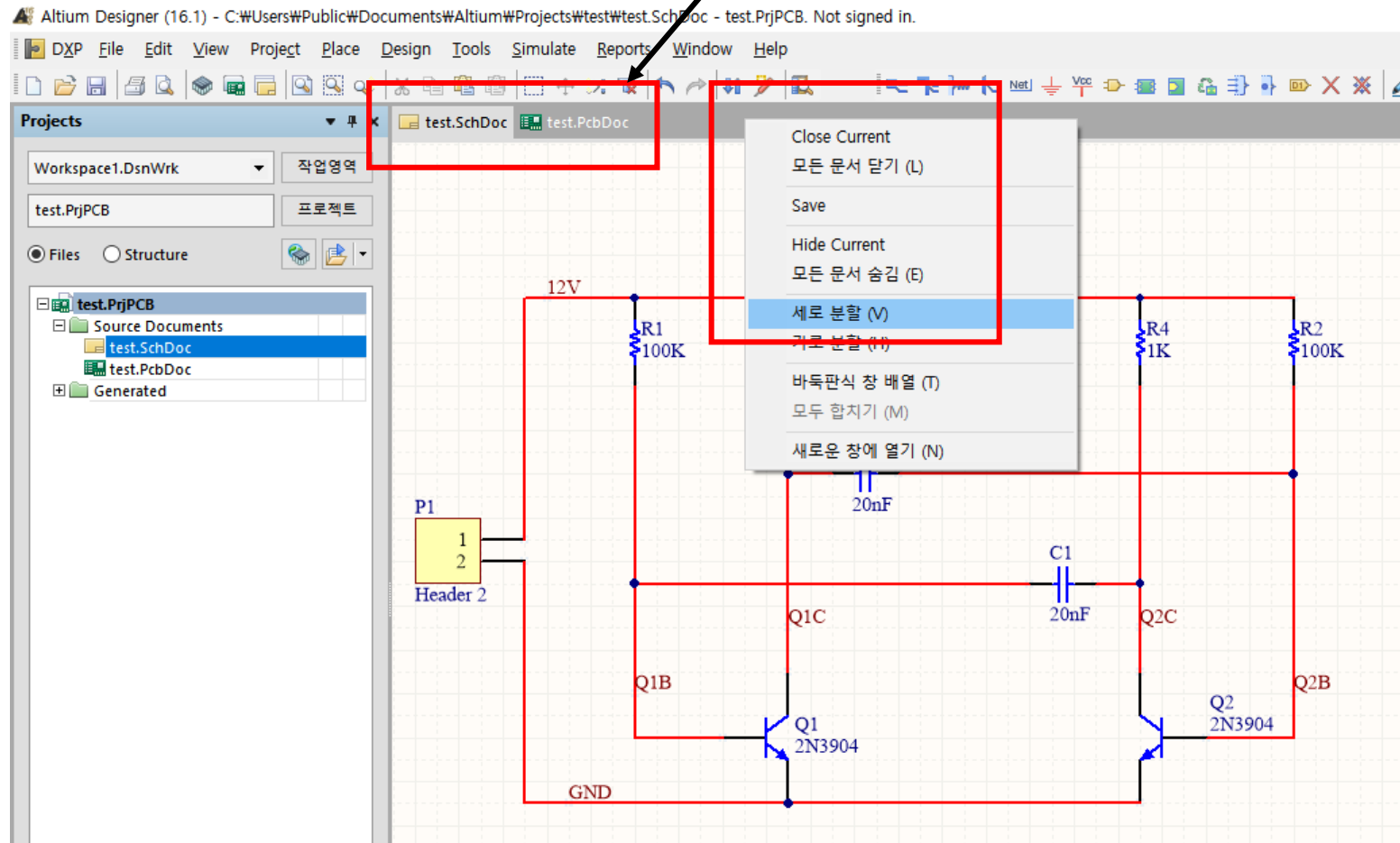
완료 (F)



- > PCB 기판 마법사를 완료하면 화면의 좌측에 Projects 탭에 Free Documents 아래에 PcbDoc 문서가 생성된다.
- > 회로도와 PCB를 연동을 시켜야 하기 때문에 두 파일이 같은 프로젝트 아래에 위치해야 한다.
- > 저장을 해준다.

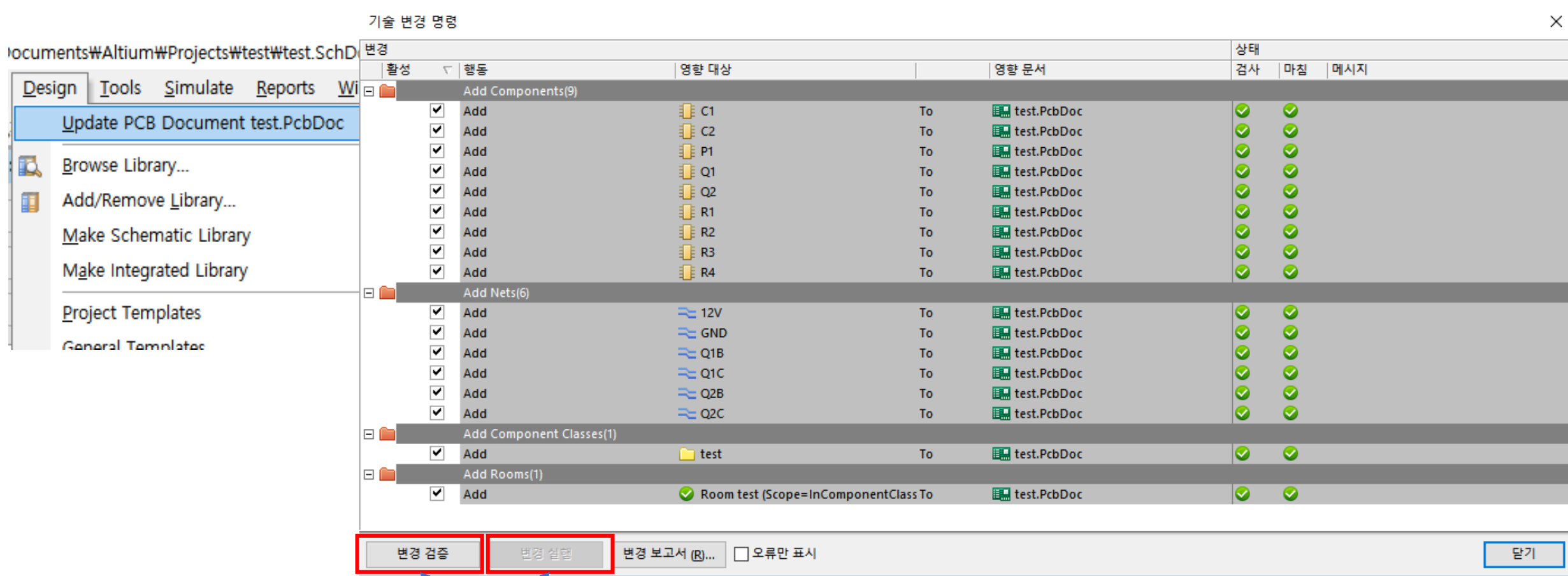
- 화면 분할

반드시 문서가 2개 이상이 열려있어야 분할이 가능함

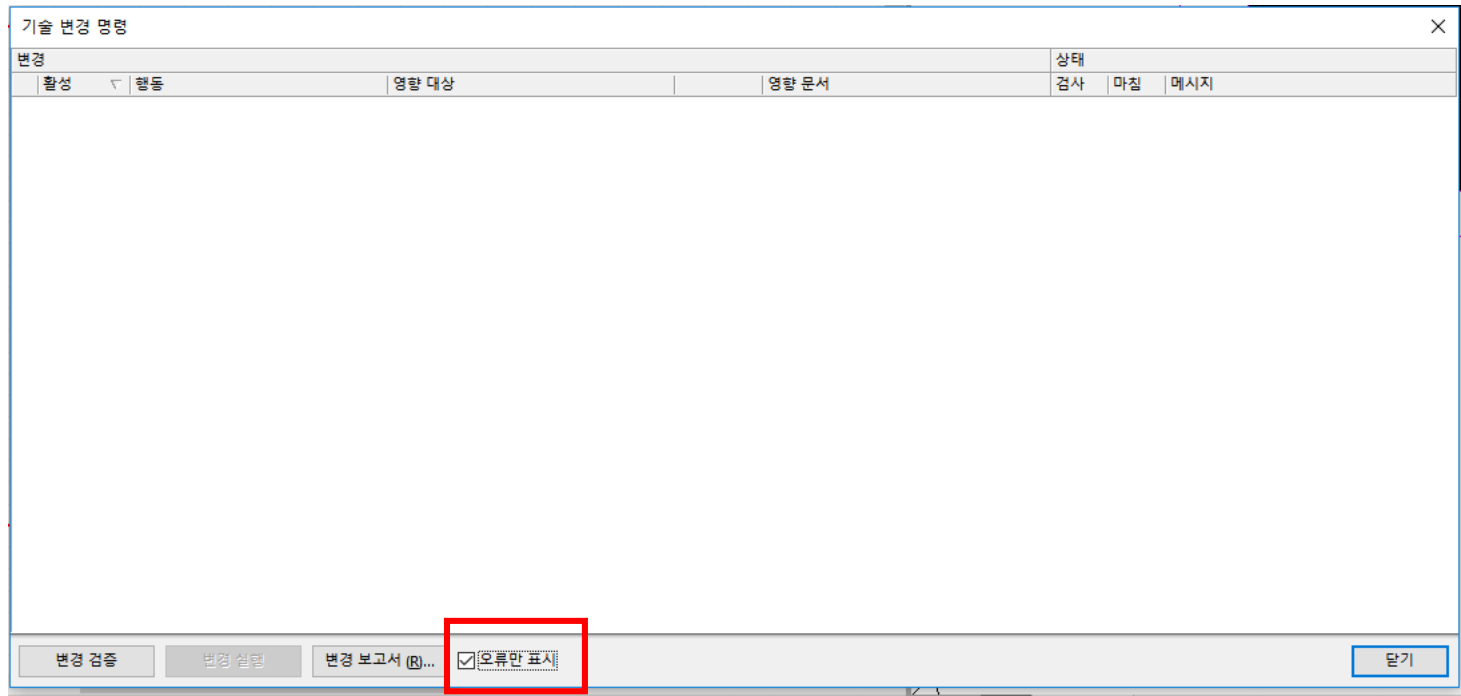


- Update PCB

-> 회로도에서 PCB로 이동하는 과정



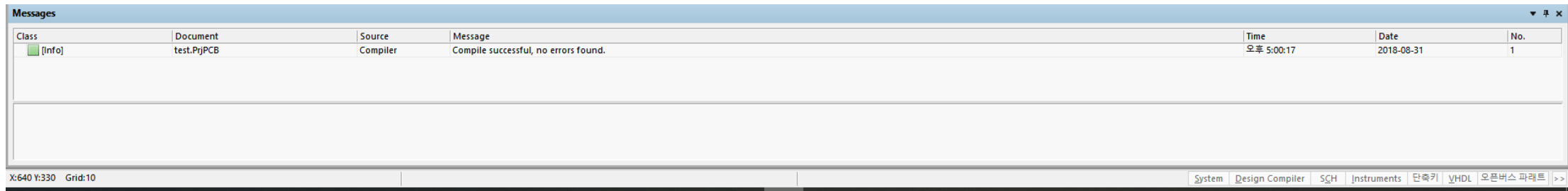
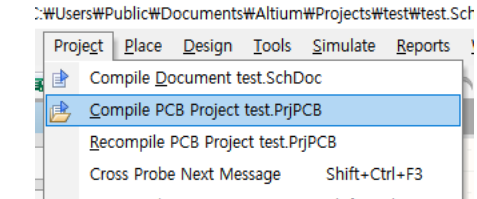
변경 검증 클릭 후 변경 실행 클릭



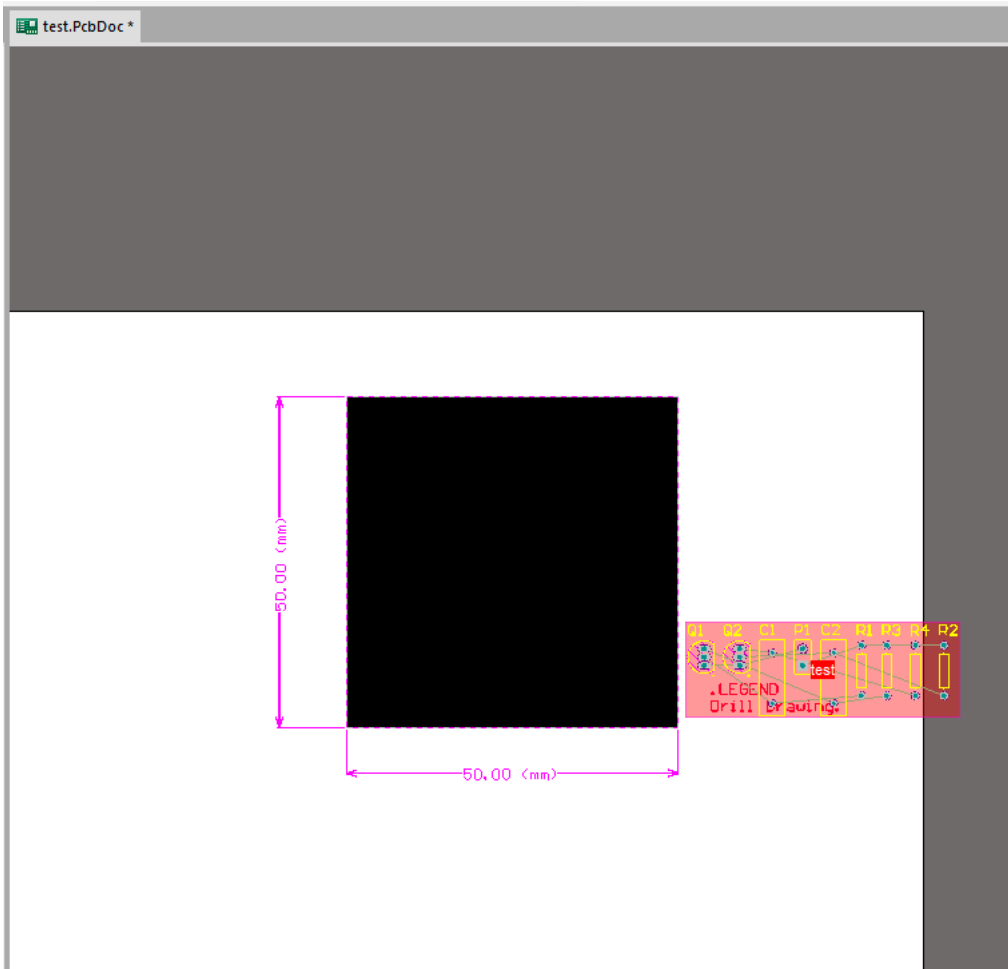
오류만 표시를 클릭 했을 때, 오류가 없으면 아무것도 나오지 않는다.

* 주의할 점

-> 회로도에서 PCB로 이동하는 과정은 Project Compile을 했을 경우 Error가 없는 상태에서 작업이 진행되어야 한다.

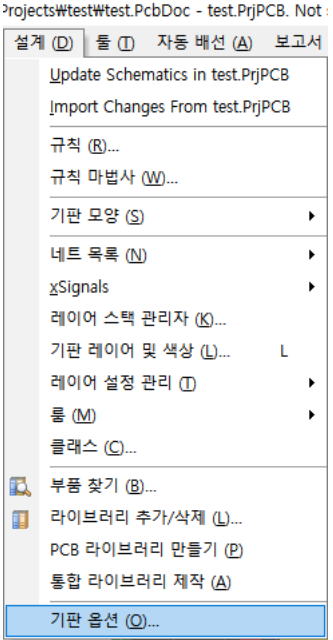
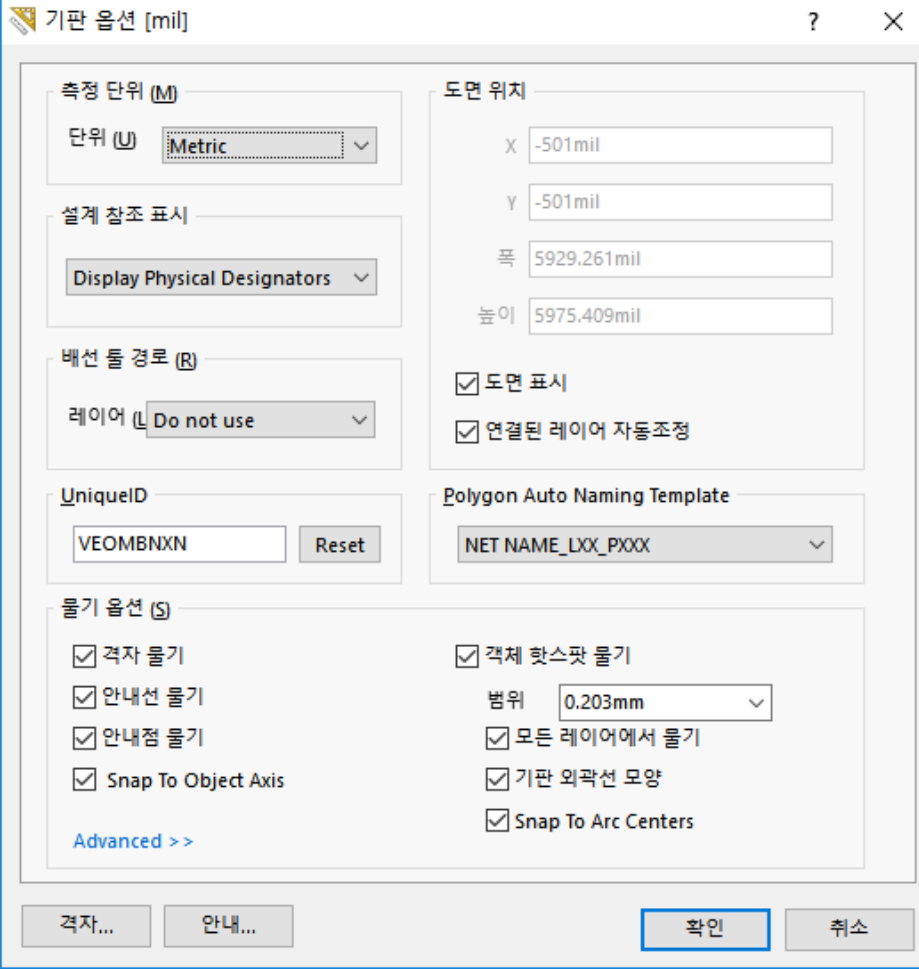


Message 창에 에러가 뜨지 않는다.



PcbDoc 문서에 회로도에서 사용한 부품이 올라옴

- 기판 옵션



- * 단위
- Metric : mm
- Imperial : mil

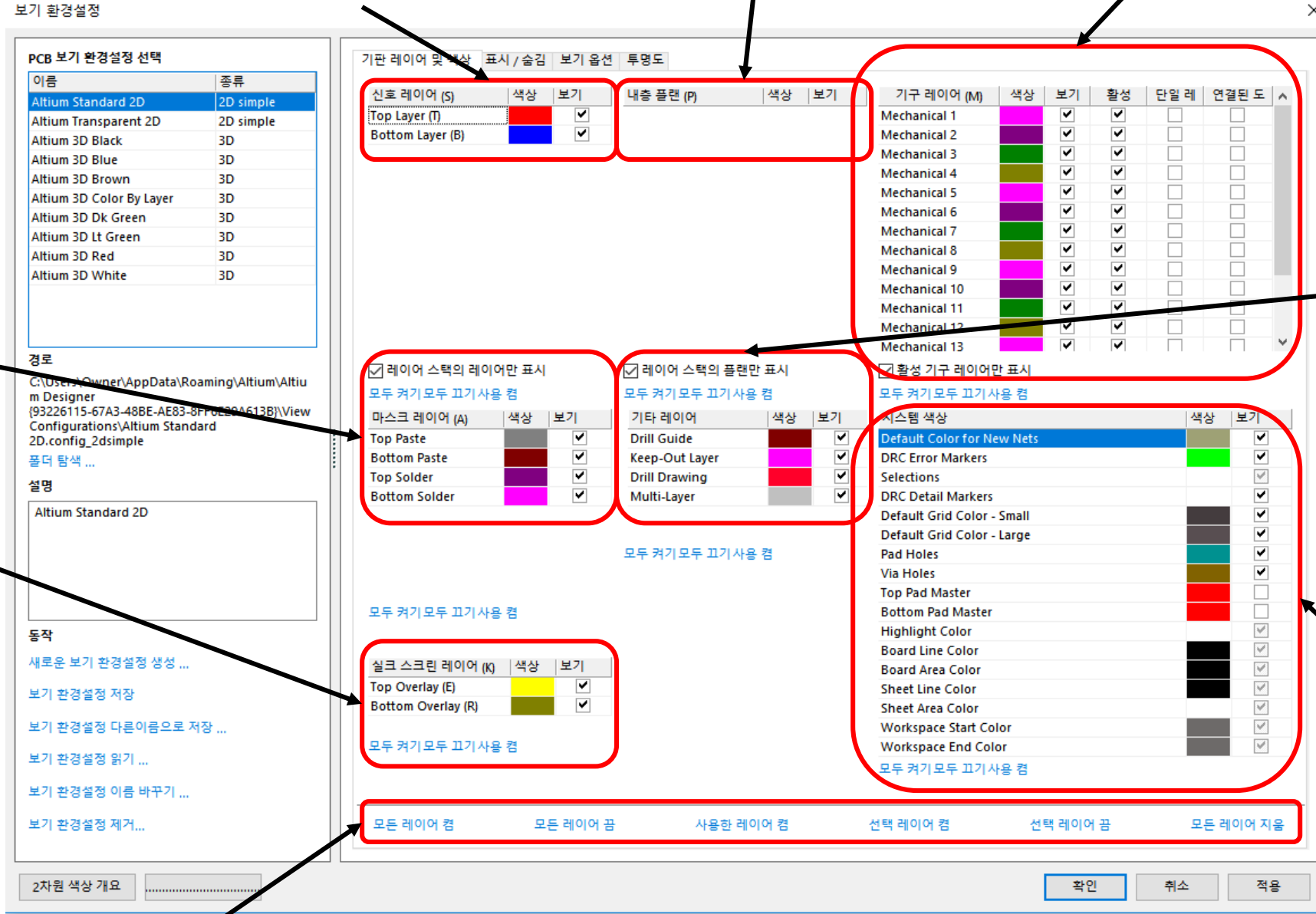
- Layer의 종류 및 색상

단축키 : L 버튼

Top Layer : 부품면 패턴
Bottom Layer : 솔더면 패턴

Power Plane : 내층 플랜

기구적인 Layer



드릴가이드
보드외각
드릴 심볼
Pad / via 표시

네트 색상
에러표시
선택
격자1
격자2
패드 톨
비아 톨
하이라이트
보드 라인
보드 영역
스위트 라인
스위트 영역
작업영역 시작
작업영역 끝

전체적인 레이어 컨트롤

패드 [mm]

0

Top Layer Bottom Layer Top Paste Top Solder Bottom Solder Bottom Paste **Multi-Layer**

Pad Template
Template: c120h70

Library Unlink

크기 및 모양

단순 위-중간-아래 전체 스택

| X 크기 | Y 크기 | 모양 | 모서리 반지름 (%) |
|-------|-------|-------------|-------------|
| 1.5mm | 1.5mm | Rectangular | 50% |

홀 정보

홀 크기: 0.9mm

Tolerance: + N/A - N/A

원형 (R) Rect 장홀

도금 ☒

속성

설계 참조: 1

레이어: Multi-Layer

네트: 12V

전기적 형식: Load

Pin/Pkg Length: 0mm

점퍼 고유번호: 0 잠금 ☐

테스트 포인트 설정

| | 앞 | 뒤 |
|-------|--------------------------|--------------------------|
| 제조 자료 | <input type="checkbox"/> | <input type="checkbox"/> |
| 조립 자료 | <input type="checkbox"/> | <input type="checkbox"/> |

확인 취소

홀 크기 및 모양 설정

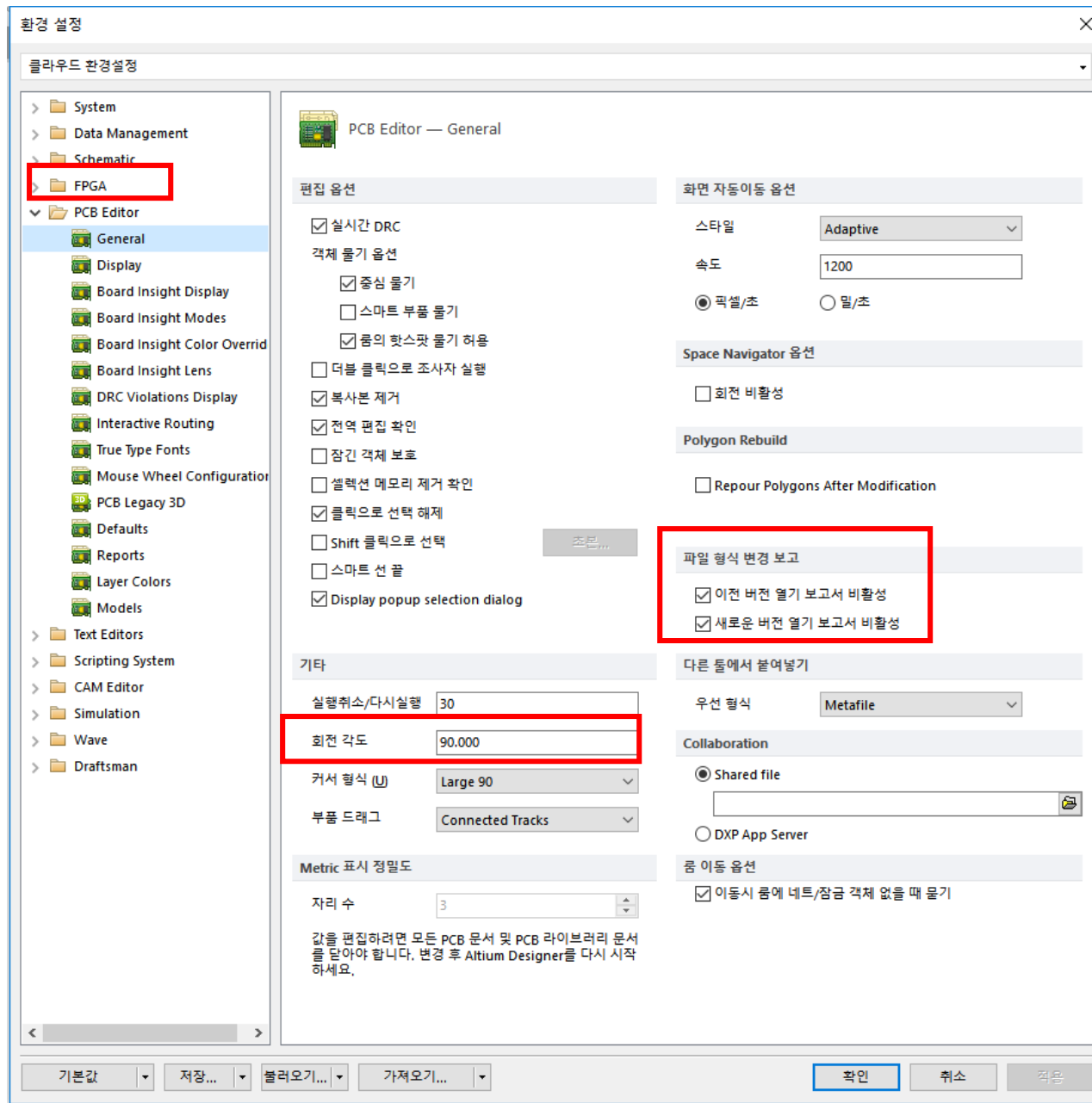
DIP : Multi-Layer
SMD : Top Layer



클릭 후 TAB 키 누르면 속성창 나옴

Land 크기 및
모양 설정

- PCB에 대한 기본 설정



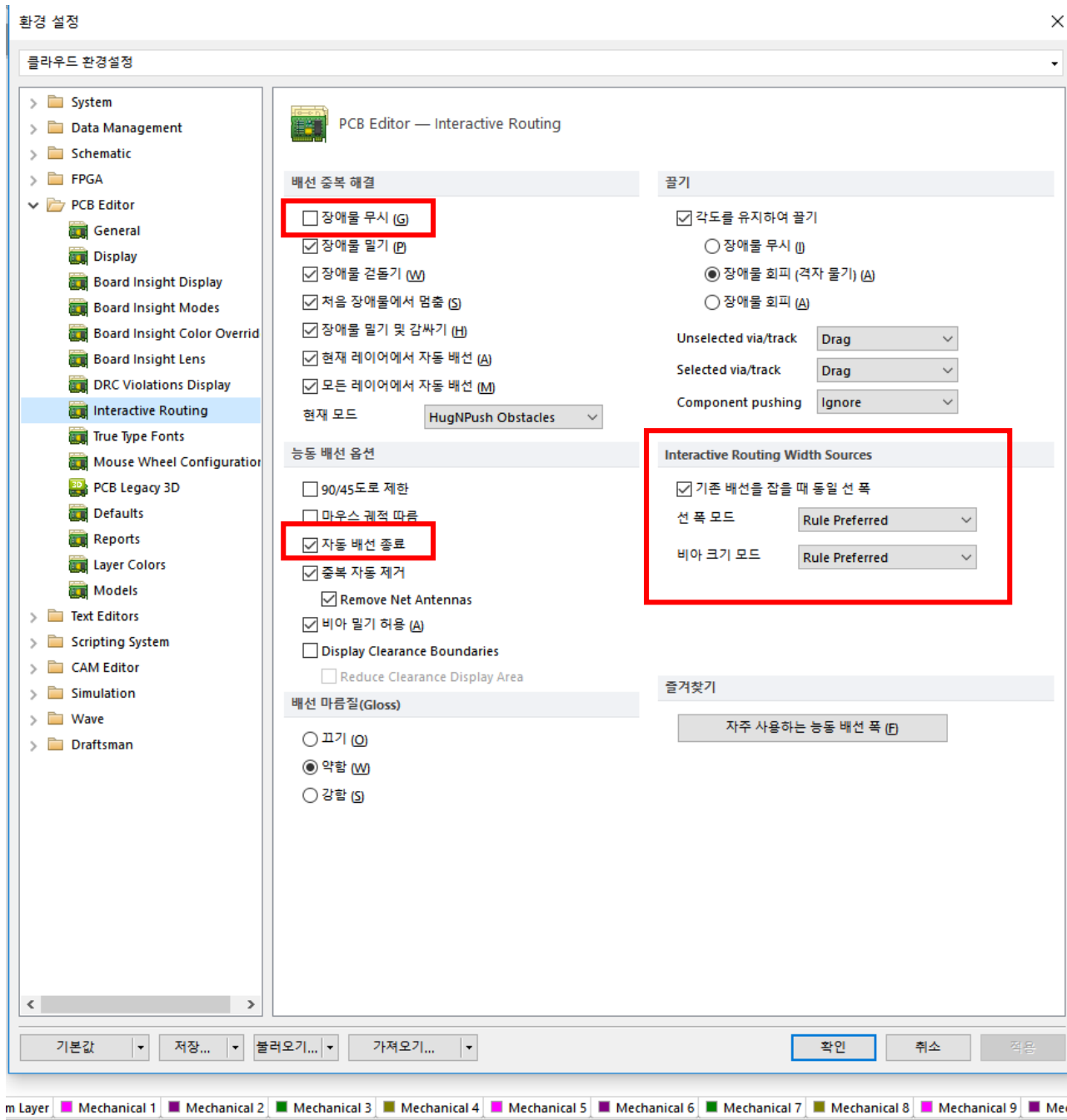
* PCB 환경 선택하기

- 커서 형식 : Large 90

- 이전 버전 열기 보고서 비활성

- 새로운 버전 열기 보고서 비활성

=> PCB 작업 시 필요함!



* PCB 환경 선택하기

- 배선 중복 해결

- 장애물 무시

- 능동 배선 옵션

- 자동 배선 종료 V

- 능동배선 폭/비아 크기 소스

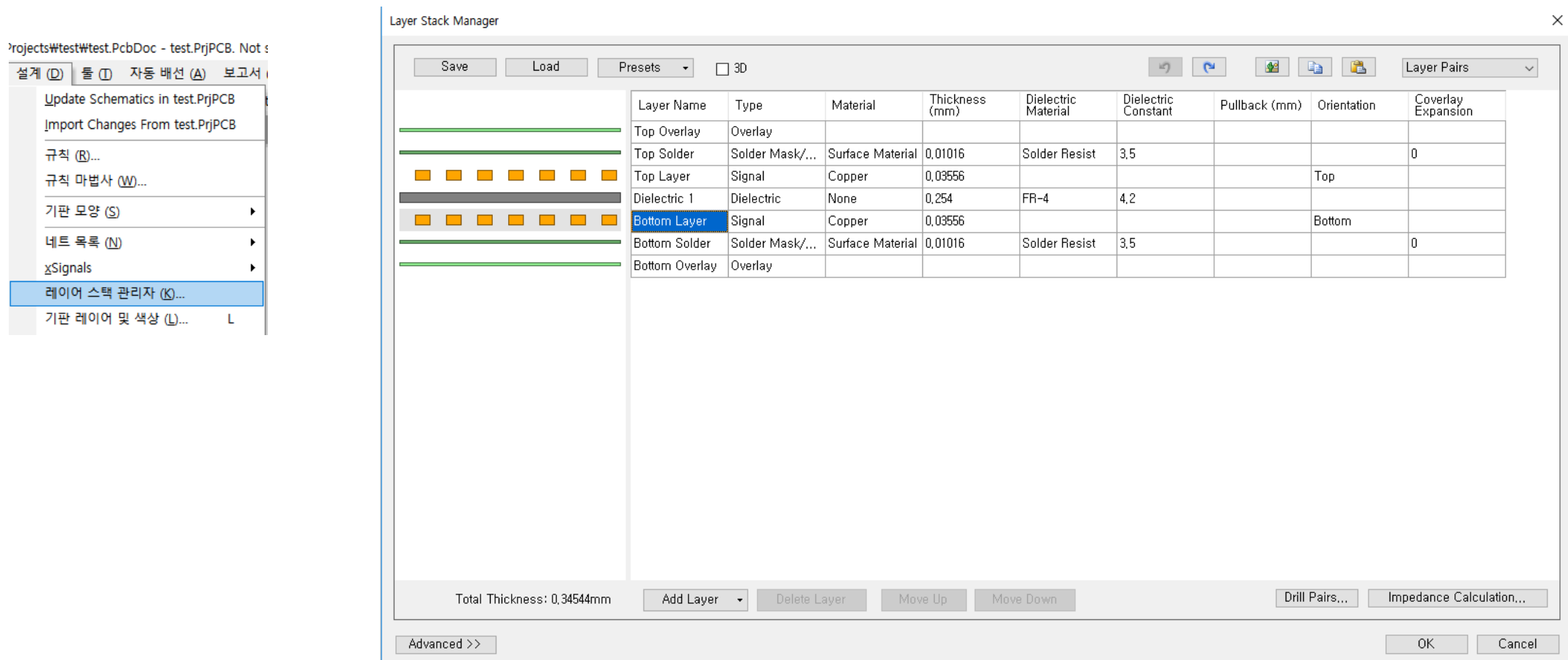
- 선폭모드 : Rule Preferred

- 비아 크기 모드 : Rule Preferred

=> PCB 작업 시 필요함!

- Layer 스택 관리자

단축키 : D + K



Save Load Presets ☐ 3D

| Layer Name | Type | Material | Thickness (mm) | Dielectric Material | Dielectric Constant | Pullback (mm) | Orientation | Coverlay Expansion |
|----------------|-----------------|------------------|----------------|---------------------|---------------------|---------------|-------------|--------------------|
| Top Overlay | Overlay | | | | | | | |
| Top Solder | Solder Mask/... | Surface Material | 0,01016 | Solder Resist | 3,5 | | | 0 |
| Top Layer | Signal | Copper | 0,03556 | | | | Top | |
| Dielectric 1 | Dielectric | Core | 0,254 | FR-4 | 4,2 | | | |
| Signal Layer 1 | Signal | Copper | 0,036 | | | | Not Allowed | |
| Dielectric 3 | Dielectric | Prepreg | 0,127 | | 4,2 | | | |
| Signal Layer 2 | Signal | Copper | 0,036 | | | | Not Allowed | |
| Dielectric 2 | Dielectric | Core | 0,254 | | 4,2 | | | |
| Bottom Layer | Signal | Copper | 0,03556 | | | | Bottom | |
| Bottom Solder | Solder Mask/... | Surface Material | 0,01016 | Solder Resist | 3,5 | | | 0 |
| Bottom Overlay | Overlay | | | | | | | |

Total Thickness: 0,79844mm

Add Layer

Delete Layer

Move Up

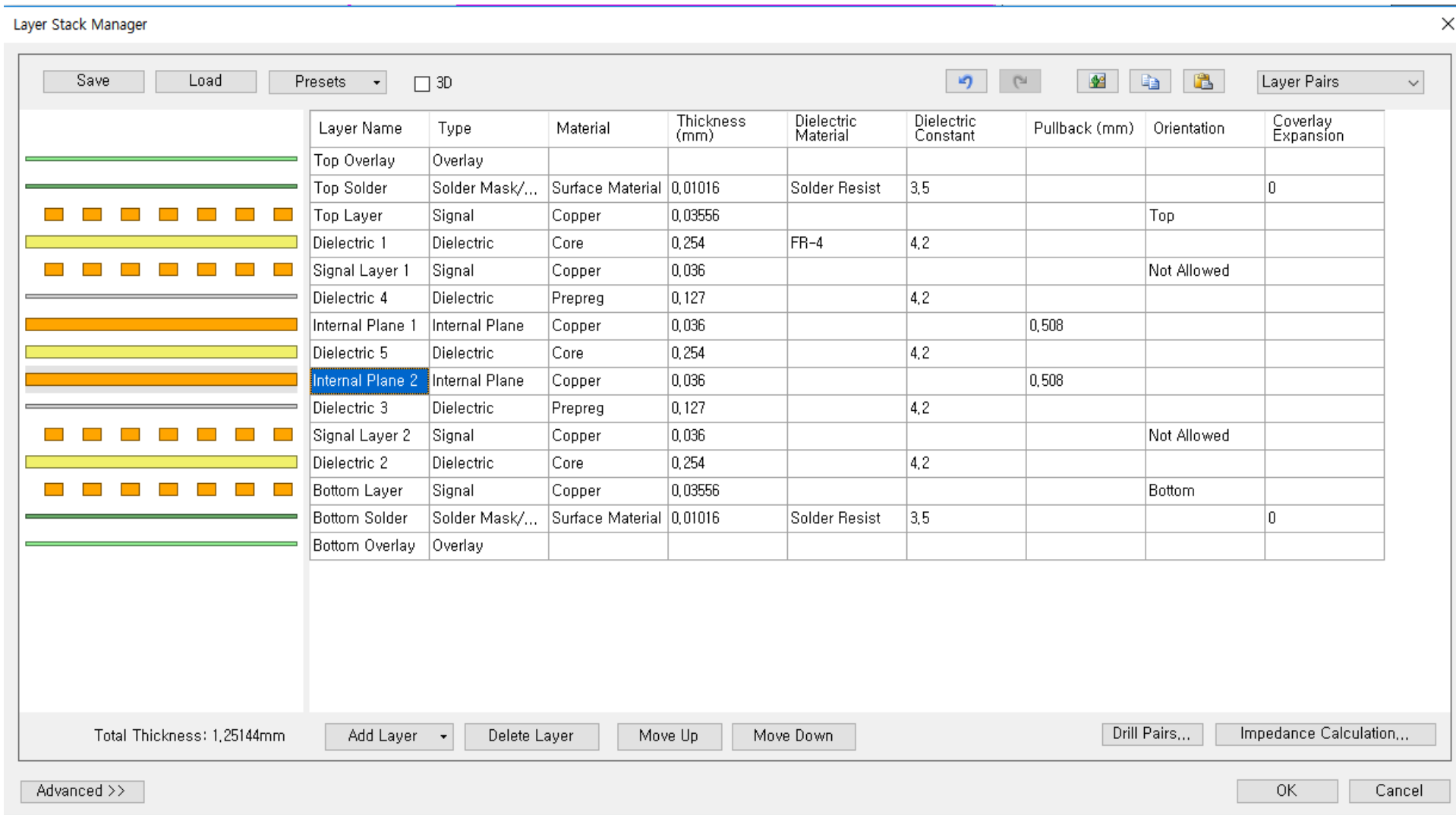
Move Down

Drill Pairs...

Impedance Calculation...

Advanced >> OK Cancel

- Top Layer 클릭하고 Add Layer 클릭 => Signal Layer 1 생성
- Signal Layer1을 클릭하고 Add Layer 클릭 => Signal Layer 2 생성



- Signal Layer1 클릭하고 Add Internal Plane 클릭 => Internal Plane 1 생성
- Internal Plane 1 클릭하고 Add Internal Plane 클릭 => Internal Plane 2 생성

- Design Rules 설정

Projects\test\test.PcbDoc * - test.PrjPCB. Not

설계 (D) 툴 (T) 자동 배선 (A) 보고서 (R)

Update Schematics in test.PrjPCB

Import Changes From test.PrjPCB

규칙 (R)...

규칙 마법사 (W)...

기판 모양 (S) ▶

네트 목록 (N) ▶

xSignals ▶

레이어 스택 관리자 (K)...

기판 레이아웃 및 색상 (L)... L

레이어 설정 관리 (I) ▶

룰 (M) ▶

클래스 (C)...

보통 차기 / D\

PCB 규칙 및 조건 편집기 [mm]

Design Rules

Electrical

Routing

Width

Routing Topology

Routing Priority

Routing Layers

Routing Corners

Routing Via Style

Fanout Control

Differential Pairs Routing

SMT

Mask

Plane

Testpoint

Manufacturing

High Speed

Placement

Signal Integrity

이름

Width

주석

고유 인식 번호

XLDGAFHU

Test Queries

Where The Object Matches

All

Constraints

Preferred Width 0.5mm

Min Width 0.1mm

Max Width 10mm

☒ 배선/원호의 최대/최소 두께 개별 검사

☐ 물리적으로 연결된 구리의 최대/최소 두께 검사 (배선, 원호, 채움, 패드 및 비아)

☐ 구동 특성 임피던스 폭

☒ 레이어 스택의 레이어만

| 레이어 속성 | | | 레이어 스택 참조 | | 절대 레이어 | |
|--------|-------|------|----------------|----|-------------|-----|
| 최소 폭 | 우선 크기 | 최대 폭 | 이름 | 색인 | 이름 | 색 / |
| 0.1mm | 0.5mm | 10mm | Top Layer | 32 | TopLayer | 1 |
| 0.1mm | 0.5mm | 10mm | Signal Layer 1 | 33 | MidLayer1 | 2 |
| 0.1mm | 0.5mm | 10mm | Signal Layer 2 | 34 | MidLayer2 | 3 |
| 0.1mm | 0.5mm | 10mm | Bottom Layer | 35 | BottomLayer | 32 |

규칙 마법사 (R)...

우선권 (P)...

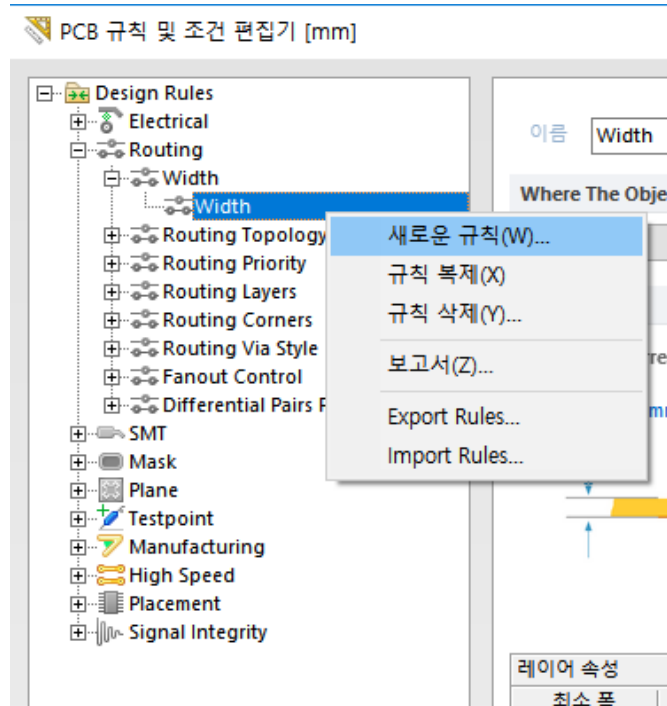
Create Default Rules

확인

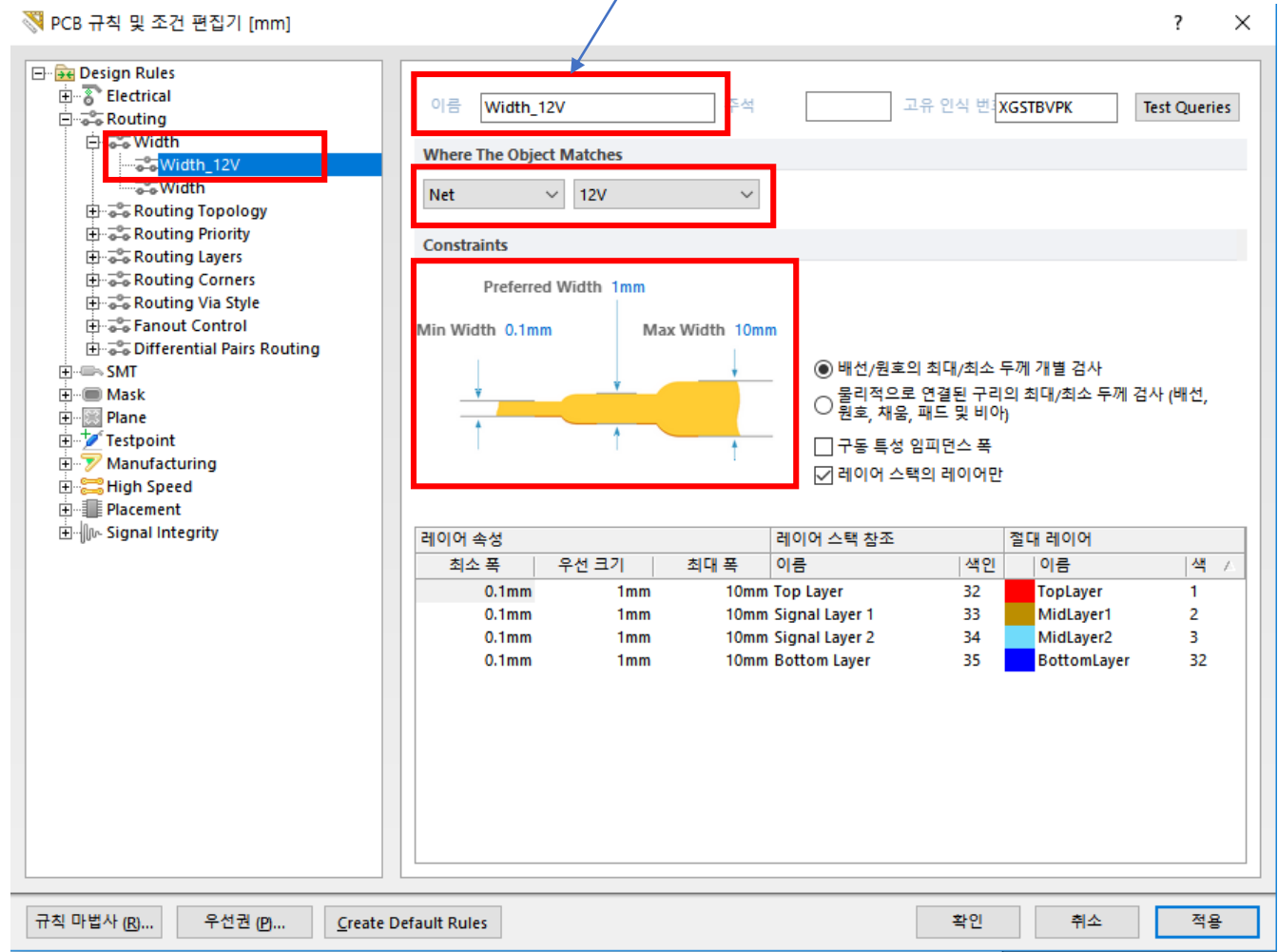
취소

적용

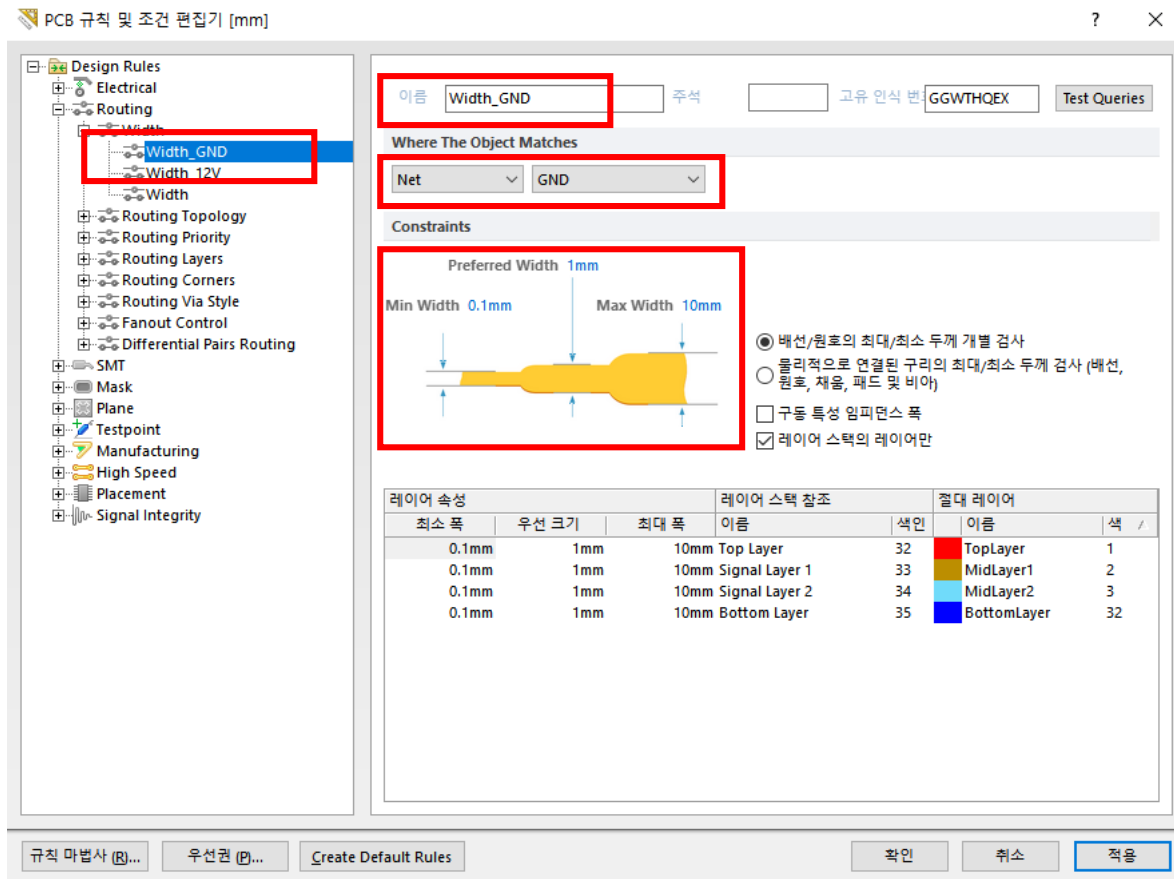
- 12V Net와 GND Net를 설정



해당하는 Net 이름 표기

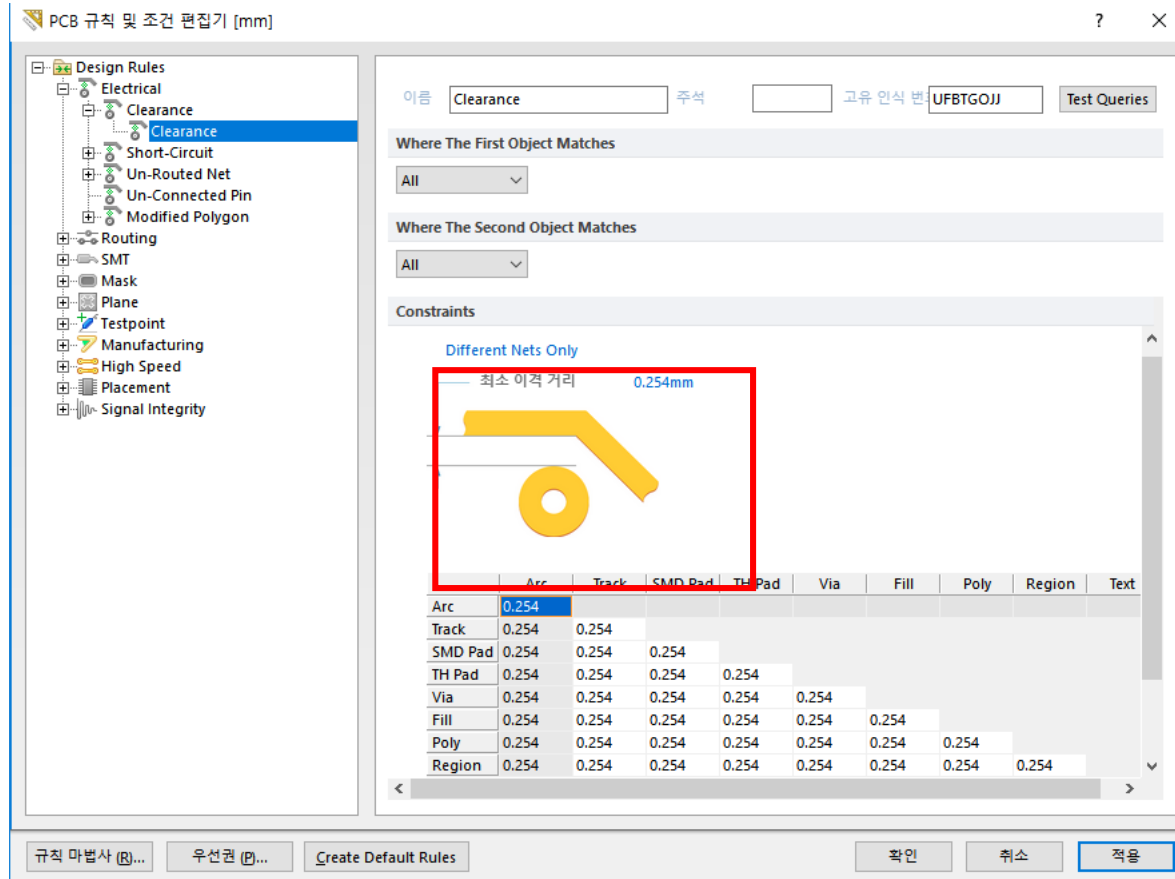


12V Net 규칙 표기

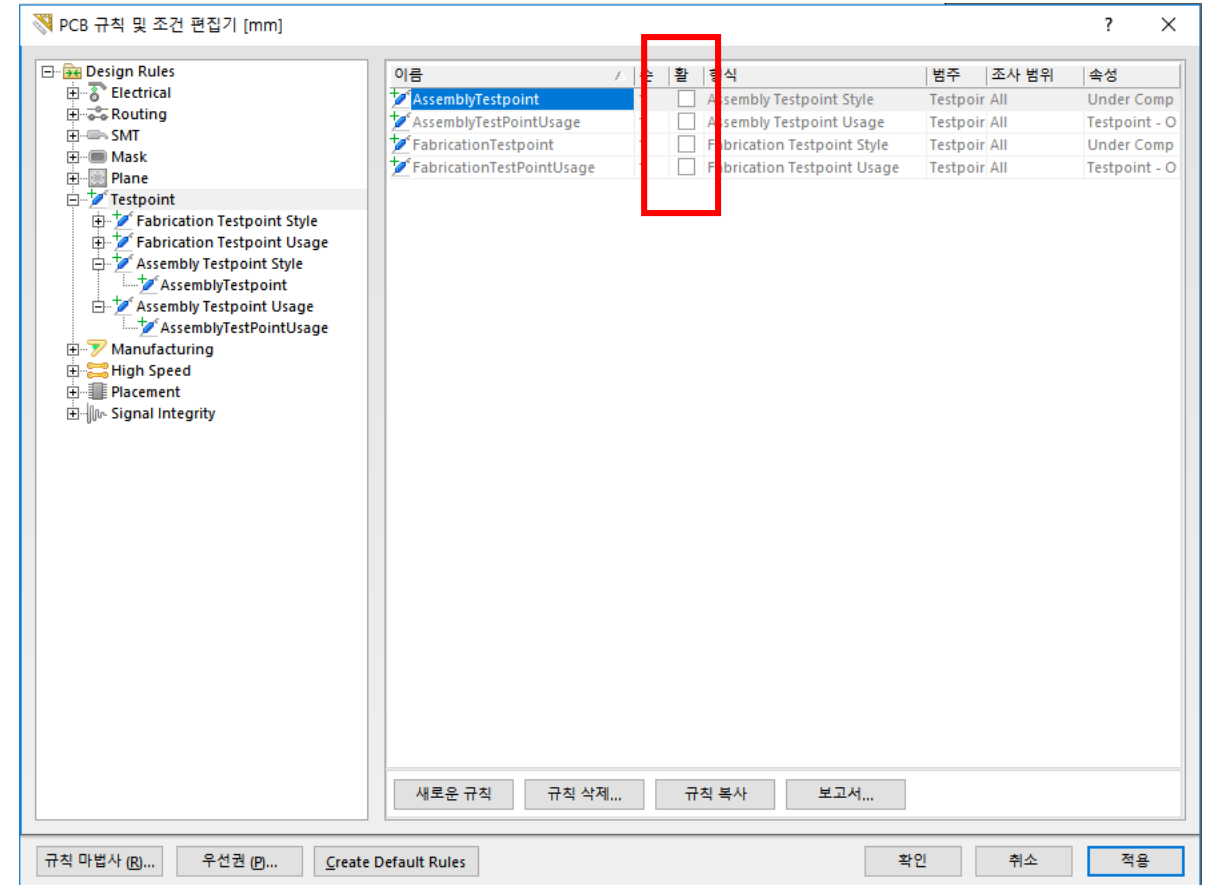


GND Net 규칙 표기

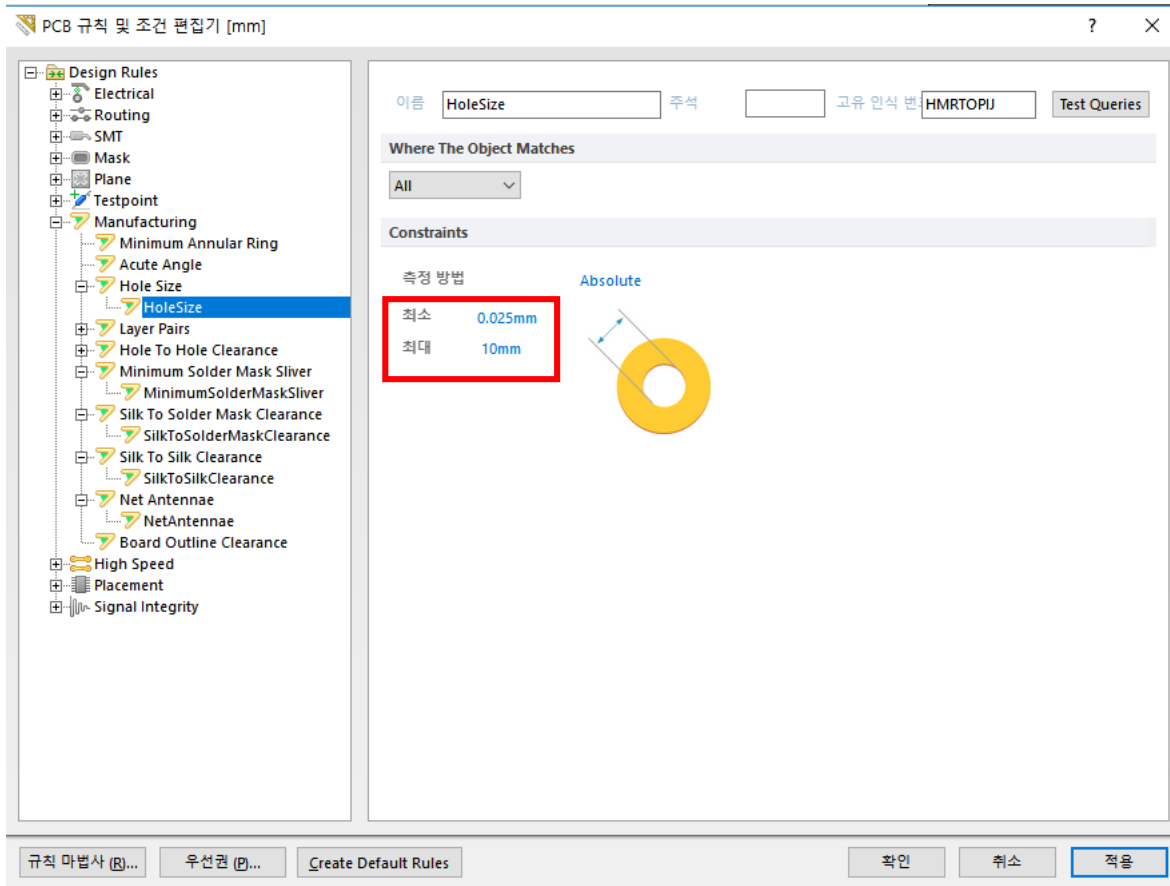
- Clearance Setting



홀과 wire사이의 이격거리



TestPoint는 사용하지 않기 때문에 에러 체크를 빼줌

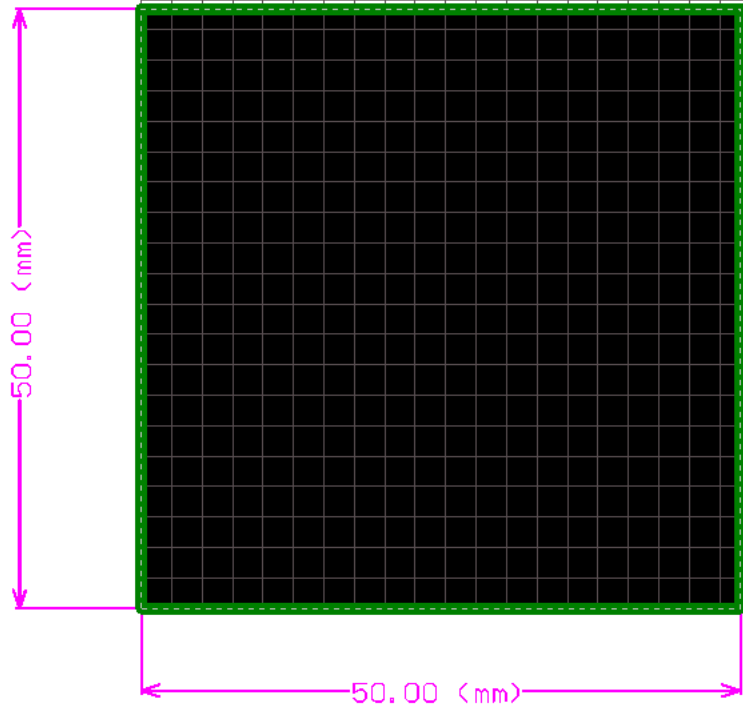


Hole Size 설정

- 부품 변경

부품 중에 C1, C2 가 너무 크게 보임.

PCB 상에서 바꿔서 회로에 적용시킴.



Not signed in.

고서 (R) Window 도움말 (H)

Altium Standard 2D [No Variations]

부품 C1 [mm]

부품 속성 (P)

레이어: Top Layer
회전: 90.000
X 위치: 115.062mm
Y 위치: 83.693mm
형식: Standard
세로: 6mm
초본 잠금: ☒
글자 잠금: ☐
잠금: ☐
Hide Jumpers: ☐

설계 참조 (D)

글자: C1
세로: 1.524mm
가로: 0.254mm
레이어: Top Overlay
회전: 0.000
X 위치: 113.322mm
Y 위치: 90.259mm
자동 위치: Left-Above
숨김: ☐
거울: ☐

주석 (Q)

글자: 20nF
세로: 1.524mm
가로: 0.254mm
레이어: Top Overlay
회전: 0.000
X 위치: 113.322mm
Y 위치: 75.603mm
자동 위치: Left-Below
숨김: ☒
거울: ☐

교환 옵션

핀 교환 활성화: ☐
부품 교환 활성화: ☐

설계 참조 글꼴

트루 타입: ☐ 백터: ☒
글꼴 이름: Default

주석 글꼴

트루 타입: ☐ 백터: ☒
글꼴 이름: Default

FPGA

오버레이 색상: None

Embedded properties

Flipped on layer: ☐

축

| 기준 | | | 방향 | | |
|----|---|---|----|---|---|
| X | Y | Z | X | Y | Z |
| | | | | | |

추가: 삭제:

풋프린트 (F)

이름: RAD-0.3
라이브러리: Miscellaneous Devices.IntLib
설명: p, Thru-Hole; 2 Leads; 0.3 in Pin Spacing
기본 3차원 모델:
볼트 이름:
함목 개정판:

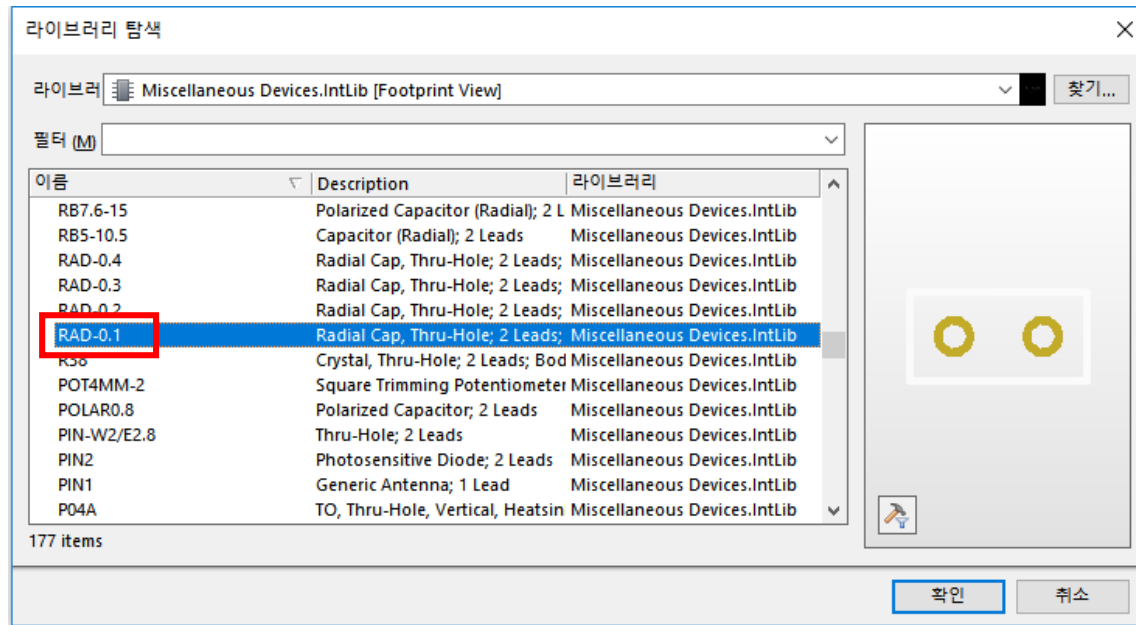
회로 참조 정보 (S)

고유 인식 번호: \MLKVRQJA
설계 참조: C1
계층구조 경로: test
설명: Capacitor
회로 라이브러리: Miscellaneous Devices.IntLib
라이브러리 참조: Cap
채널 오프셋: 0

환경 설정

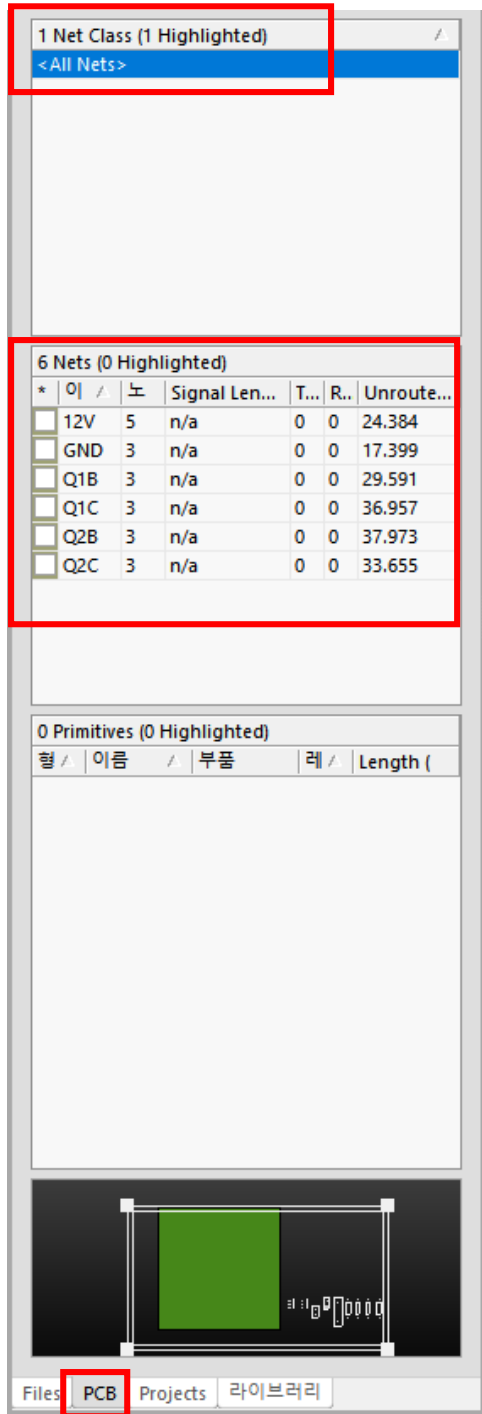
확인

취소



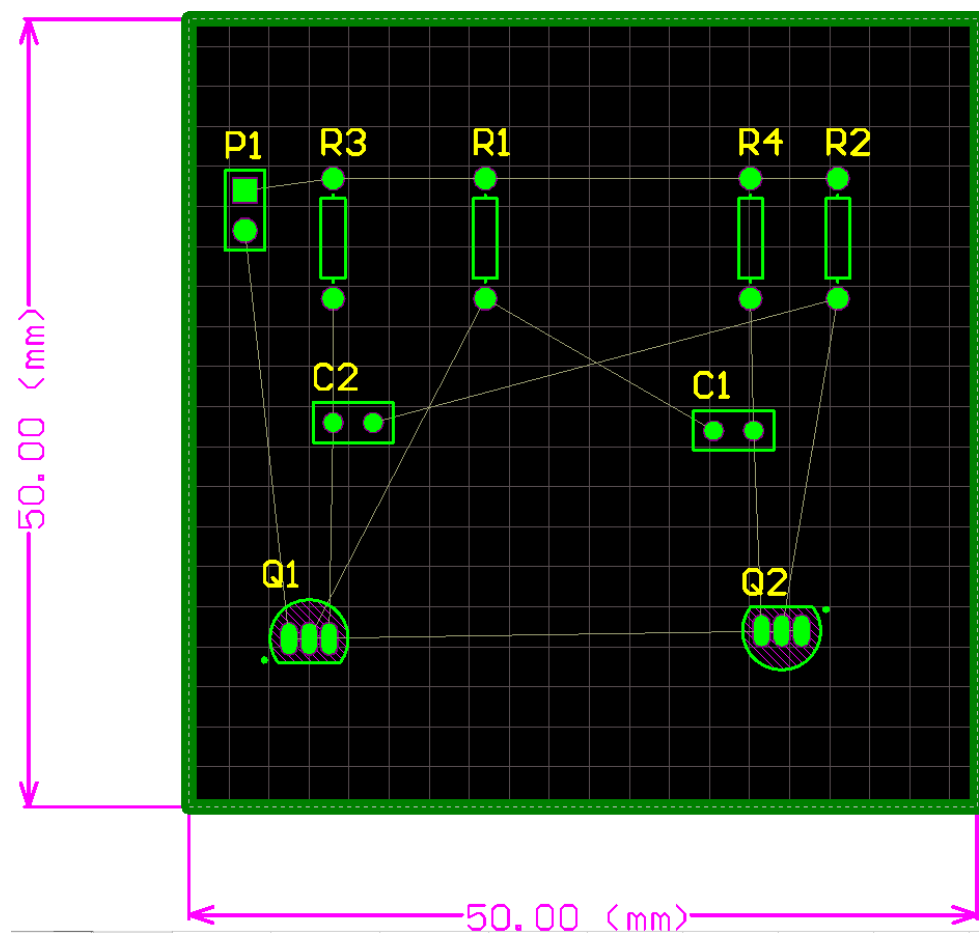
→ C2도 동일하게 진행

RAD-0.3 -> RAD-0.1



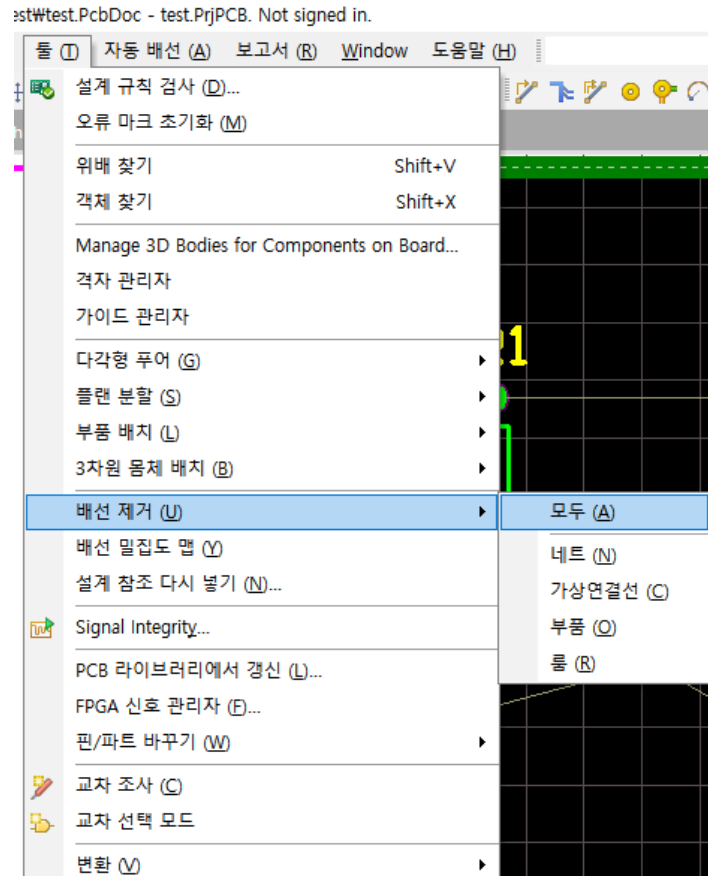
각각의 Net를 더블 클릭해서 색상을 바꿔줌
=> 각각의 Net를 구별해서 라우팅 하기 위함!

- 부품 배치

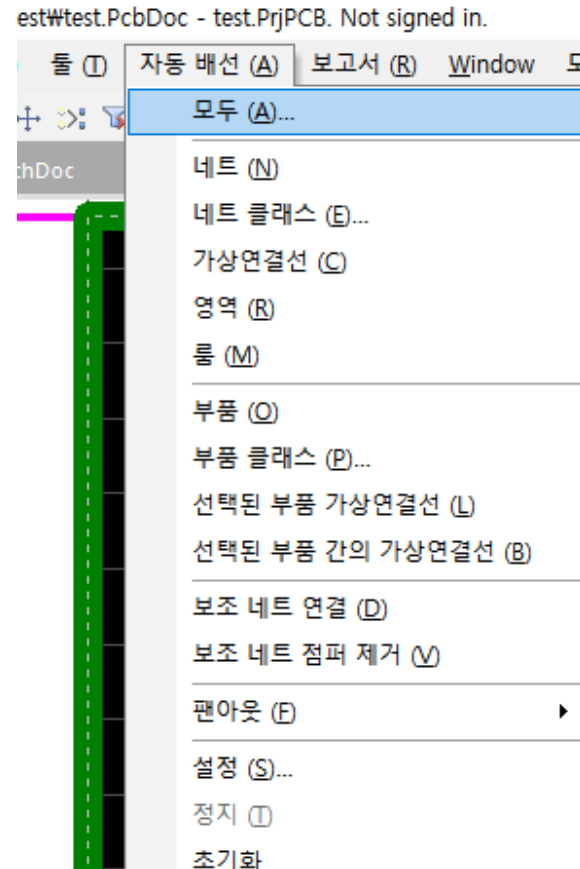


.LEGEND
Drill Drawing.

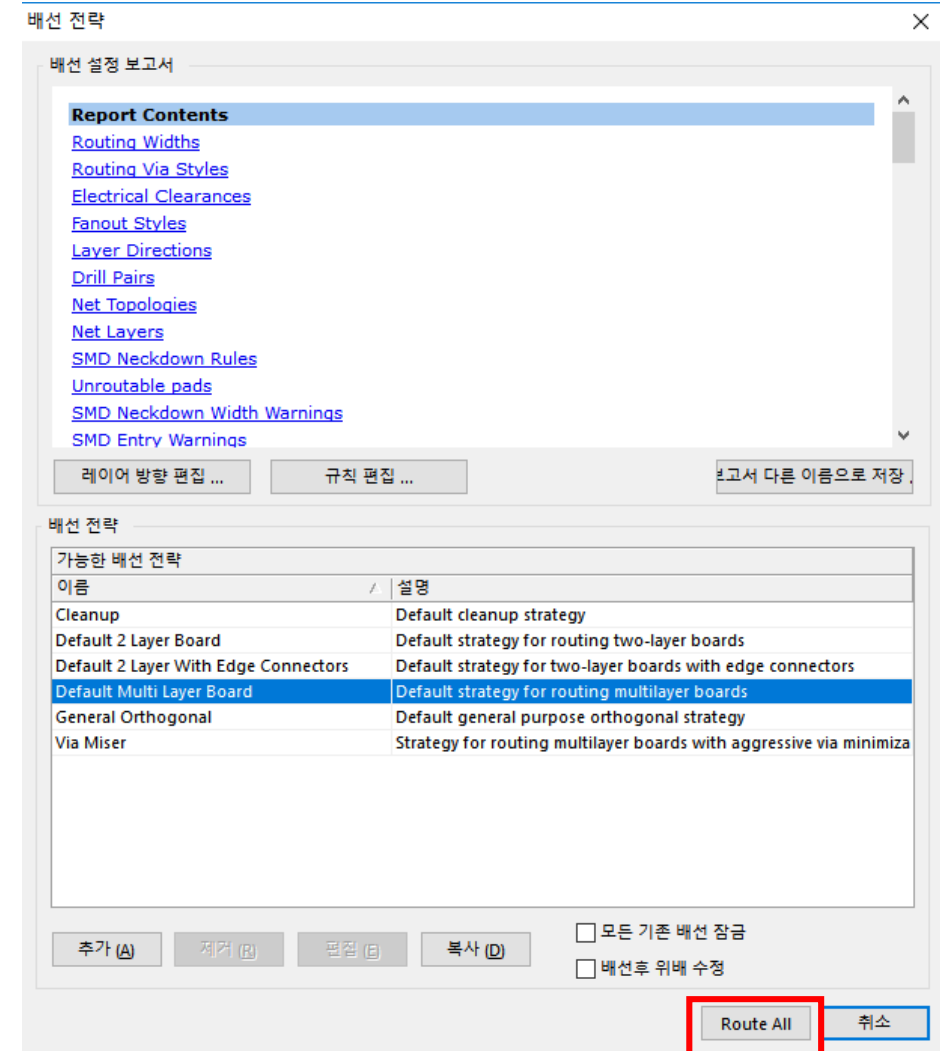
- 자동 배선



Route 작업한 것을 일단 모두 지움



자동 배선



Route All

- PCB 오류검사

astWtest.PcbDoc * - test.PrjPCB. Not signed in.

툴 (T)자동 배선 (A)보고서 (R)Window도움말 (H)

설계 규칙 검사 (D)...

오류 마크 초기화 (M)

위배 찾기Shift+V

객체 찾기Shift+X

Manage 3D Bodies for Components on Board...

격자 관리자

가이드 관리자

다각형 푸어 (G)

플렌 분할 (S)

부품 배치 (L)

3차원 몸체 배치 (B)

설계 규칙 검사 [mm]

Report OptionsRules To CheckElectricalRoutingSMTTestpointManufacturingHigh SpeedPlacementSignal Integrity

| 규칙 | 범주 | 실시간 | 일괄 |
|-------------------------------|------------------|-------------------------------------|-------------------------------------|
| Width | Routing | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Vias Under SMD | High Speed | <input type="checkbox"/> | <input type="checkbox"/> |
| Undershoot - Rising Edge | Signal Integrity | <input type="checkbox"/> | <input type="checkbox"/> |
| Undershoot - Falling Edge | Signal Integrity | <input type="checkbox"/> | <input type="checkbox"/> |
| Un-Route | Routing | <input type="checkbox"/> | <input checked="" type="checkbox"/> |
| Un-Conn | Routing | <input type="checkbox"/> | <input type="checkbox"/> |
| Supply Net | Routing | <input type="checkbox"/> | <input type="checkbox"/> |
| SMD To P | Manufacturing | <input type="checkbox"/> | <input type="checkbox"/> |
| SMD To C | Manufacturing | <input type="checkbox"/> | <input type="checkbox"/> |
| SMD Neck | Manufacturing | <input type="checkbox"/> | <input type="checkbox"/> |
| SMD Entr | Manufacturing | <input type="checkbox"/> | <input type="checkbox"/> |
| Slope - Rising Edge | Signal Integrity | <input type="checkbox"/> | <input type="checkbox"/> |
| Slope - Falling Edge | Signal Integrity | <input type="checkbox"/> | <input type="checkbox"/> |
| Silk To Solder Mask Clearance | Manufacturing | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Silk To Silk Clearance | Manufacturing | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Signal Top Value | Signal Integrity | <input type="checkbox"/> | <input type="checkbox"/> |

실시간 DRC - 사용한것 켜(D)

실시간 DRC - 모두 켜(R)

실시간 DRC - 모두 끄(C)

일괄 DRC - 사용한것 켜(X)

일괄 DRC - 모두 켜(Y)

일괄 DRC - 모두 끄(Z)

설계 규칙 검사 [mm]

Report OptionsRules To CheckElectricalRoutingSMTTestpointManufacturingHigh SpeedPlacementSignal Integrity

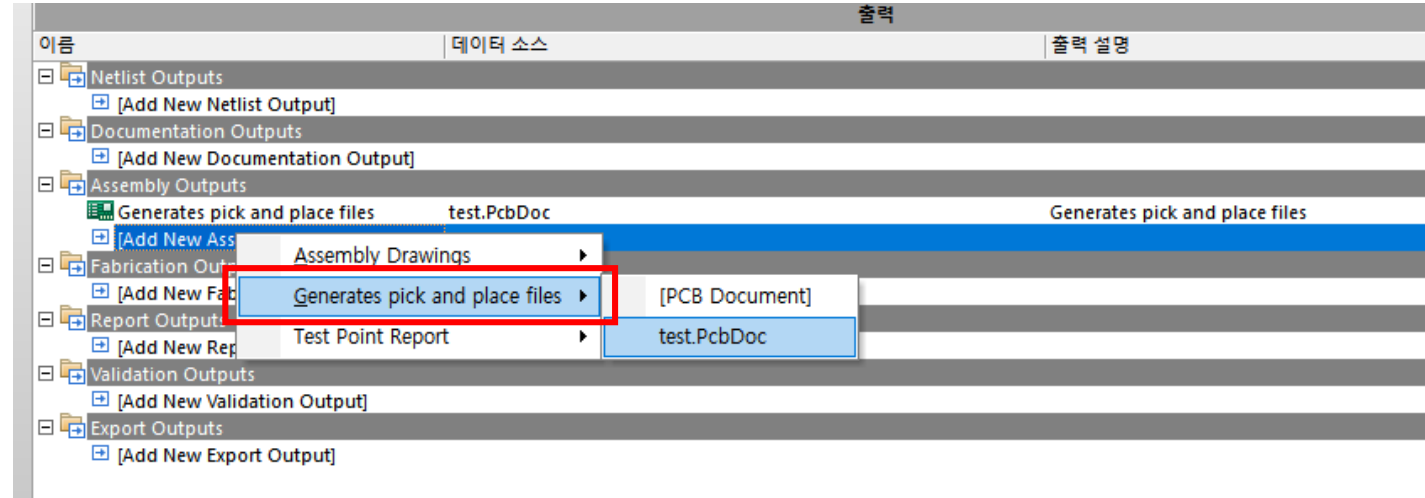
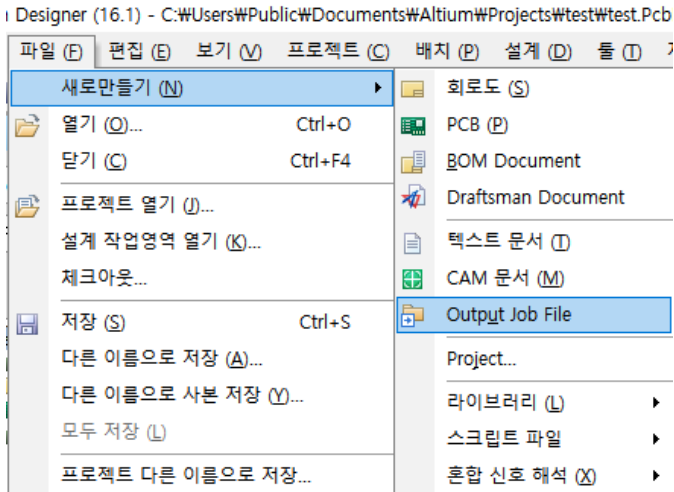
| 규칙 | 범주 | 실시간 | 일괄 |
|-----------------------------|------------------|-------------------------------------|-------------------------------------|
| Signal Stimulus | Signal Integrity | <input type="checkbox"/> | <input type="checkbox"/> |
| Signal Base Value | Signal Integrity | <input type="checkbox"/> | <input type="checkbox"/> |
| Short-Circuit | Electrical | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Routing Via Style | Routing | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Routing Layers | Routing | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Room Definition | Placement | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Parallel Segment | High Speed | <input type="checkbox"/> | <input type="checkbox"/> |
| Overshoot - Rising Edge | Signal Integrity | <input type="checkbox"/> | <input type="checkbox"/> |
| Overshoot - Falling Edge | Signal Integrity | <input type="checkbox"/> | <input type="checkbox"/> |
| Net Antennae | Manufacturing | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Modified Polygon | Electrical | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Minimum Solder Mask Sliver | Manufacturing | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Minimum Annular Ring | Manufacturing | <input type="checkbox"/> | <input type="checkbox"/> |
| Maximum Via Count | High Speed | <input type="checkbox"/> | <input type="checkbox"/> |
| Matched Lengths | High Speed | <input type="checkbox"/> | <input type="checkbox"/> |
| Length | High Speed | <input type="checkbox"/> | <input type="checkbox"/> |
| Layer Pairs | Manufacturing | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Impedance | Signal Integrity | <input type="checkbox"/> | <input type="checkbox"/> |
| Hole To Hole Clearance | Manufacturing | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Hole Size | Manufacturing | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Height | Placement | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Flight Time - Rising Edge | Signal Integrity | <input type="checkbox"/> | <input type="checkbox"/> |
| Flight Time - Falling Edge | Signal Integrity | <input type="checkbox"/> | <input type="checkbox"/> |
| Fabrication Testpoint Usage | Testpoint | <input type="checkbox"/> | <input type="checkbox"/> |
| Fabrication Testpoint Style | Testpoint | <input type="checkbox"/> | <input type="checkbox"/> |
| Differential Pairs Routing | Routing | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Daisy Chain Stub Length | High Speed | <input type="checkbox"/> | <input type="checkbox"/> |
| Component Clearance | Placement | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Clearance | Electrical | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |
| Board Outline Clearance | Manufacturing | <input type="checkbox"/> | <input type="checkbox"/> |
| Assembly Testpoint Usage | Testpoint | <input type="checkbox"/> | <input type="checkbox"/> |
| Assembly Testpoint Style | Testpoint | <input type="checkbox"/> | <input type="checkbox"/> |
| Acute Angle | Manufacturing | <input type="checkbox"/> | <input type="checkbox"/> |

설계 규칙 검사 실행 (E)...

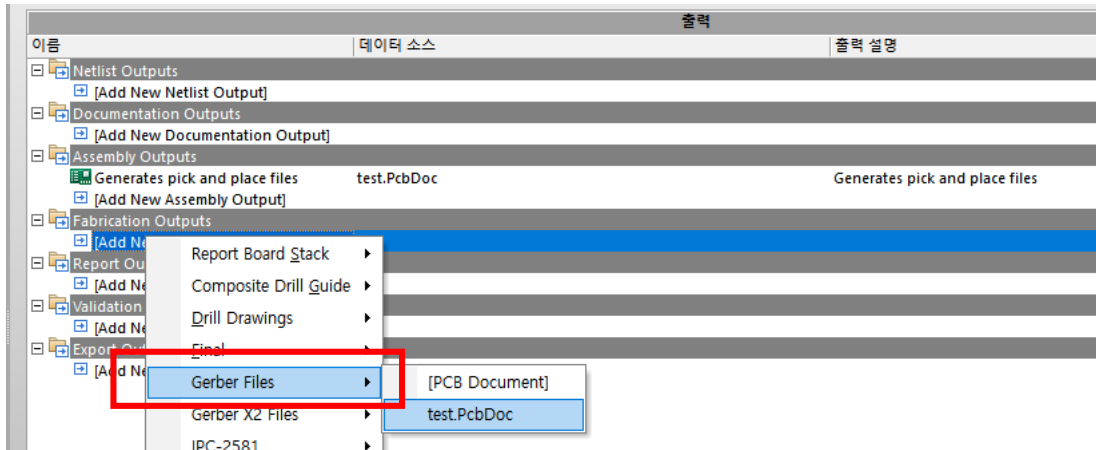
확인

취소

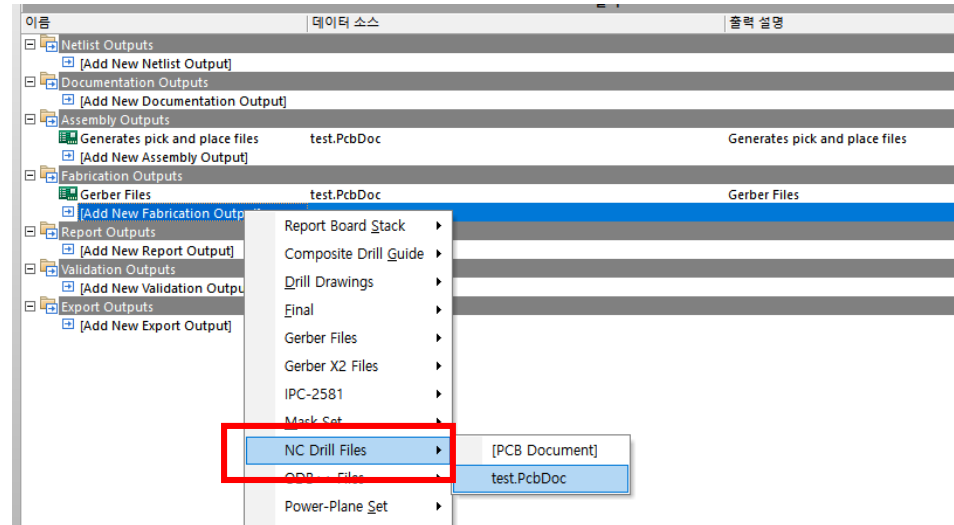
- Output Job File



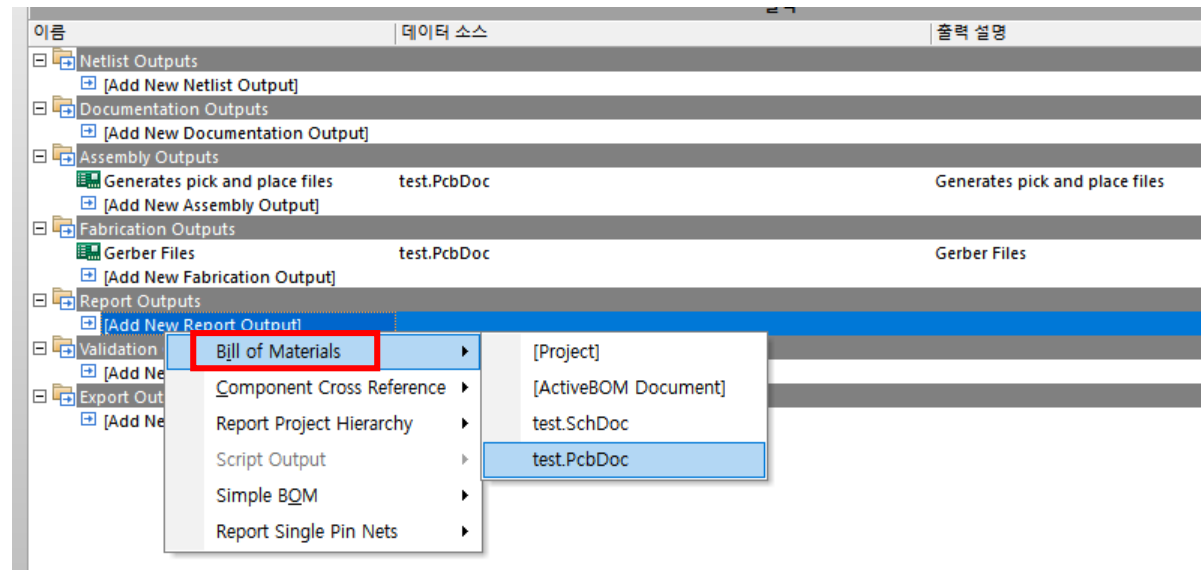
자습 데이터 생성



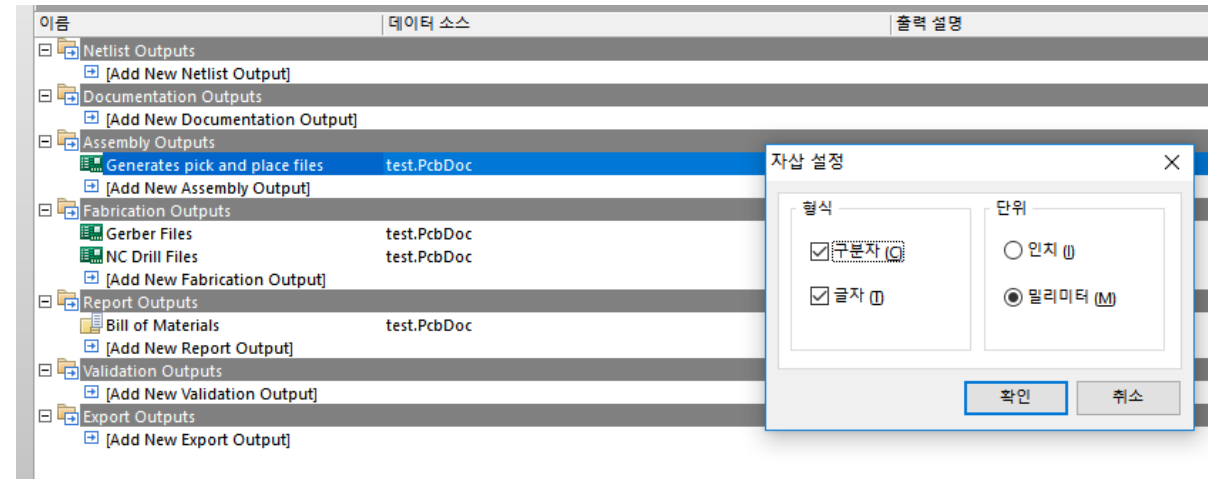
Gerber Files (각 레이어 필름 제작)



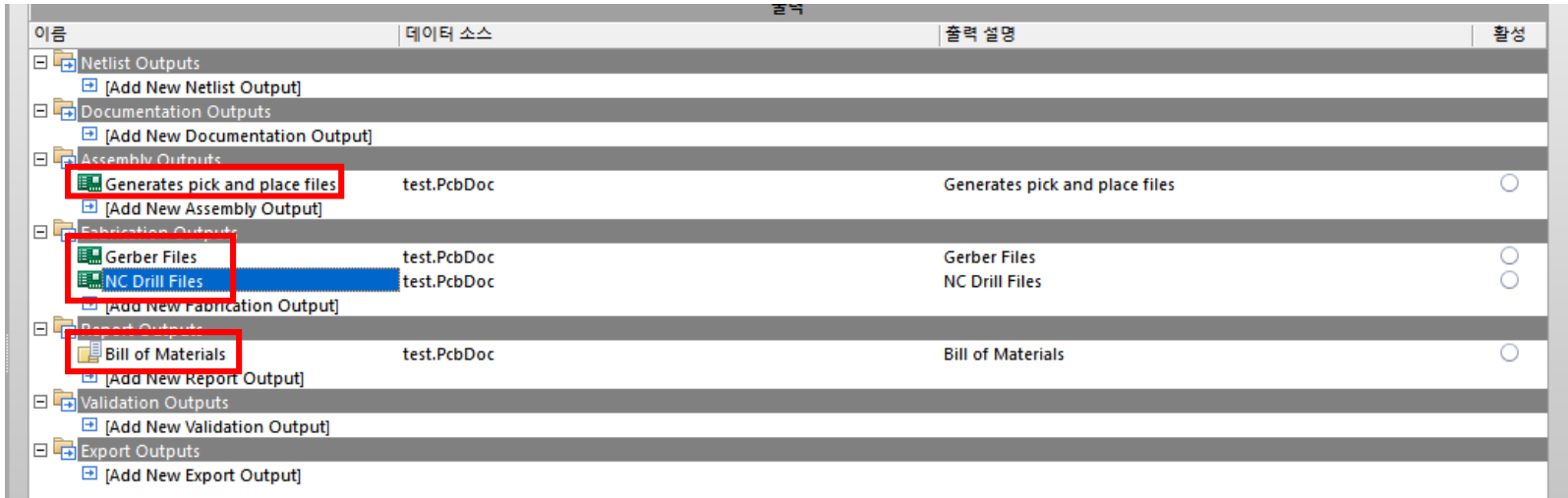
NC Drill Files (드릴 가공 데이터 생성)



Bill Of Materials(부품 리스트 생성)



해당하는 Job File에서 마우스 우측 버튼의 환경설정으로 옵션을 선택



출력할 항목

거버 설정 [X]

일반 레이어 드릴 그림 어퍼처 고급

출력 파일에서 사용될 단위 및 형식을 지정하세요.
소수점 앞뒤의 자리수 및 단위를 지정합니다.

단위

☒ 인치 (I)

☐ 밀리미터 (M)

형식

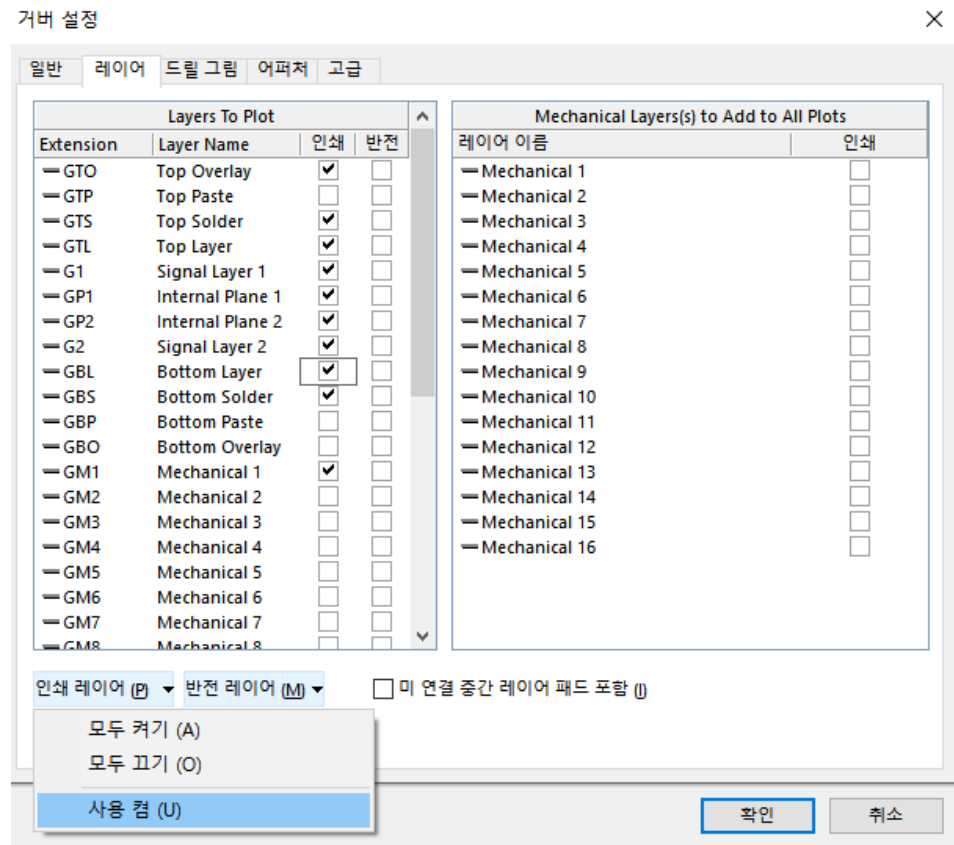
☒ 2:3

☐ 2:4

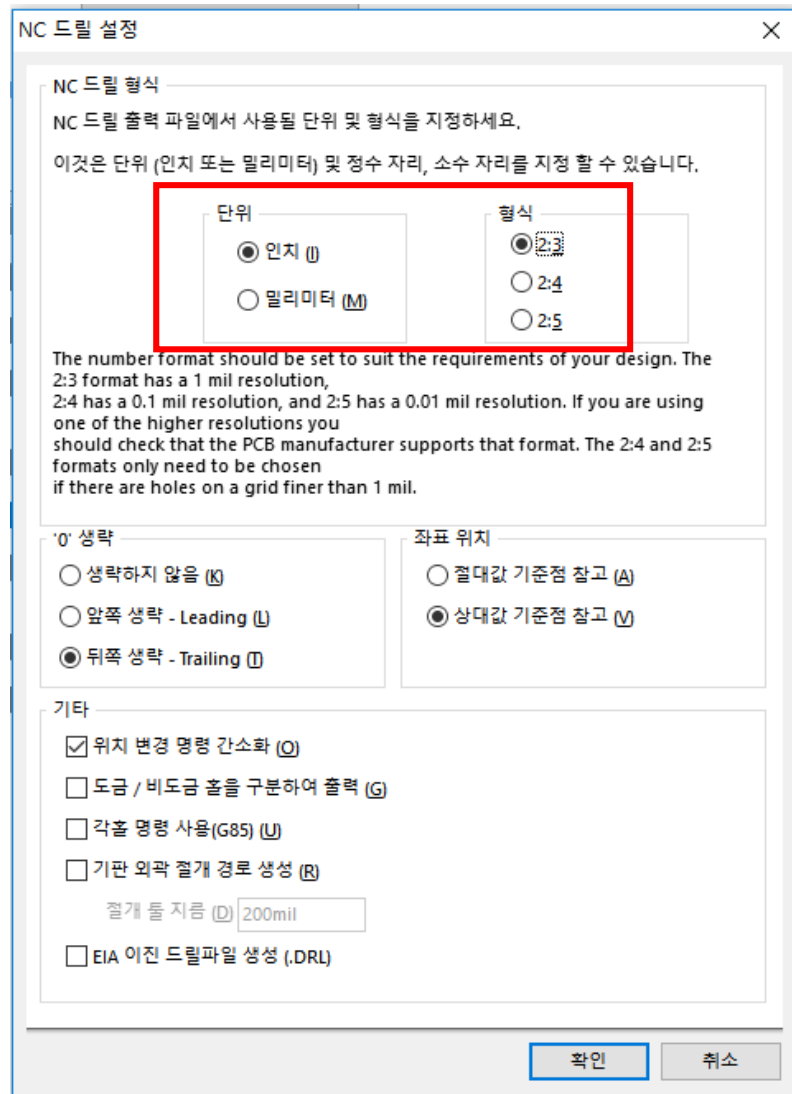
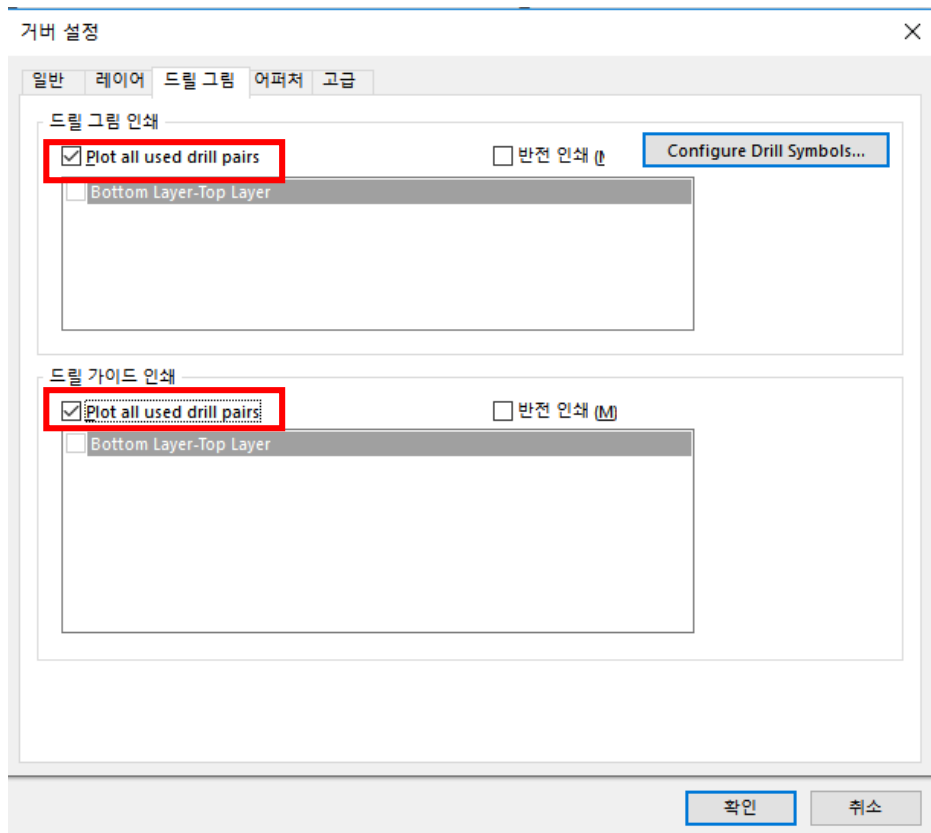
☐ 2:5

The number format should be set to suit the requirements of your Project.
The 2:3 format has a 1 mil resolution, 2:4 has a 0.1 mil resolution, and 2:5 has a 0.01 mil resolution.
If you are using one of the higher resolutions you should check that the PCB manufacturer supports that format.
The 2:4 and 2:5 formats only need to be chosen if there are objects on a grid finer than 1 mil.

[확인] [취소]



- NC 드릴 설정



- Bill of Materials 설정

회로도에서 Comment 에 입력한 이름

Bill of Materials For PCB Document [test.PcbDoc]

목록 열

표시

Comment

Footprint

모든 열

표시

Comment

Description

Designator

Footprint

LibRef

Quantity

ComponentKind

Designator-X(Mil)

Designator-X(mm)

Designator-Y(Mil)

Designator-Y(mm)

DesignItemId

| Comment | Description | Designator | Footprint | LibRef | Quantity |
|----------|-----------------------|------------|-----------|----------|----------|
| 20nF | Capacitor | C1, C2 | RAD-0.1 | Cap | |
| Header 2 | Header, 2-Pin | P1 | HDR1X2 | Header 2 | |
| 2N3904 | NPN General Purpose A | Q1, Q2 | TO-92A | 2N3904 | |
| 100K | Resistor | R1, R2 | AXIAL-0.3 | Res1 | |
| 1K | Resistor | R3, R4 | AXIAL-0.3 | Res1 | |

Source Options

☐ 비 적합 부품 포함

☒ PCB에서 매개변수 포함

☐ 볼트의 매개변수 포함

☐ 데이터 베이스의 매개 변수 포함

☐ Include in Component Variations

공급자 옵션

<none>

생산 수량

1

☐ 최저가의 최대 수량 공급자로 주문 모으기

☐ 오프라인시 매개변수에 저장된 가격 데이터로 사용

Export Options

파일 형식 (F)

Microsoft Excel Worksheet (*.xls;*.xlsx;*.xl*)

☒ 프로젝트에 추가 (A)

☒ 내보낸것 열기 (O)

엑셀 옵션

서식 (I)

BOM Default Template.XLT

☒ 서식 파일 상대 위치 (E)

메뉴 (M)

내보내기 (E)...

확인 (O)

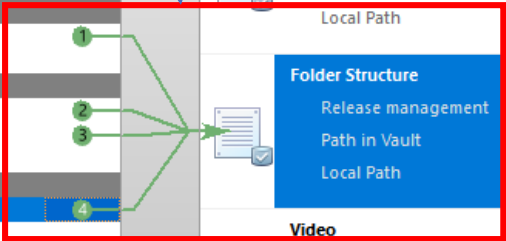
취소 (C)

- Output Job File 출력하기

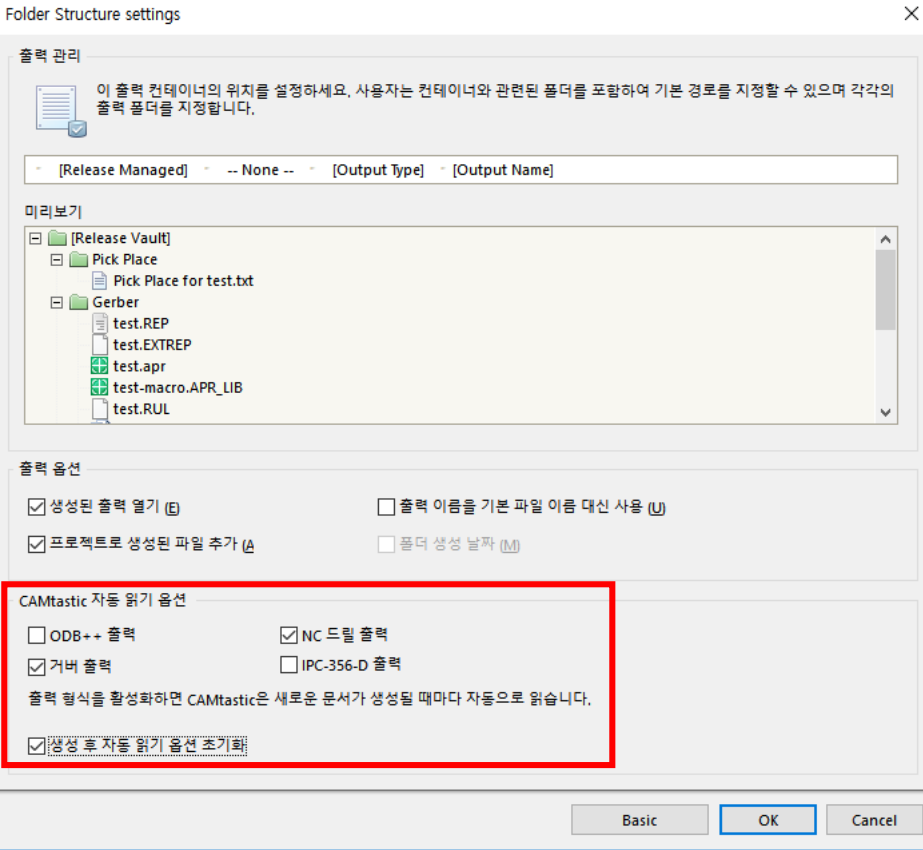
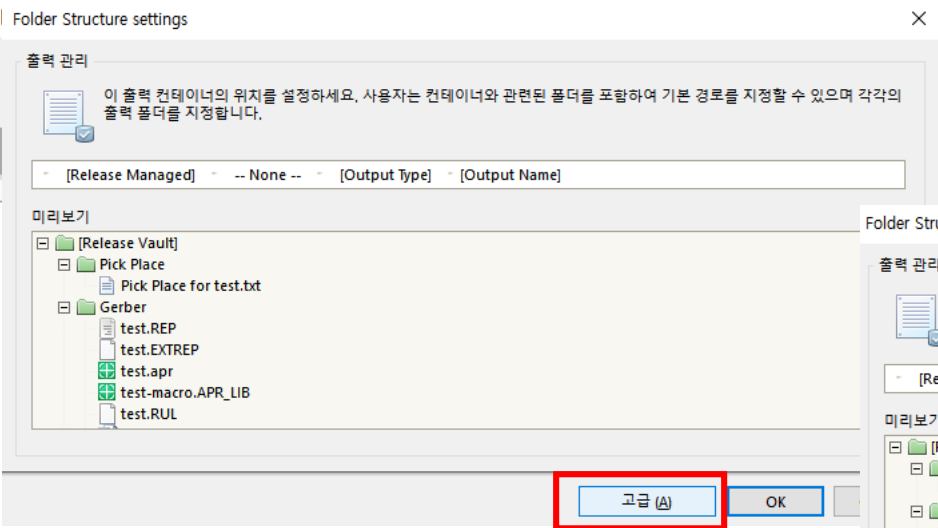
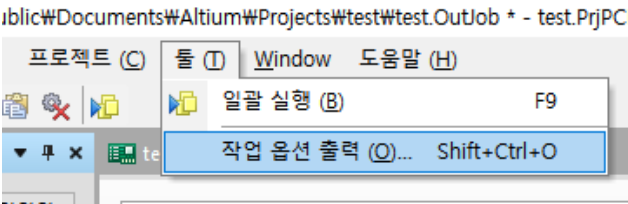
출력 파일이 실행되는 순서

| 이름 | 데이터 소스 | 출력 | 출력 설명 | 활성 |
|--------------------------------|-------------|----|--------------------------------|----|
| Netlist Outputs | | | | |
| [Add New Netlist Output] | | | | |
| Documentation Outputs | | | | |
| [Add New Documentation Output] | | | | |
| Assembly Outputs | | | | |
| Generates pick and place files | test.PcbDoc | | Generates pick and place files | |
| [Add New Assembly Output] | | | | |
| Fabrication Outputs | | | | |
| Gerber Files | test.PcbDoc | | Gerber Files | |
| NC Drill Files | test.PcbDoc | | NC Drill Files | |
| [Add New Fabrication Output] | | | | |
| Report Outputs | | | | |
| Bill of Materials | test.PcbDoc | | Bill of Materials | |
| [Add New Report Output] | | | | |
| Validation Outputs | | | | |
| [Add New Validation Output] | | | | |
| Export Outputs | | | | |
| [Add New Export Output] | | | | |

| 출력 컨테이너 | |
|-------------------------|---|
| 컨테이너 | |
| PDF | |
| Release management | Available to PCB Release system |
| Path in Vault | [Release Vault]\ |
| Local Path | C:\...\Documents\Altium\Projects\test\Project Outputs for test\ |
| Folder Structure | |
| Release management | Available to PCB Release system |
| Path in Vault | [Release Vault]\[Output Type]\ |
| Local Path | C:\...\[Output Type]\ |
| Video | |
| Release management | Available to PCB Release system |
| Path in Vault | [Release Vault]\ |
| Local Path | C:\...\Documents\Altium\Projects\test\Project Outputs for test\ |

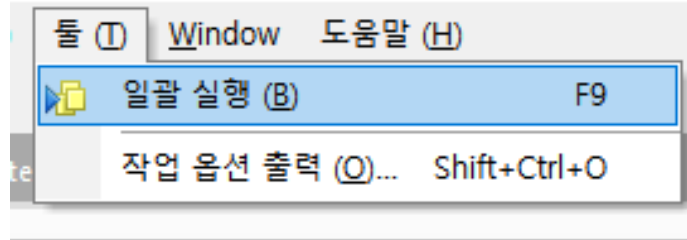


- Output Job File 출력하기



- 데이터 출력

```
its\Altium\Projects\test\test.OutJob * - test.PrjPC
```



데이터가 전체적으로 출력됨!

- Output Job File 확인하기

