TI DSP, MCU 및 Xilinx Zynq FPGA 프로그래밍 전문가 과정

강사 - Innova Lee(이상훈) gcccompil3r@gmail.com

> 학생 - GJ (박현우) uc820@naver.com

SWITCH-MODE POWER SUPPLIES

목차

Chapter 3 - 피드백 및 제어 루프

- 3.0) 도입 + 부록 3D
- 3.1) 관측점
- 3.2) 안정도 판별
- 3.3) 위상 여유도와 과도 응답
- 3.4) 교차주파수 선정
- 3.5) 보상 루프 형상
- 3.6) 간단한 안정도 도구 K요소 --- 3.6 도입부까지 진행함.
- 3.7) TL431에 의한 피드백
- 3.8) 광결합 소자
- 3.9) 병렬 레귤레이터
- 3.10) PSIM과 SIMPLIS에 의한 소신호 응답

3.0) 도입

스위치모드 컨버터는 입력 전압, 출력 부하, 주위 온도 등과

같은 운전조건과 상관없이 <mark>일정한 값</mark>으로

유지를 원하는 전압이나 전류를 가지게 된다.

즉, 외부 상황에 민감하지 않는 기준이 필요하다.

보통 이 기준을 전압원(V_{ref})으로서 정확하고 온도에 변동이 없어야 한다.

컨버터의 출력전압(V_{out})의 일부분 (α) 은 기준 값과 비교된다.

이 말인 즉슨,
$$\mathbf{V_{out}} = \frac{\mathbf{V_{ref}}}{\alpha}$$
 (식 3-1) 이 두 값을 같아지도록 해야 한다.

에러 증폭기 설계가 중요한 이유 : PWM의 주파수는 대략 100k ~ 200khz로 맞춘다. 여기서 Duty비에 따라 원하는 출력을 생성한다.

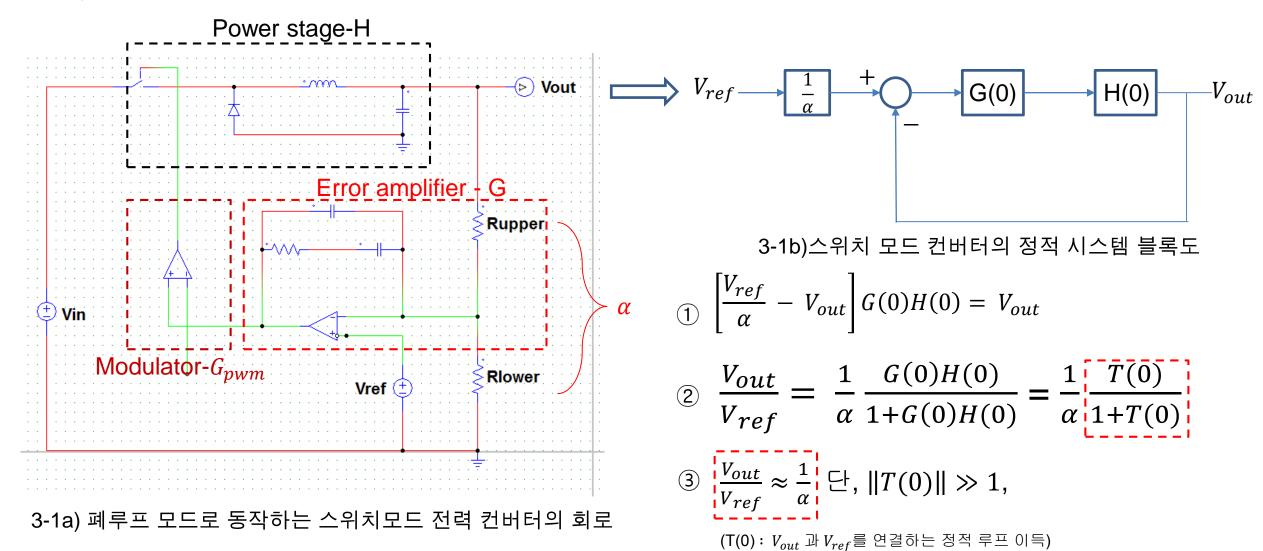
하지만, 출력에 대한 오차를 지속적으로 기준 값에 맞춰주어야 한다.

그 오차를 에러로 본다면 에러 보정을 위해 증폭기를 사용한다고 보면 된다.

설계한 컨버터의 위상 차를 보고 적절한 형식의 증폭기를 사용해야 한다.

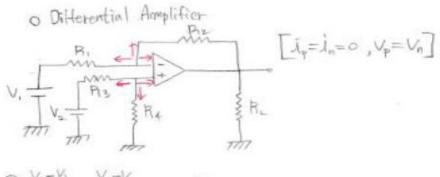
또한, 출력이 가지는 주파수와 DC이득을 분석하여 안정한 시스템이 되도록 설계하는 것이 중요하다.

3.0) 도입



- ② 에서 $\frac{T(0)}{1+T(0)}$ 은 측정치와 원하는 출력($\frac{V_{ref}}{\alpha}$) 에 대한 **정적 에러**를 나타낸다.
- ③ 의 결과를 얻으려면, 정적에러를 감소 시켜야 한다. 연산 증폭기의 오픈 루프 이득이 커야 **정적 에러를 감소** 시킬 수 있다. 하지만, **충분한 저주파수에서의 이득**이 필요하다.

3.0) 부록 3D - 가상접지



$$\bigvee_{p} = \frac{P_{14}}{P_{14} + P_{14}} V_2 = V_n$$

$$V_o = \frac{R_a R_4 V_2 + R_1 R_4 V_2 - R_2 (R_1 + R_4) V_1}{R_1 (R_2 + R_4)}$$

$$= \frac{R_{2}R_{4} + R_{1}R_{2}}{R_{1}(R_{3} + R_{4})}V_{2} - \frac{R_{2}}{R_{1}}V_{1} \qquad \frac{24\frac{\mu}{2}H_{1}}{R_{2}}V_{2}$$

연산 증폭기는 소신호 조건에서 비반전 핀을 '0'으로

유지하면 R_{lower} 가 사라지는 이유는

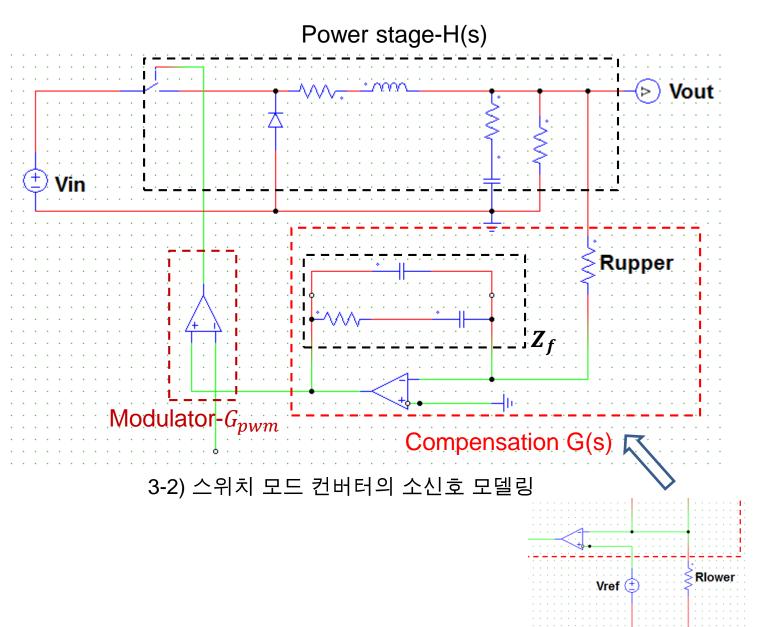
왼쪽 식에서 $V_2 = V_{ref}$ 이므로 맨 마지막 식 G_2 에서 V_2 가 0이 된다.

그러므로, R_{lower} 는 고려할 필요가 없어지므로

우리는 R_{upper} 와 Z_f 만 고려하면 Gain을 얻을 수 있다.

즉, 비율을 쉽게 구할 수 있음.

3.0) 도입



연산 증폭기는 소신호 조건에서 비반전 핀을 '0'으로 유지한다.

따라서 R_{lower} 는 자연히 사라지고

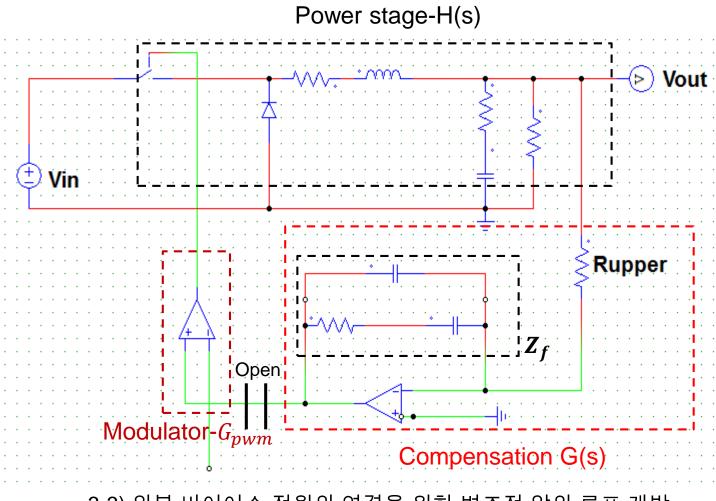
루프이득은 R_{upper} 와 Z_f 에 의해 결정된다.

보상회로의 목적은 시스템이 폐루프 조건에서 동작하는 경우에 안정 시스템이 되도록 하는 컨버터 주파수 응답을 만드는 것이다.

하지만, 회로는 복잡해지기 때문에, 고려해야 할대상을 줄여야 한다.

그리고 전력부를 전달 함수로 나타내면 이 회로의 루프 이득은 $T(s) = H(s) G(s) G_{PWM}$ 이다.

3.1) 관측점



3-3) 외부 바이어스 전원의 연결을 위한 변조점 앞의 루프 개방

피드백 시스템은 출력 변수 (V_{out}) 의 일부분을 안정된 기준치와 비교한다.

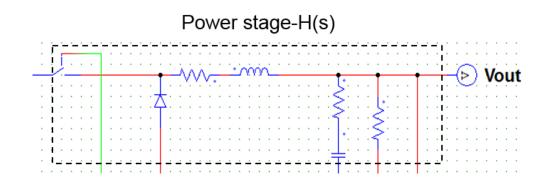
이 신호 사이에 에러는 루프 이득을 거쳐 증폭된다.

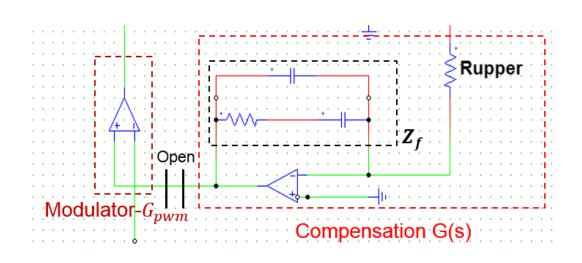
즉, 출력 전압이 목표 값에서 이탈하여 증가하면, 출력을 감소하도록 컨버터에서 지시하여 에러 신호가 감소한다.

반대로 출력 전압이 목표 값보다 아래라면 더 많은 출력 전압을 요구하도록 에러 전압이 증가한다.

이러한 제어동작은 조정하려는 출력에서 관측되는 변동을 막는 것이고 **음의 피드백**이라한다.

예를 들어, 주파수가 증가할 때 컨버터 출력부 H(s)는 지연(lag)이 되고 이득은 감소한다.





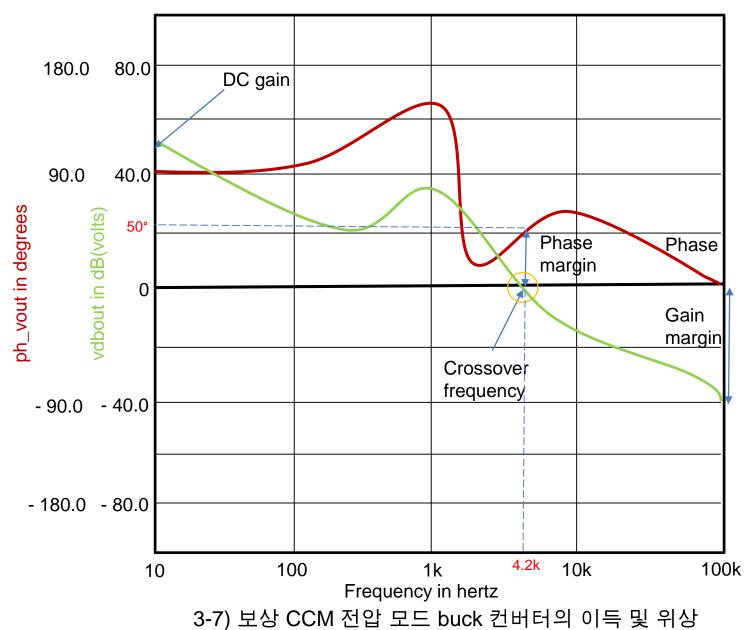
보상 루프가 H(s)와 결합하면 제어 신호와 출력 신호 사이에 위상차이가 0°로 나타난다.

이론적으로 출력과 오차 신호 모두 같은 위상이 되는 반면에 루프 이득 크기가

1(또는 0dB)이 되는 경우는 양수 피드백 발진이 되며 0dB 교차점에서의 주파수를 가지는 정현파 신호가 된다.

그렇기 때문에, 전원 장치를 보상할 때 발진이 일어나지 않도록 해야 한다.

- (1) 루프이득이 0dB 축을 교차할 때 오차와 출력 신호 사이에 충분한 위상차가 존재해야 한다. 위상차를 위상 여유도(PM)이라 한다. 보통 최소 45°이나 설계 목표치를 70~80°로하면 양호한 안정도와 링잉(ringing)하지 않는 빠른 과도 응답을 나타냄.
- (2) G(s)는 정적 에러와 출력 임피던스를 감소하고 입력선의 변동을 거절하기 위해 DC부분에서 큰 이득 값을 제공해야 함.
- Crossover frequency = 0 dB
- PM = phase 0°일 때 Gain이 0 dB가 될 때까지의 margin



0db인 4.2 kHz의 교차 주파수에서 50°보다 큰 PM이 된다. 이 그림에서 PM은 위상 곡선과 0°축 사이의 차이이다.

0db점 위 또는 아래의 위상 여유도가 없는 경우를 조건적 안정도라고 한다.

0°위상에서 이득 곡선이 0dB 축에 도달하는 데 필요한 이득증가를 이득 여유도(GM)라고 한다.

부하 조건, 부품 오차, 주위 온도 등에 따른 이득 변동을 대처하기 위하여 **적어도 10 내지 15db 이득**을 확보해야 한다.

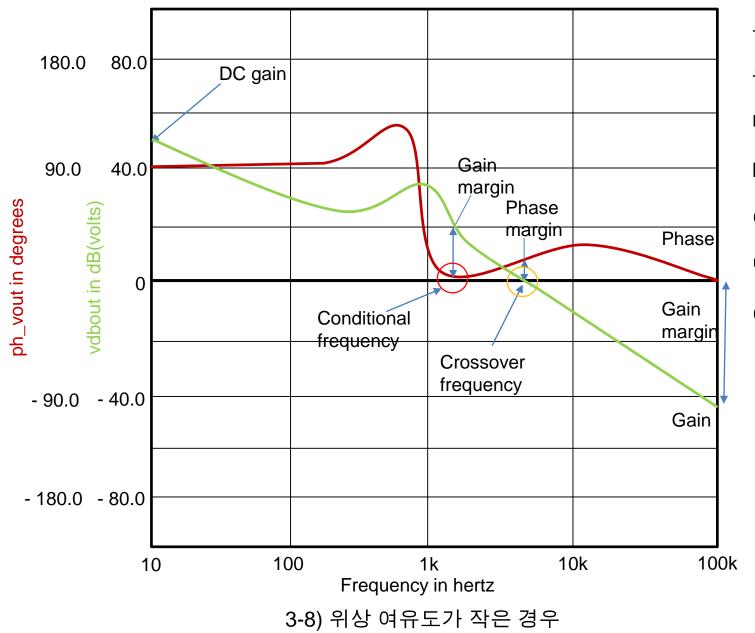


그림 3-8은 Crossover frequency에서 25°의

위상 여유도를 가진다. 이것은 너무 낮다.

더욱이 2 kHz에서 거의 0°이다.

Phase가 0°에서 이득 곡선이 0 dB축에 도착 하는데

이득이 20 dB 감소하면

발진이 일어나는 점에서 0 dB를 교차한다.

이것은 위에서 기술한 <u>조건적 안정도</u>가 된다.

3.3) 위상 여유도와 과도 응답

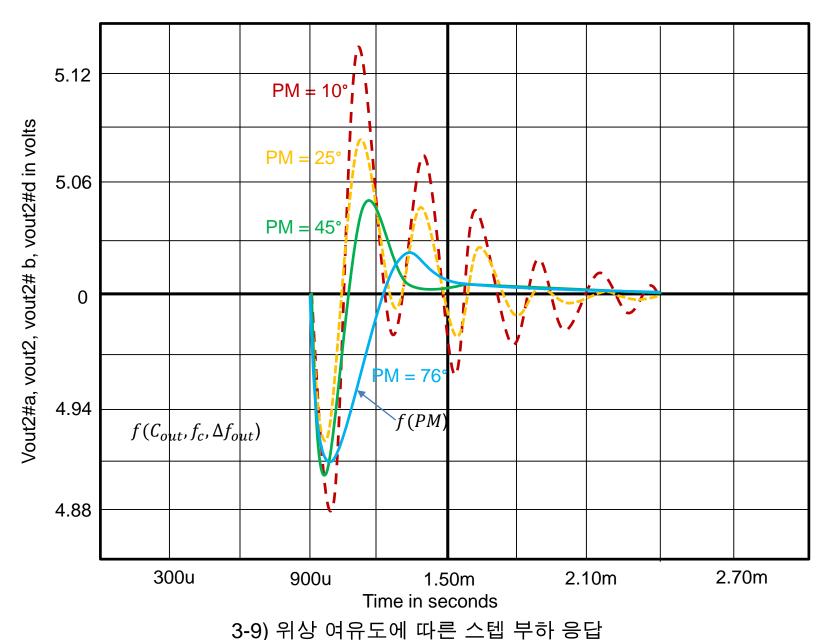


그림 3-9에서 처럼

위상 여유도(PM)가 너무 작으면
RLC 회로에서 피크는 큰 출력 링잉을
유도 한다.

반대로 위상 여유도가 너무 크면 시스템 응답이 느려진다. 즉, 오버슈트는 사라지나 응답 및

회복 속도가 느려지는 모습을 볼 수 있다.

오버슈트 계수 ζ = 0.5에서 **76°**의 이론적

위상 여유도를 가져온다. 이 경우에는

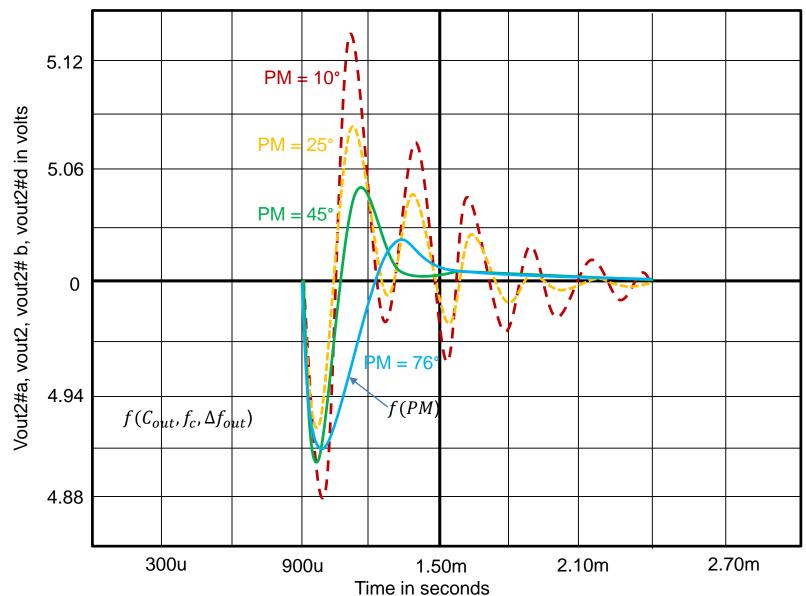
낮은 오버슈트를 가지는 응답 속도의 임계

감쇄 컨버터가 된다.

이에 근거하여, 컨버터 위상 여유도 목표 값은

70°로 설정해야 하며 최소 45° 이상이어야 한다.

3.4) 교차주파수 선정



3-9) 위상 여유도에 따른 스텝 부하 응답

$$ESR_{C_{out}} \le \frac{1}{2\pi f_c C_{out}}$$

위 조건 만족시 $V_P \approx \frac{\Delta I_{out}}{C_{out} 2\pi f_c}$ 이 성립된다.

같은 시간에서 위상이 커지면 주기가 길어진다.

그러므로 V_p 는 작아진다.

그러나, 우리는 CCM boost, buck 또는

Flyback 컨버터에서 RHP 영점을 가진다면

교차주파수 f_c 는 가장 나쁜 최소값보다

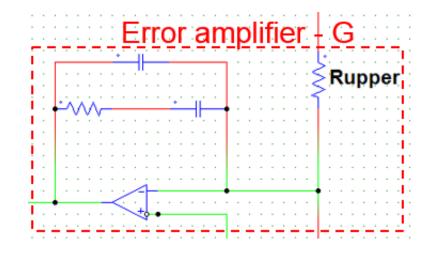
30%이상 크게 할 수 없다.

또한, LC의 피크도 교차주파수를 제한함.

 f_c 는 반드시 공진주파수 f_o 에 가깝게 하면 안된다.

가장 나쁜 조건에서도 f_c 는 f_o 의 3배 이상이 되어야 한다.

3.5) 보상 루프 형상



안정도 문제 때문에 dc에서 큰 이득과 함께

선정된 교차점에서 적절한 위상 여유도를 가져야 하기 때문에

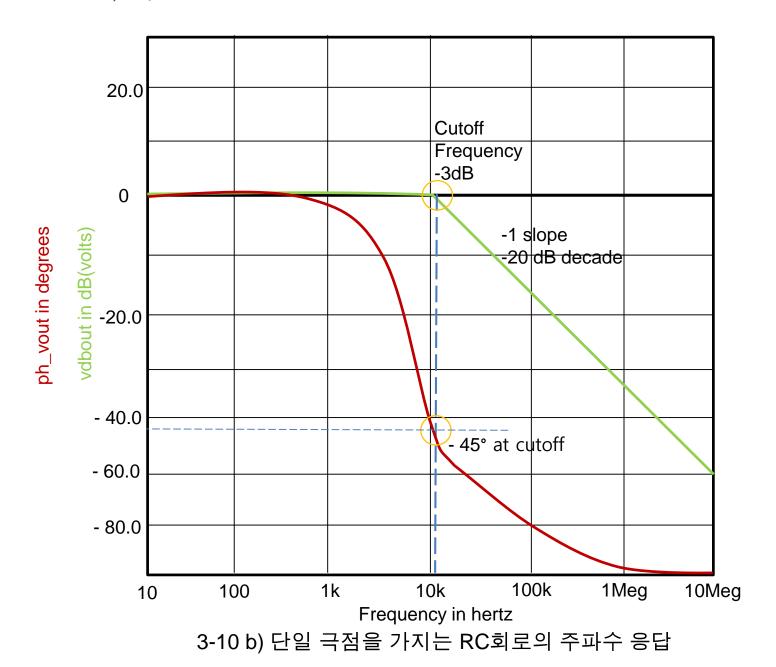
보상회로 G(s)의 형상을 만듬.

보통 적절한 위상 여유도를 가지기 위하여 교차주파수에서 위상 증가가 사용된다.

루프가 교차주파수 부근에서 -1 기울기 또는 -20 dB/decade로서 교차하도록 만든다.

하지만 필요한 증가 크기가 때때로 원하는 교차주파수에서 도달할 수 없을 만큼 크다.

3.5.1) 수동형 극점

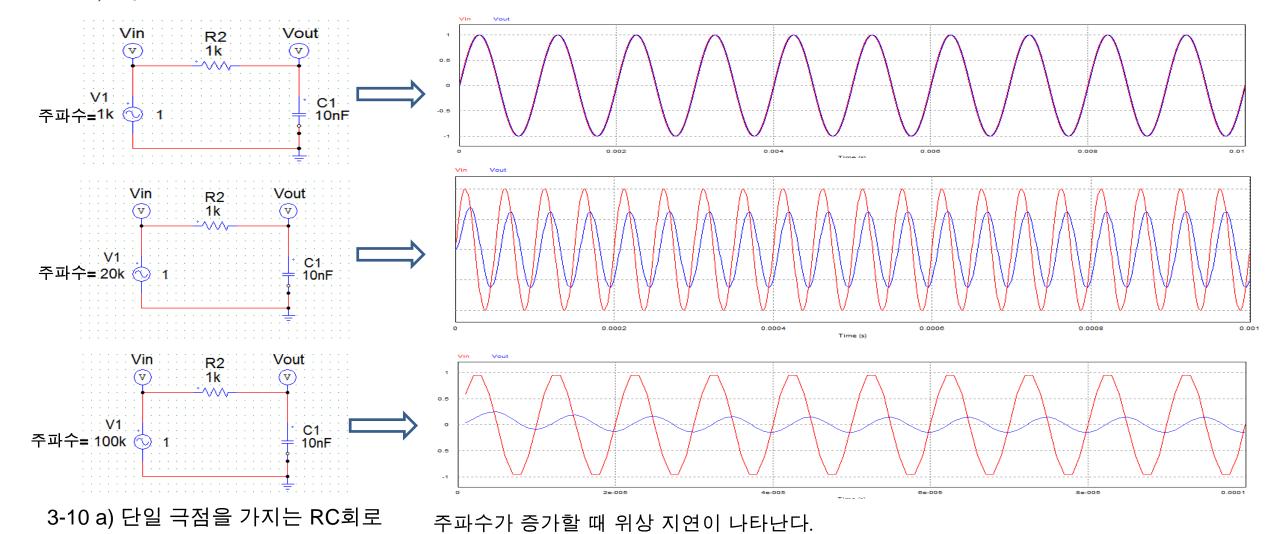


RC필터, 즉 단일 극점을 가지는 회로는 어떤 점에서의 이득을 떨어뜨리기 위해 보상회로에 종종 쓰인다.

이득이 감소하는 비율은 -20 dB/decade이다.

즉, 차단주파수 이후에 주파수 f_1 과 f_2 의 비율이 $f_2 = 10f_1$ 인 경우에 -20 dB이 된다. 3-10 b그림에서 -1 slope로 나타나고 -40 dB/decade는 2차 회로에서 -2 slope로 나타난다.

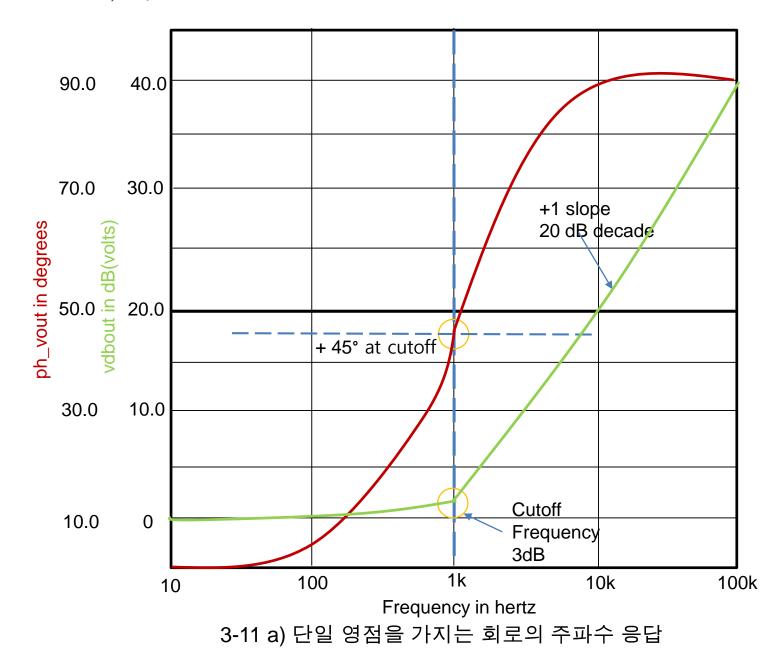
3.5.1) 수동형 극점



이 회로의 전달함수는 $\frac{V_{out(s)}}{V_{in}(s)} = \frac{1}{1+sRC} = \frac{1}{1+\frac{s}{w_0}}$ 이고,

수동형 필터의 차단 각주파수는 dc 이득이 -3 dB만큼 감소되는 점으로 $w_0=rac{1}{RC}$ 이다.

3.5.2) 수동형 영점

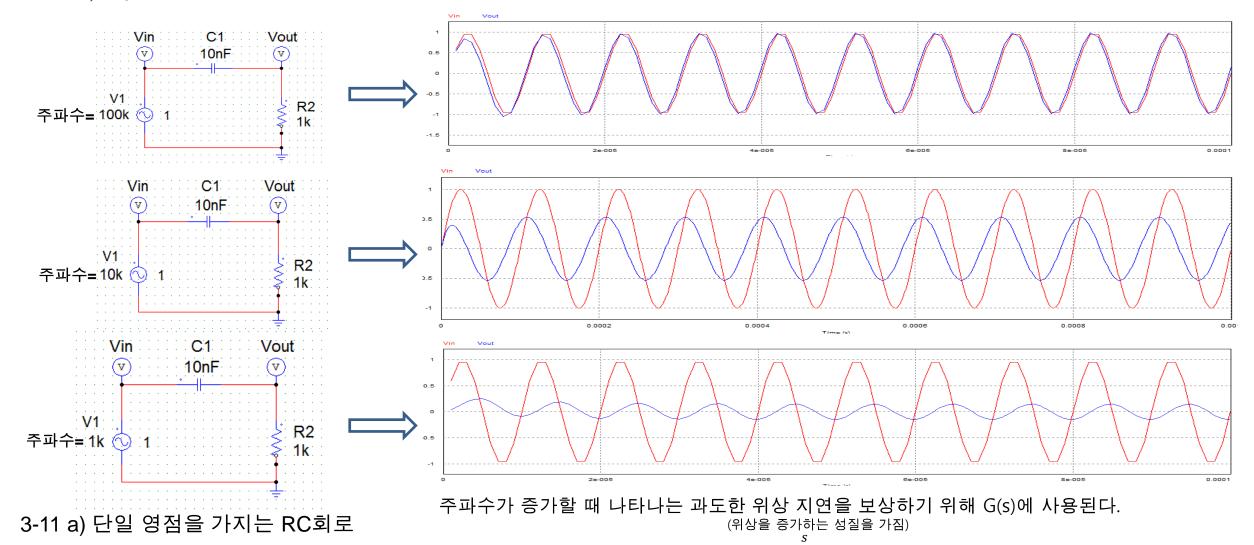


극점이 위상을 지연하는 반면에 영점은 위상을 증가하는 성질을 가진다.

즉, 영점은 전력부 응답에서 일어나는 과도한 위상 지연을 보상하기 위하여 G(s)에 쓰인다.

$$G(s) = 1 + \frac{s}{w_0}$$

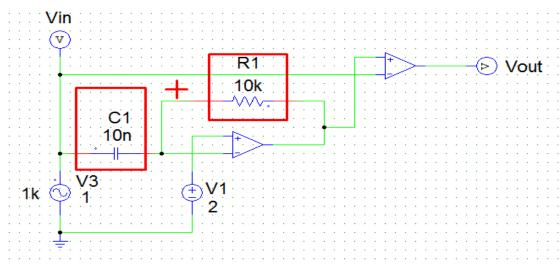
3.5.2) 수동형 영점



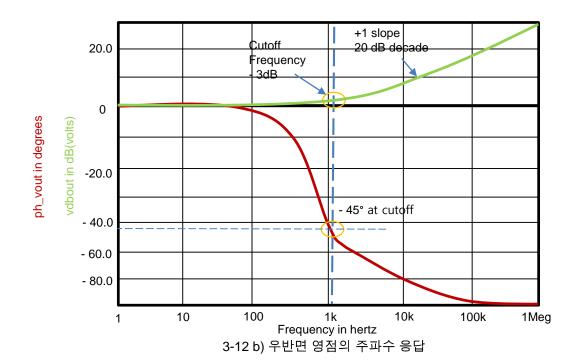
이 회로의 전달함수는 $\frac{V_{out(s)}}{V_{in}(s)} = \frac{sRC}{1+sRC} = \frac{\overline{w_0}}{1+\frac{s}{w_0}}$ 이고

수동형 필터의 차단 각주파수는 dc 이득이 +3 dB만큼 증가되는 점으로 $w_0=\frac{1}{RC}$ 이다. 위 방정식에서 분자의 근이 음수가 된다면, 좌반면 영점(LHPZ) 위치를 의미한다.

3.5.3) 우반면 영점



3-12 a) RHPZ를 가지는 능동형 고역 통과 필터와 가산기



안정도를 목적으로 하는 만든 것은 아니다.

RHPZ에 대한 이해를 돕기 위해 아래와 같은 수식을 공부해보자.

$$G(s) = 1 - \frac{s}{w_0}$$

RHPZ는 예를 들어 반전 출력(음수부호)이 입력으로 가산되는 능동형 고역 통과 필터인 그림 3-12a 회로에서 발생한다. 전달함수는 아래와 같다.

$$V_{out}(s) = V_{in}(s) - V_{in}(s) \frac{R_1}{\frac{1}{sC_1}} = V_{in}(s) \left(1 - \frac{s}{w_0}\right)$$

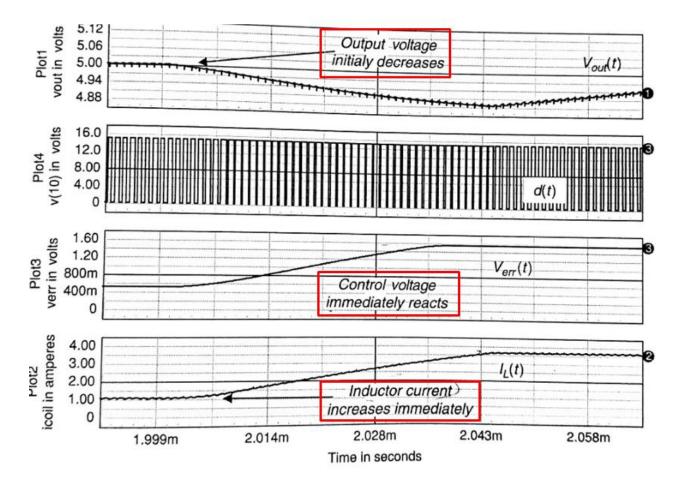
그림 3-12b 에서 출력 이득 곡선은 다른 영점과 같다.

차단 주파수를 가지는 +1 slope는 같으나

위상 곡선에서 차이가 난다.

RHPZ는 위상 지연 뿐만 아니라 위상 여유도(PM)도 나쁘게 한다.

3.5.3) 우반면 영점



3-13)CCM 운전 boost 컨버터에서 RHPZ의 영향

3-13 그림의 빨간 박스에 나타난 것처럼

초기 출력 전압이 감소하며 조절 전압은 갑자기

반응하기 시작하면서

인덕터에 흐르는 전류가 갑자기 증가한다.

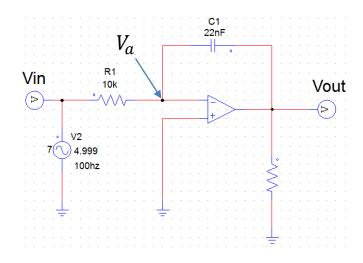
이처럼 이것은 수동형 극점과 영점이

루프 이득을 형성하는데 어떻게 관련이 되는지를 설명한다.

RHPZ는 buck-boost, boost 또는 flyback과

같은 CCM은전 컨버터에서 발생한다.

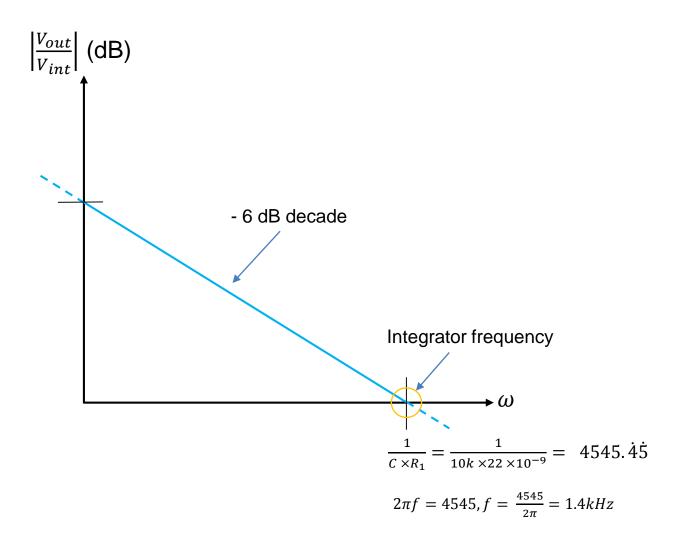
RHPZ는 DCM에서 없어진다.

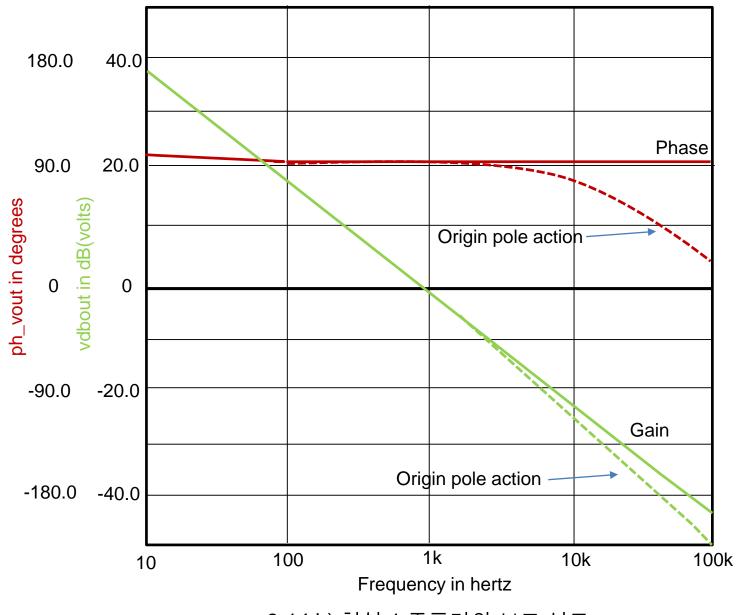


(2)
$$i(t) = \frac{V_{in} - V_a}{R_1} = \frac{V_{in} - 0V}{R_1} = \frac{V_{in}}{R_1}$$

$$3 V_{out} = -\frac{1}{C \times R_1} \int_0^t V_{in} dt$$

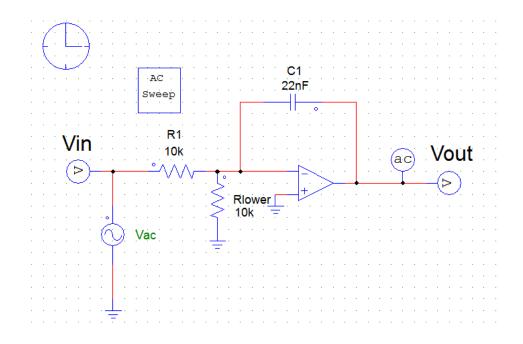
$$(3) G(s) = \frac{V_{out}(s)}{V_{in}(s)} = -\frac{1}{sCR_1}$$

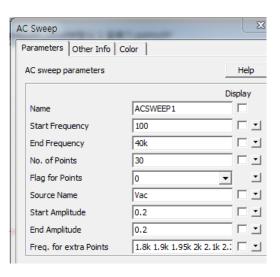


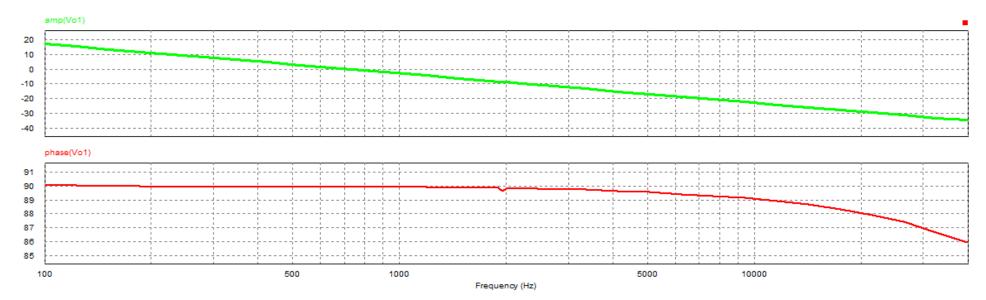


3-14에서 보면 사실 증폭기로써 이득이 높지 않다. 하지만, 여기에 **피드백 저항**을 추가한다면 LPF로써 동작하면서 낮은 주파수 대역에 대해서 확실한 이득을 가지게 된다.

3-14 b) 형식 1 증폭기의 보드 선도







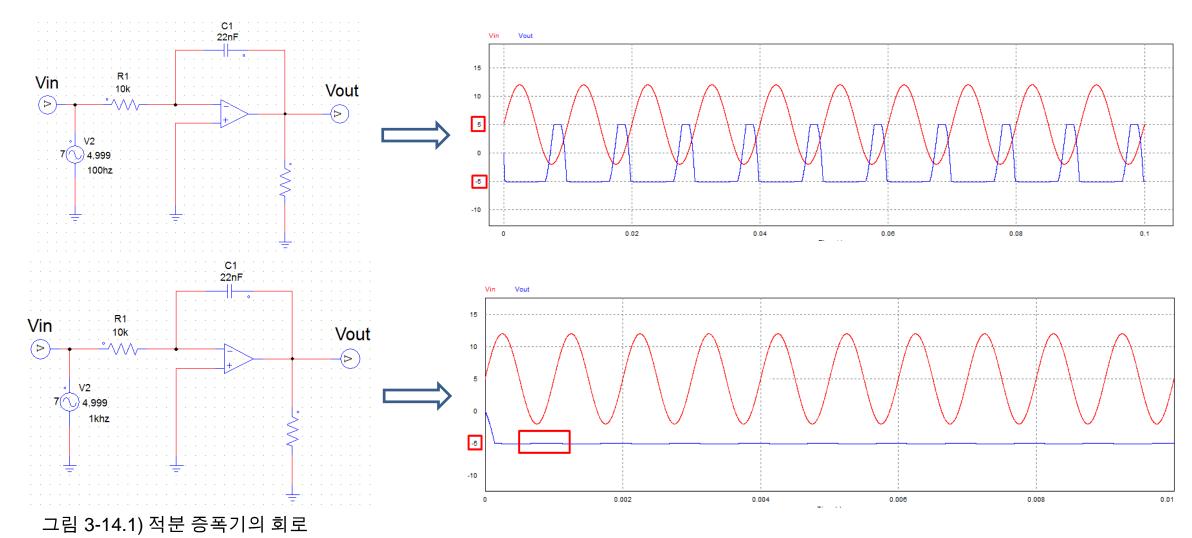


그림 3-14.1)에서 주파수가 커질수록 Gain 값이 줄어들어, 낮은 주파수 대역은 어느정도 이득을 가지고 통과한다는 것을 의미한다. 즉, 적분기를 주파수 관점으로 보면 LPF(Low Pass Filter)라고 한다.

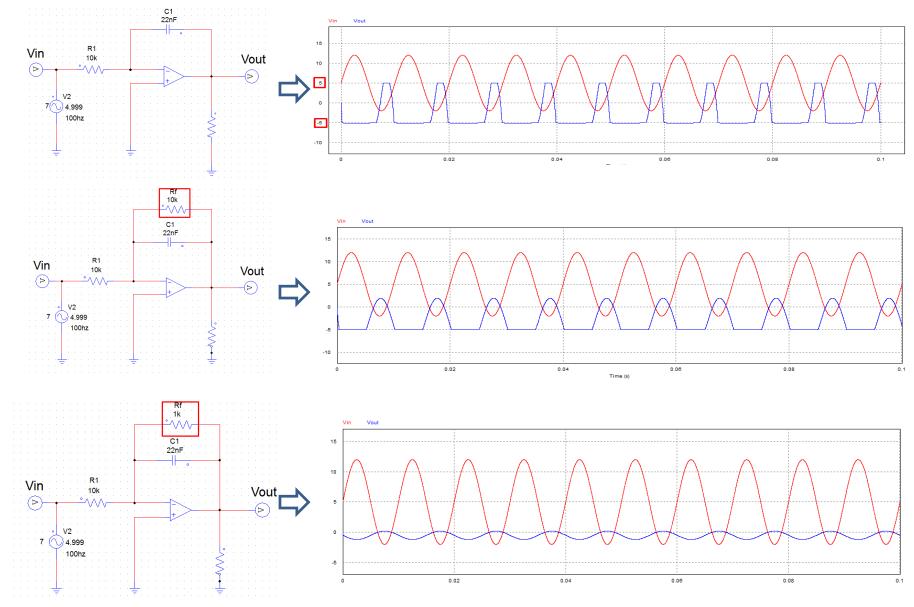
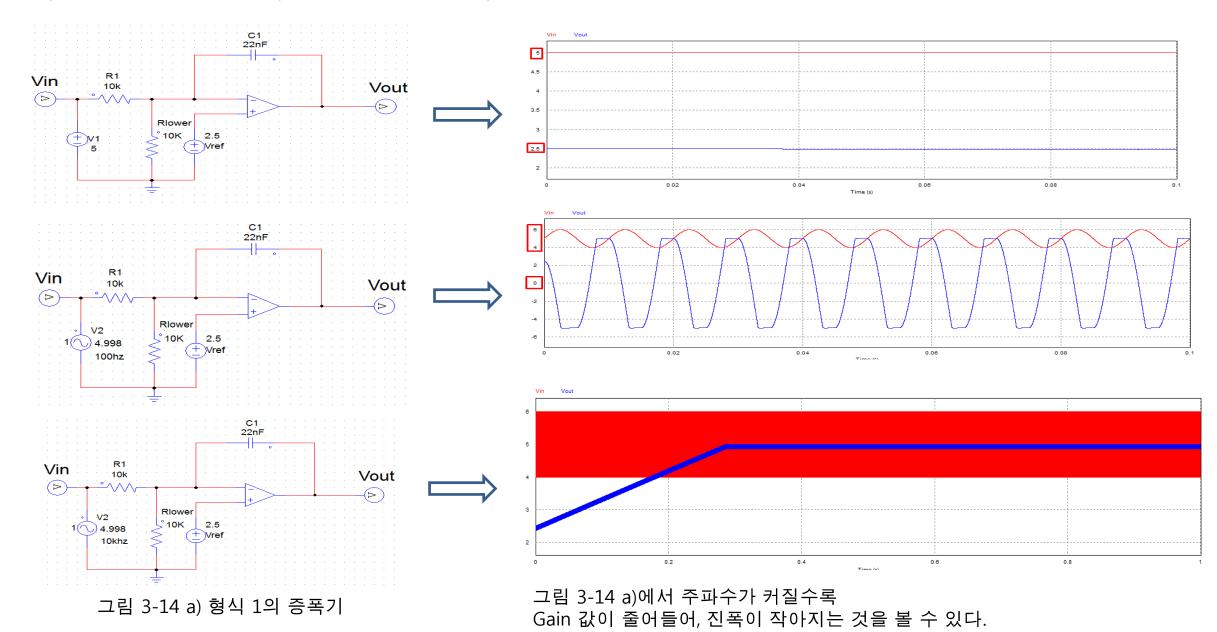


그림 3-14.2에서처럼 피드백 저항이 추가가 되면 이득의 비율을 제어할 수 있다. 이 증폭기에 대한 전달함수는 아래와 같다.

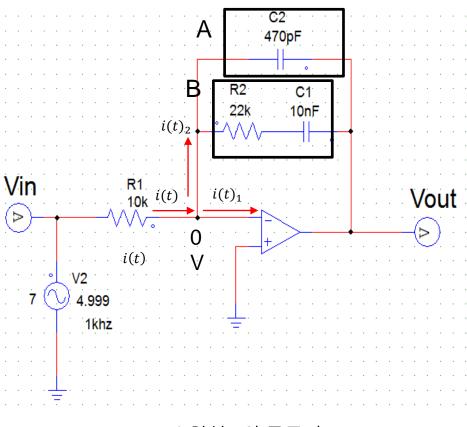
$$G(s) = \frac{V_{out}}{V_{in}} = -\frac{\frac{R_f}{R_1}}{1 + sCR_f}$$

이 수식은 위에서와 같은 방식으로 전개해보면 구할 수 있다.

그림 3-14.2) 피드백 저항이 붙은 적분 증폭기의 회로



AC신호에서는 Rlower값을 무시할 수 있다. 부록 3D 참고



3-15 a) 형식 2의 증폭기

②
$$A = \frac{1}{j\omega C_2}$$
, $B = R_2 + \frac{1}{j\omega C_1}$

$$(4) i(t) = i(t)_1 + i(t)_2 = 0 + i(t)_2$$

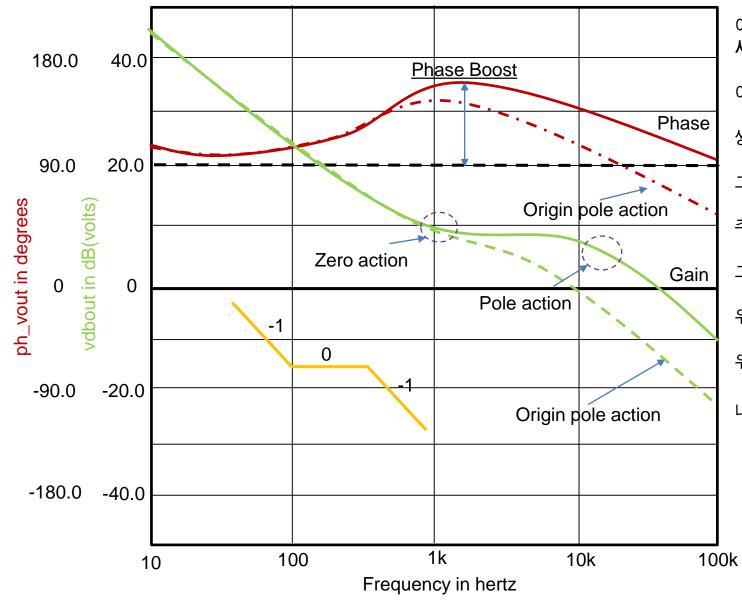
$$(5) i(t) = \frac{V_{in}}{R_1}$$

⑥
$$V_{out} = Z \times i(t)$$
 (Laplace) $\rightarrow \frac{V(s)_{out}}{V(s)_{in}} = \frac{\frac{1}{sC_2}(R_2 + \frac{1}{sC_1})}{\frac{1}{sC_2} + R_2 + \frac{1}{sC_1}} \times \frac{1}{R_1}$ (정리)

$$\therefore G(s) = \frac{1 + sR_2C_1}{sR_1(C_1 + C_2)\left(1 + sR_2\frac{C_1C_2}{C_1 + C_2}\right)}$$

영점
$$\omega_z = \frac{1}{R_2 C_1}$$

원점 극점
$$\omega_{p1} = \frac{1}{R_1(C_1 + C_2)}$$
 $\omega_{p2} = \frac{1}{R_1(\frac{C_1C_2}{C_1 + C_2})}$ but if $C_2 \ll C_1$ then $w_{p2} = \frac{1}{R_2C_2}$



이전의 증폭기 형식은 위상 여유도(PM)가 원하는 교차주파수에서 너무 낮을 때 필요한 위상 증가를 제공하지 않는다.

이전 페이지의 그림 3-15a는 위상 증가를 해주는 영점-극점 쌍을 함께 가지는 증폭기이다.

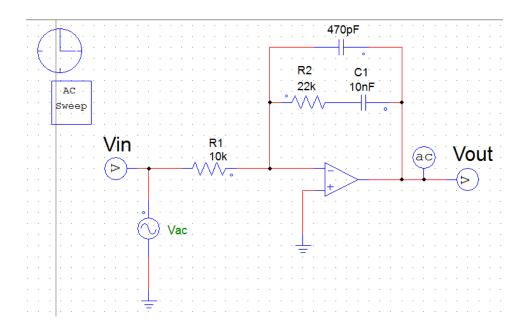
그림 3-15b는 형식 2증폭기의 보드선도로 위상과 이득이 주파수에 따라 어떻게 변동되는가를 보여준다.

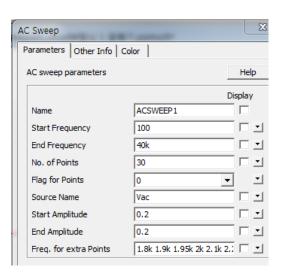
그림을 보면 Zero와 Pole 사이에서 위상이 증가함을 알 수 있다.

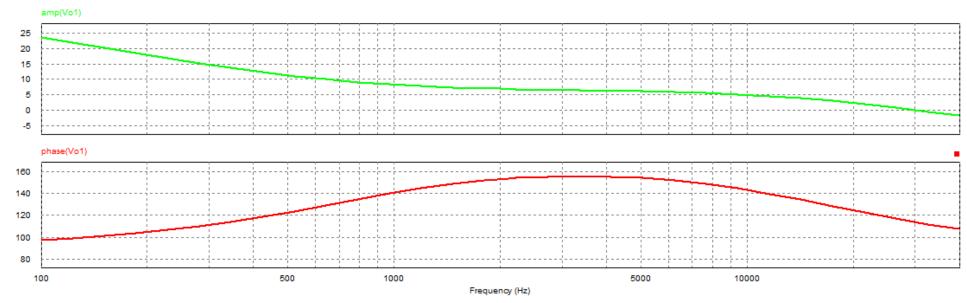
위상 증가는 이 두 점 사이의 거리에 종속된다.

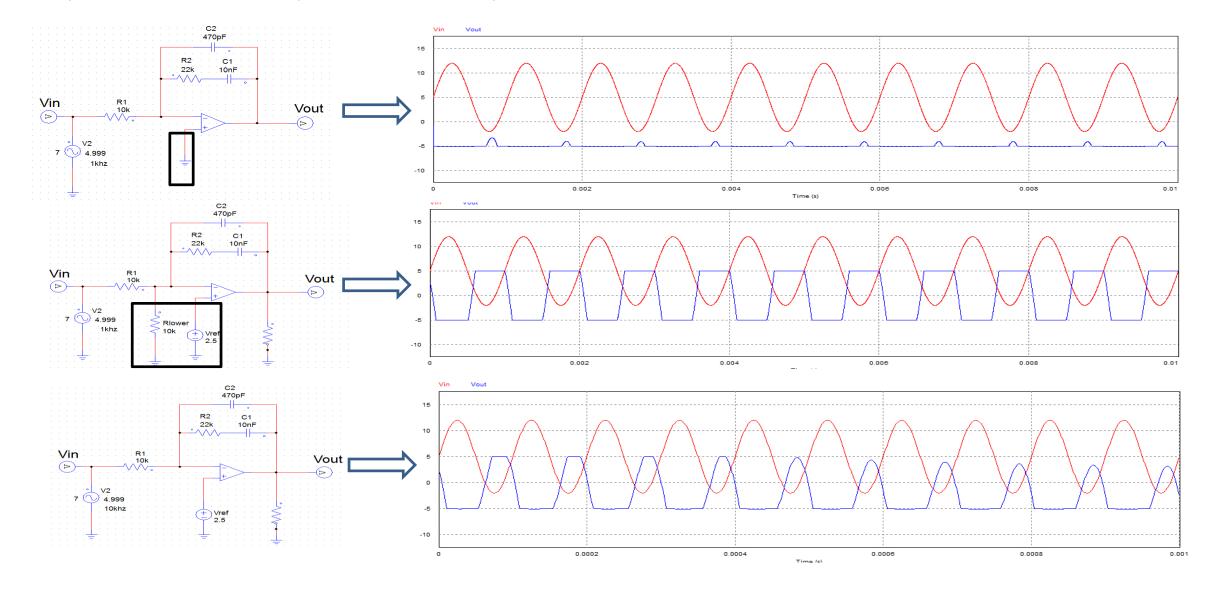
위상 증가의 피크는 $\sqrt{\omega_z \times \omega_{p2}}$ 와 같이 기하 평균으로 나타낼 수 있다.

3-15 b) 형식 2 증폭기의 보드 선도

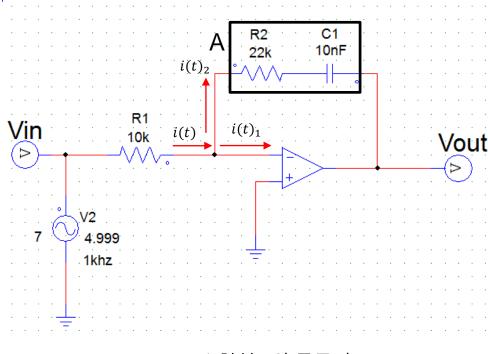








위에서 만들었던 증폭기와는 달리 **위상 증**가로 인해 주파수가 10khz에서도 Gain값을 얻어 신호 가 증폭되는 것을 볼 수 있다.



3-16 a) 형식 2의 증폭기

$$3 Z = R_2 + \frac{1}{j\omega c_1}$$

$$(4) i(t) = i(t)_1 + i(t)_2 = 0 + i(t)_2$$

$$(5) i(t) = \frac{V_{in}}{R_1}$$

⑥
$$V_{out} = Z \times i(t)$$
 (Laplace) $\rightarrow \frac{V(s)_{out}}{V(s)_{in}} = R_2 + \frac{1}{sC_1} \times \frac{1}{R_1}$ (정리)

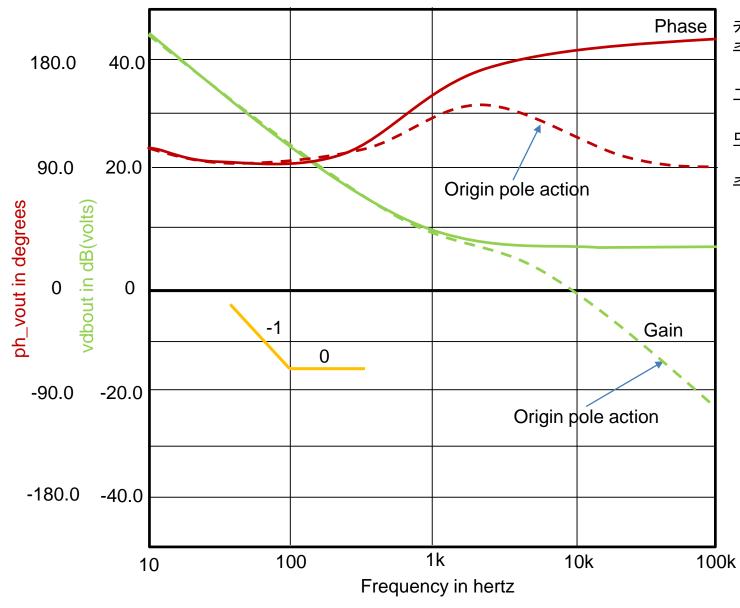
$$\therefore G(s) = \frac{1 + sR_2C_1}{sR_1C_1}$$

영점
$$\omega_Z = \frac{1}{R_2 C_1}$$

원점 극점
$$\omega_p = 0$$

주파수가 증가할 때 전달 함수의 이득은 두 저항에 의해서 결정된다.

$$\lim_{n\to\infty}G(s)=\frac{R_2}{R_1}$$

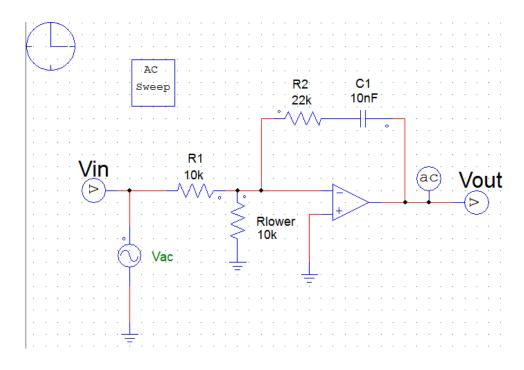


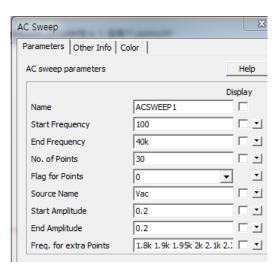
커패시터 C_2 를 제거하면 고주파수 극점이 제거되고 보상회로의 주파수 응답이 변화 된다.

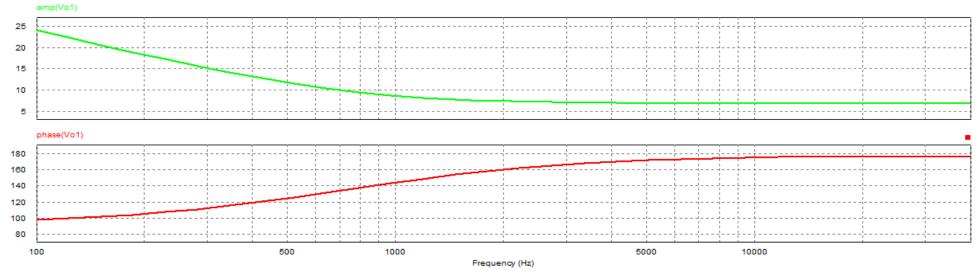
그림 3-16b는 형식 2 증폭기가 어떻게 변형되는지를 보여준다.

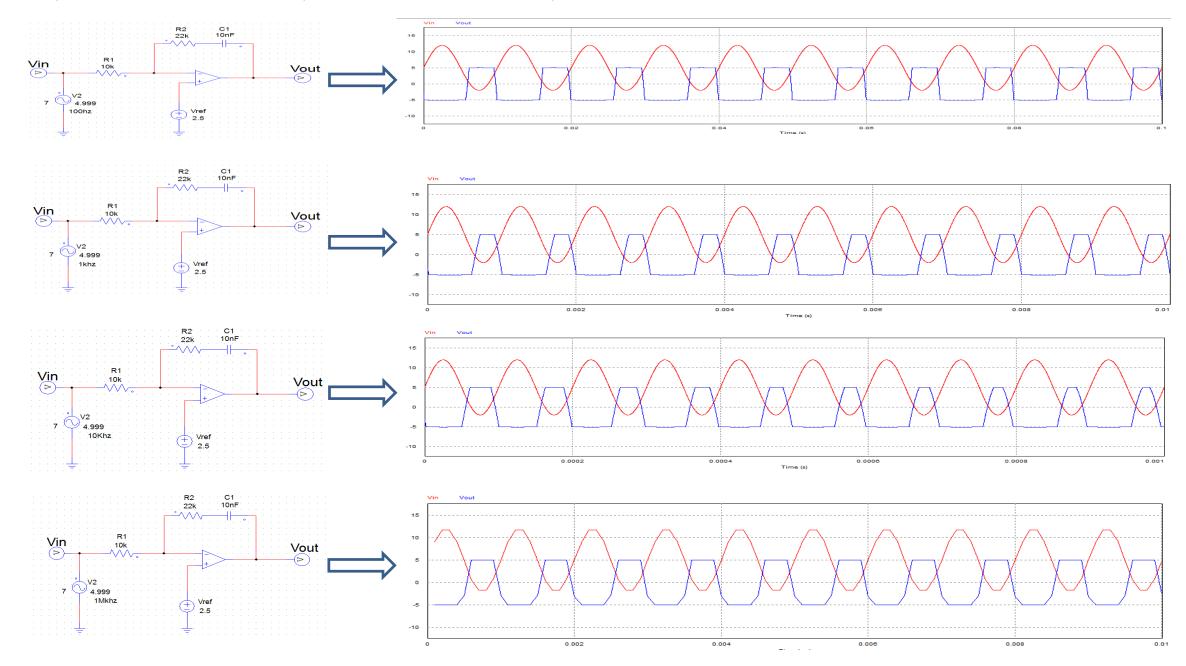
또한, 연산 증폭기 원점 극점에 따른 영향을 보여주는 주파수 응답이다.

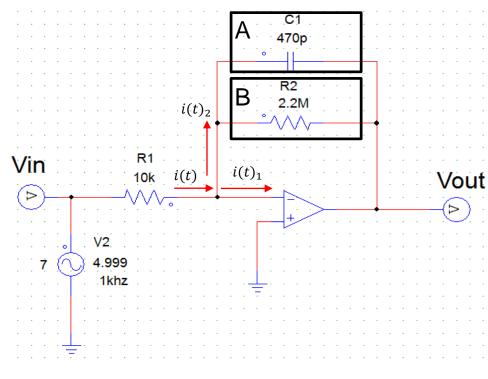
3-16 b) C_2 를 제거한 형식 2a의 증폭기











3-17 a) 형식 2b의 증폭기

$$3 Z = \frac{\frac{R_2}{j\omega C_1}}{\frac{1}{j\omega C_1} + R_2}$$

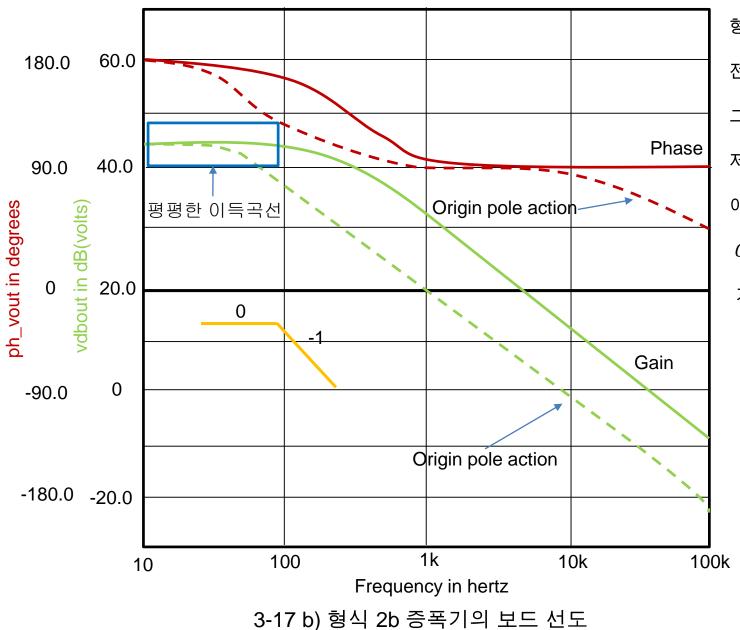
$$(4) i(t) = i(t)_1 + i(t)_2 = 0 + i(t)_2$$

$$(5) i(t) = \frac{V_{in}}{R_1}$$

⑥
$$V_{out} = Z \times i(t)$$
 (Laplace) $\rightarrow \frac{V(s)_{out}}{V(s)_{in}} = \frac{\frac{R_2}{sC_1}}{\frac{1}{sC_1} + R_2} \times \frac{1}{R_1}$ (정리)

$$\therefore G(s) = \frac{1}{1 + sR_2C_1} \times \frac{R_2}{R_1}$$

원점 극점
$$\omega_p = \frac{1}{R_2 C_1}$$

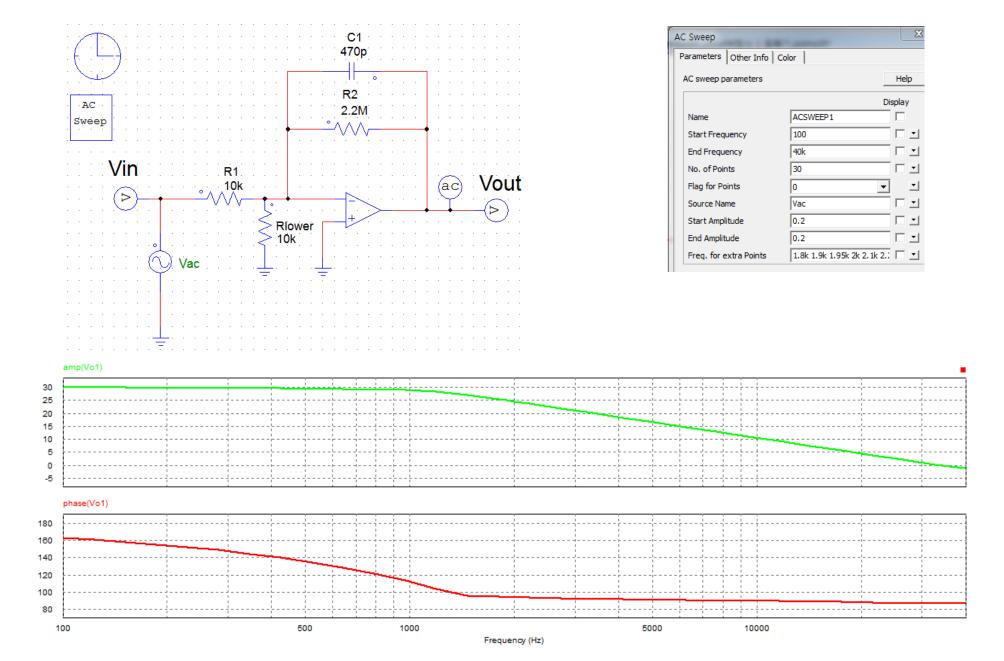


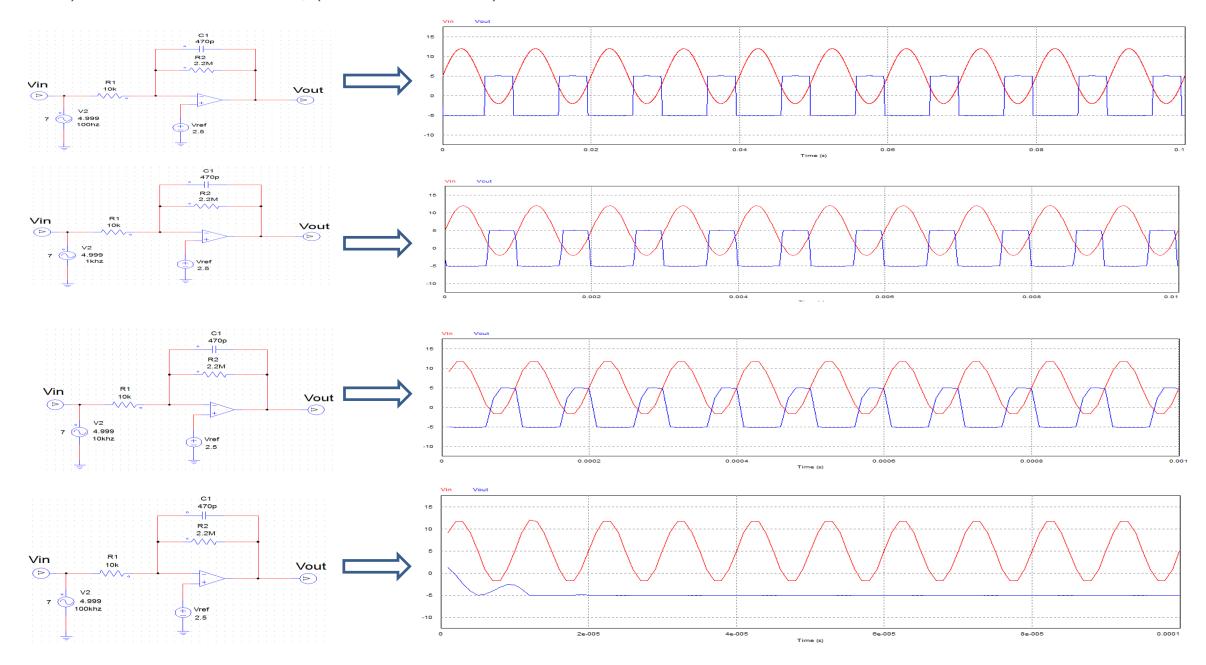
형식 2의 또 다른 형태는 저항을 추가하여 비례 증폭기를 만들고 전에 나왔던 적분항을 이동하는 회로이다.

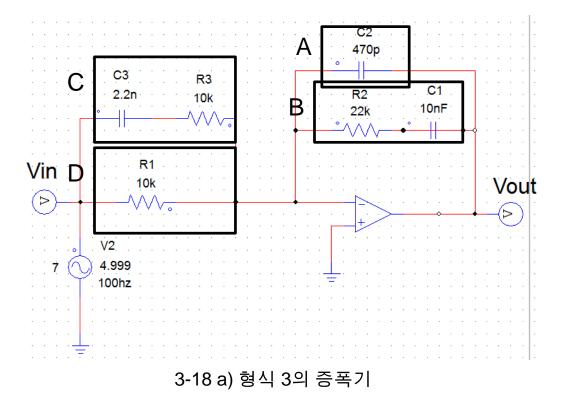
그림 3-17a는 이득을 떨어뜨리는 고주파수 특성이 생기도록 저항 R_2 와 커패시터 C_1 을 병렬로 연결한 회로이다.

이 증폭기는 급격한 스텝 부하 인가에서 오버슈트가 작다.

 C_1 에 의한 극점 영향이 나타날 때까지 R_2 와 R_1 에 의해 결정되는 기울기가 없는 평평한 이득 곡선을 제공한다.







②
$$A = \frac{1}{j\omega C_2}$$
, $B = R_2 + \frac{1}{j\omega C_1}$, $C = R_3 + \frac{1}{j\omega C_3}$, $D = R_1$

$$(4) i(t) = i(t)_1 + i(t)_2 = 0 + i(t)_2$$

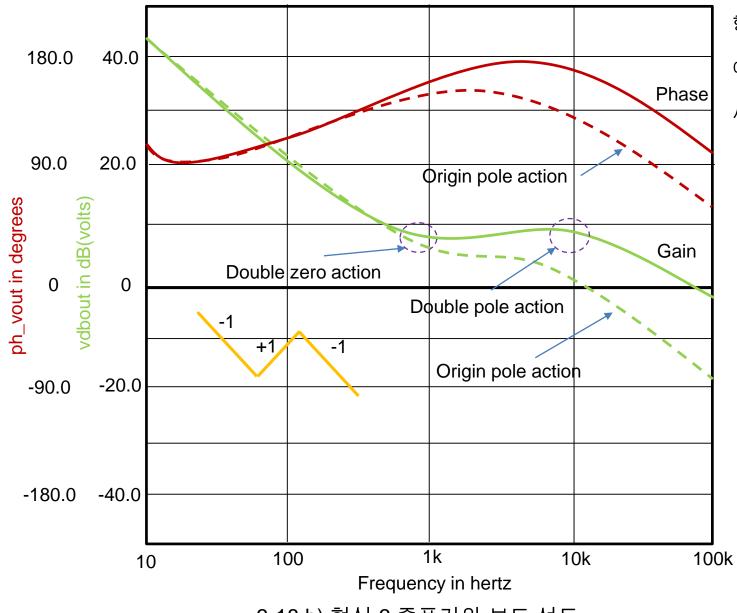
$$(5) i(t) = \frac{V_{in}}{Z_i}$$

⑥
$$V_{out} = Z_f \times i(t)$$
 (Laplace) $\rightarrow \frac{V(s)_{out}}{V(s)_{in}} = \frac{Z_f}{Z_i}$ (정리)

$$\therefore G(s) = \frac{1 + sR_2C_1}{sR_1(C_1 + C_2)\left(1 + sR_2\frac{C_1C_2}{C_1 + C_2}\right)} \frac{1 + sC_1(R_1 + R_3)}{(sR_3C_3 + 1)}$$

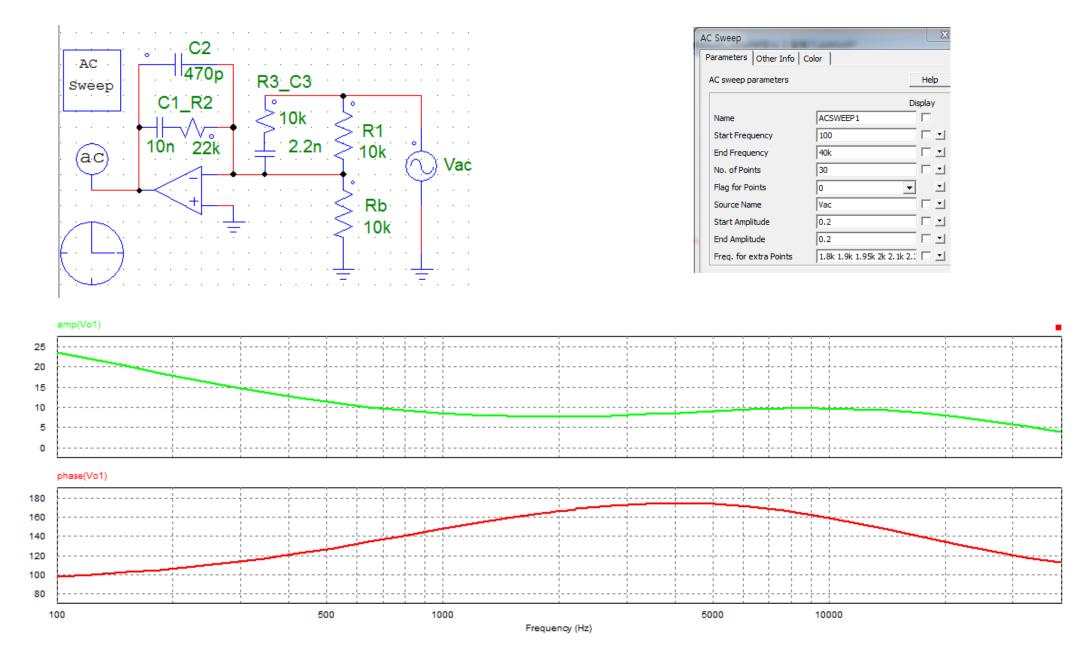
 $C_2 \ll C_1$ 및 $R_3 \ll R_1$ 을 가정하면

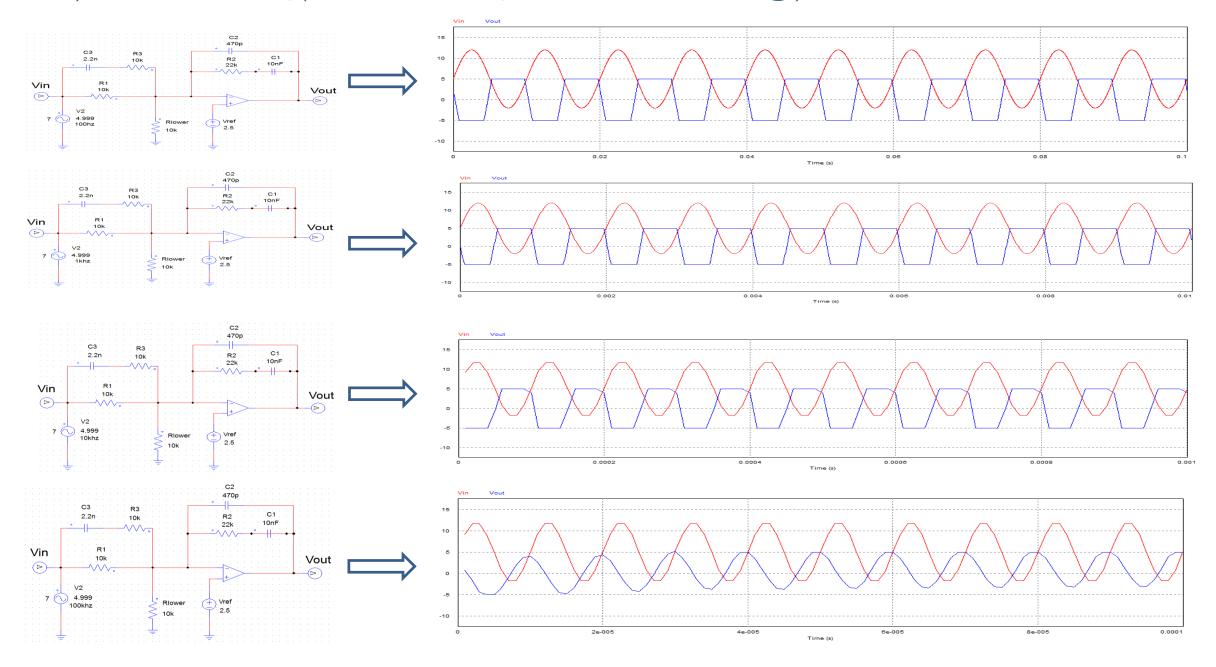
$$\omega_{z1} = \frac{1}{R_2 C_1}$$
, $\omega_{z2} = \frac{1}{R_1 C_3}$, $\omega_{p0} = \frac{1}{R_1 C_1}$, $\omega_{p1} = \frac{1}{R_3 C_3}$, $\omega_2 = \frac{1}{R_2 C_2}$



형식 3 증폭기는 큰 위상 증가가 필요한 경우 예를 들어, 2차 응답을 나타내는 CCM 전압 모드 컨버터에서 사용된다.

3-18 b) 형식 3 증폭기의 보드 선도





3.5.9) 증폭기 형식 선정

원하는 컨버터 형식과 과도 응답은 보상 형식의 선정을 통해서 결정된다.

- 형식 1: 위상 증가를 제공 x, 이 증폭기는 전력부의 위상 이동이 작은 컨버터 예를 들어, 2차 필터의 공진 주파수에서 훨씬 벗어나서 이득을 떨어뜨리고 싶은 경우에 사용된다. 적분형 보상으로서 급격한 부하 변동에서 가장 큰 오버슈트를 발생시킨다. 이 방식은 전압-전류 변환 증폭기에 의한 역률 보정(PFC) 응용에서 널리 사용된다. (즉, Buck에서 자주 사용되는 것은 아님.)
- 형식 2: 이 증폭기는 가장 많이 사용되며 -90°까지 지연되는 전력부 및 출력 커패시터에서 ESR에 의해 발생한 증가분이 제거(고주파수에서 이득감소)되어야 하는 경우에서 많이 사용한다. 그렇기 때문에, 전류모드 CCM과 전압 모드(듀티 사이클 직접제어)DCM으로 사용되는 컨버터의 경우에 쓰인다.
- 형식 2a: 응용 분야로는 형식 2와 같으나 출력 커패시터 ESR효과는 무시된다. 예를 들어, 영점이 고주파수 영역에서 소멸되는 경우에 이 방식을 사용한다.
- 형식 2b: 비례항을 추가하여 언더 및 오버슈트를 감소시킬 수 있다. 출력 임피던스가 너무 유도성으로 바뀌는 것을 보호한다. 따라서 월등한 과도 응답이 나타난다. 하지만, 이 증폭기는 DC이득을 감소시키므로 더 큰 정적 에러가 발생할 수 있다.
- 형식 3: 전력부의 위상 이동이 -180°인 회로 구성에 사용된다. 이 경우는 CCM 전압모드 buck 또는 boost형 컨버터의 경우에 해당한다.

즉, 우리는 전력부의 위상 이동이 얼마나 나오는지를 확인하고 보상기 형식을 정하면 된다.

3.6) 간단한 안정 도구 - K 요소

특정 위상 여유도를 가지는 교차주파수가 되도록 극점과 영점을 어떻게 설정할 수 있을까????? 1980년대 Dean Venable은 k 요소의 개념을 도입했다.

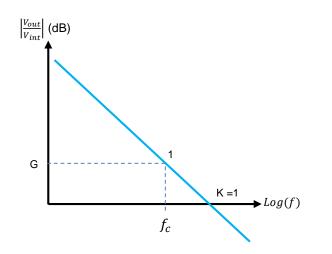
안정화하려는 컨버터의 개루프 보드 선도에 근거한 k 값을 구하는 방법이다.

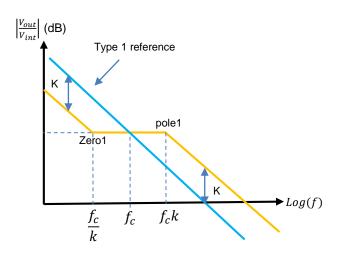
이 k요소는 보상회로에 의해 발생되는 극점과 영점의 주파수 위치 사이에 필요한 간격으로 나타낸다.

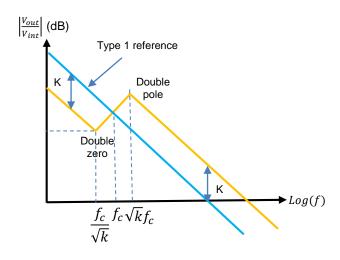
원하는 교차 주파수 f_c 를 선정하고 k 요소를 대입하면, f_c 에 미리 정한 위상 여유도가 설정되도록 k 요소는 극점과 영점이 배치된다.

 f_c 는 $\frac{f_c}{k}$ 와 $f_c k$ 의 기하학적 평균 (\sqrt{ab}) 이 되고 이 지점에서 가장 큰 위상 증가를 만들어 낸다.

k값에 따라 교차주파수에서 다른 위상 증가를 만들어 낼 수 있다.







3-19 a,b,c) k 요소에 의한 극점과 영점 사이의 거리 조정