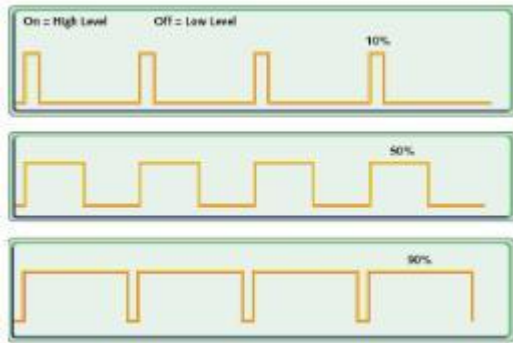


Enhanced Pulse Width Modulator (ePWM) Module

PWM

1. PWM 이란?



PWM 은 Pulse Width Modulation 의 약자로서 일정한 주기를 가지는 신호에서 t_{high} 와 t_{low} 비율로 평균 전압, 또는 신호의 평균 값을 구하는 방법, 또는 표현법

2. PWM 의 장점

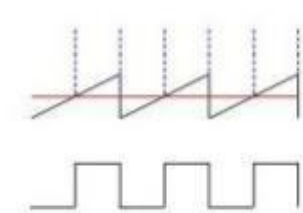
- 디지털 시스템에서 구현이 쉽다

(디지털 PWM 의 경우 타이머 및 compare 레지스터의 값 비교로 쉽게 구현이 된다.)

- 전력 손실이 적다.
- 노이즈에 강하다.
- 대전류 구동에 적합하다.

3. PWM 의 생성원리

1) 비대칭형 PWM(Asymmetric)

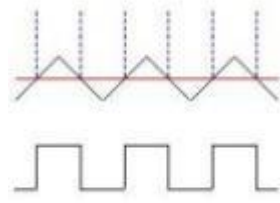


옆의 그림은 기본적으로 타이머가 Up-count mode 일 때를 나타낸 것이다. 타이머는 연결된 clock signal 에 따라서 증가를 하고 주기 레지스터의 값에 도달하면 다시 0 으로 clear 가 된다. 0 에서 시작해서 다시 0 으로 클리어가 될 때 까지를 1 주기라고 하며 옆의 그림에서의 빨간 줄이 PWM 의 duty 를 결정하는 비교 레지스터이다. 타이머 값이 이 비교 레지스터의 값과 일치하면 PWM 값을 set 또는 clear 를 하게 되는데 이는 동작 모드에 따라 조절이 가능하며 위 PWM 신호를 inverting 하여 신호를 보낼 수도 있다.

이러한 비 대칭형 PWM 에는 단점이 존재 하는데, 이는 타이머가 0 으로 clear 되는 순간 PWM 신호도 falling 한다는 것이다. 이는 같은 주기를 가지는 PWM 신호가 외부 스위치를

조작 할 때 타이머가 clear 되는 시점이 같으므로 외부 스위치의 스위칭 타이밍이 같아지게 되며 아날로그 회로에 대한 스위칭 노이즈의 영향이 증대되는 문제가 발생한다.

2) 대칭형 PWM(Symmetric)



대칭형 PWM의 경우는 일반적으로 위의 그림과 같은 모양을 나타낸다. 이 경우 PWM의 주기는 타이머가 주기 레지스터와 같은 값이 되도록 up-count 했다가 다시 down-count 해서 0이 되는 순간이 주기이므로 비 대칭형일 때의 2 배이고 듀티비는 역시 비교 레지스터의 값과 같아지는 시점으로 듀티를 잡는다. 타이머가 up-count 나 down-count 에서 비교 레지스터의 값이 될 때 PWM 신호가 set 이나 clear 가 되는 지는 설정에 따라 조절 할 수 있으며, 이 경우는 PWM의 rising time 이나 falling time 이 다르기 때문에 외부 스위치가 여러 개 연결 되어 있다고 하더라도 스위칭 타이밍을 다양하게 운용할 수 있다. 그리고 비교 레지스터를 운용하면 PWM이 set 되는 타이밍이나 clear 되는 타이밍을 독립적으로 조절 할 수 있다.

4. ePWM의 모듈의 특징

- 1 개의 16bit 타이머를 기반으로 한다.
- 모듈당 A, B 두 개의 핀을 보유하고 있으며 두 개의 비교 레지스터(Compare register)로 독립적인 듀티 제어가 가능하다.
(하지만 이 경우 동일 타이머를 기반으로 하기 때문에 주기는 같게 된다.)
- 모든 이벤트 들은 인터럽트로 활용 가능하며, ADC의 SOC(Start of conversion) 신호로도 사용 할 수 있다.
- 이벤트 prescale 기능이 있다. (매번 발생하는 event 마다 인터럽트를 발생할 필요가 없을 경우 prescale 기능을 이용하여 몇 번의 event 마다 인터럽트가 발생할 지를 설정할 수 있다.)
- 데드밴드 유닛을 보유하고 있다.(밑에서 설명)
- 트립 유닛을 보유하고 있다.
- Chopper 유닛을 보유하고 있다.
- 고분해능 (High resolution) PWM 호로를 가지고 있다.(EPWMxA 채널만 해당한다.)

5. 위상 동기화 기능

PWM 모듈에는 각각 1 개의 phase register 가 존재하며 SYNCI, SYNCO 핀을 가지고 있다. 이는 모듈 간 위상 동기화를 위해 존재하는 것인데 1 개의 모듈이 master 가 되고, 나머지 모듈이 slave 가 되어 동작한다. Master 인 모듈에서는 SYNCO 핀을 통해 동기 신호를 전달하고 Slave 모듈에서는 SYNCI 을 통해 들어온 이 신호가 phase register 에 phase register 에 설정한대로 위상이 맞춰지게 된다. 이는 삼상 시스템에서 위상차를 줄 때 가장 강력하게 사용 될 수 있다.

ePWM 의 서브모듈

ePWM 모듈에는 총 7 개의 서브 모듈을 가지고 있는데 순서대로 보면 TB -> CC -> AQ -> DB -> PC -> TZ -> EPWMxA, B out 이러한 순서로 신호가 넘어가게 된다. 그리고 모든 이벤트 들은 ET 모듈로 전달된다.

1) Time-Base(TB) 서브 모듈

- PWM carrier 신호를 생성하는 16bit 타이머를 기반으로 한다.
- 2 개의 prescaler 를 이용해서 system clock 를 분주해서 사용한다.
- TBPRD register 는 shadow register 를 보유하고 있다.

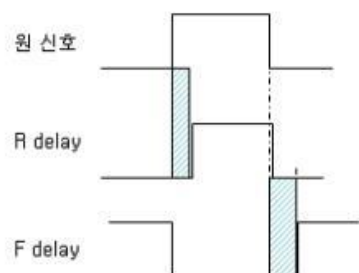
2) Counter-Compare(CC) 서브모듈

- PWM 의 duty-ratio 를 결정짓는 비교 레지스터와 컨트롤 레지스터로 구성
- TB 모듈에서 타이머 값을 받고, 설정된 비교 레지스터와 타이머 값을 비교, CMPA,B 이벤트를 생성하여 AQ, ET 서브 모듈에 전달한다.

3) Action-Qualifier(AQ) 서브모듈

- TB, CC 서브모듈의 이벤트들을 입력 받아서 해당 이벤트들의 PWM 로직 상태를 정한다.(set/clear/toggle/do nothing) 이 4 가지 동작을 지원한다.
- AQ 를 거치고 출력 핀은 EPWMxA,B 두 가지 출력이 나온다.

4) Dead-band(DB) 서브 모듈



- 스위칭 소자의 On/Off 시간차로 발생하는 소손을 방지한다.
(PWM 의 rising edge 와 falling edge 에 data time 을 준다.)
- TBCLK 를 기반으로 동작하는 10bit 타이머를 2 개 보유한다.
- 동작, 입력소스는 반전설정, by pass 가 있다.

모듈 내부에 존재하는 10bit 타이머 2 개는 Rising edge delay 와, Falling edge delay 를 줘서 옆의 그림에 표시된 영역과 같은 dead band 를 준다.

5) PWM-Chopper(PC) 서브 모듈

- PWM 신호를 쪼개는 역할을 하는 서브 모듈

- Chopper 신호의 첫 번째 펄스 폭은 별도로 조절이 가능하고 두 번째 부터의 신호들은 일괄적으로 같은 듀티를 가진다.(by pass 로 쪼개지 않고 전달할 수도 있다.

6) Trip-Zone 서브모듈

- 어떤 에러나 경고 상황에 대해 PWM 로직 상황을 강제로 변동 시키는 모듈이다.

- One shot 과 continuous, 이 두 가지 동작 모드를 지원하는데 one shot mode 는 에러를 감지해 PWM 핀 상태가 바뀌면 개발자가 다시 바꿀 때 까지는 해당하는 PWM logic 을 유지하는 것으로 주로 short 나 과전류를 체크하는데 사용된다. continuous mode 는 cycle 에 따라 해당 에러가 바뀌기 전 까지는 계속 trip 이 걸렸다가 풀렸다가를 반복하는데 이는 주로 current limiting 에 사용된다.

7) Event-trigger(ET) 서브 모듈

- TB, CC 모듈이 생성하는 이벤트들을 입력 받아, 인터럽트나 ADC 시작 신호(SOC)를 생성하는 역할을 한다.

- event prescale 기능으로 몇 번의 이벤트들마다 인터럽트 신호를 생성하는지 설정할 수 있다.

ePWM 모듈은 두 개의 PWM 출력 (EPWMxA 및 EPWMxB)으로 구성된 하나의 완전한 PWM 채널을 나타냅니다. 여러 ePWM 모듈은 그림 35-1과 같이 장치 내에 인스턴스화됩니다. 각 ePWM 인스턴스는 동일하며 1로 시작하는 숫자로 표시됩니다. 예를 들어, ePWM1은 첫 번째 인스턴스이고 ePWM3은 시스템의 세 번째 인스턴스이며 ePWMx는 모든 인스턴스를 나타냅니다.

ePWM 모듈은 필요한 경우 단일 시스템으로 작동 할 수있는 클럭 동기화 구성을 통해 함께 연결됩니다. 또한이 동기화 구성표를 캡처 주변 장치 모듈 (eCAP)까지 확장 할 수 있습니다. 모듈은 독립적으로 작동 할 수도 있습니다.

각 ePWM 모듈은 다음 기능을 지원합니다.

- 주기 및 주파수 제어 기능이 있는 전용 16 비트 타임베이스 카운터
- 다음 구성에서 사용할 수 있는 2 개의 PWM 출력 (EPWMxA 및 EPWMxB):
 - 단일 에지 동작을 갖는 2 개의 독립적 인 PWM 출력
- 듀얼 에지 대칭 동작을 갖춘 2 개의 독립적 인 PWM 출력
- 듀얼 에지 비대칭 동작을 갖춘 하나의 독립 PWM 출력
- 소프트웨어를 통한 PWM 신호의 비동기 오버라이드 제어.
- 다른 ePWM 모듈과 비교하여 래그 또는 리드 동작을위한 프로그래밍 가능한 위상 제어 지원.
- 사이클 단위로 하드웨어 잠금 (동기화) 위상 관계.

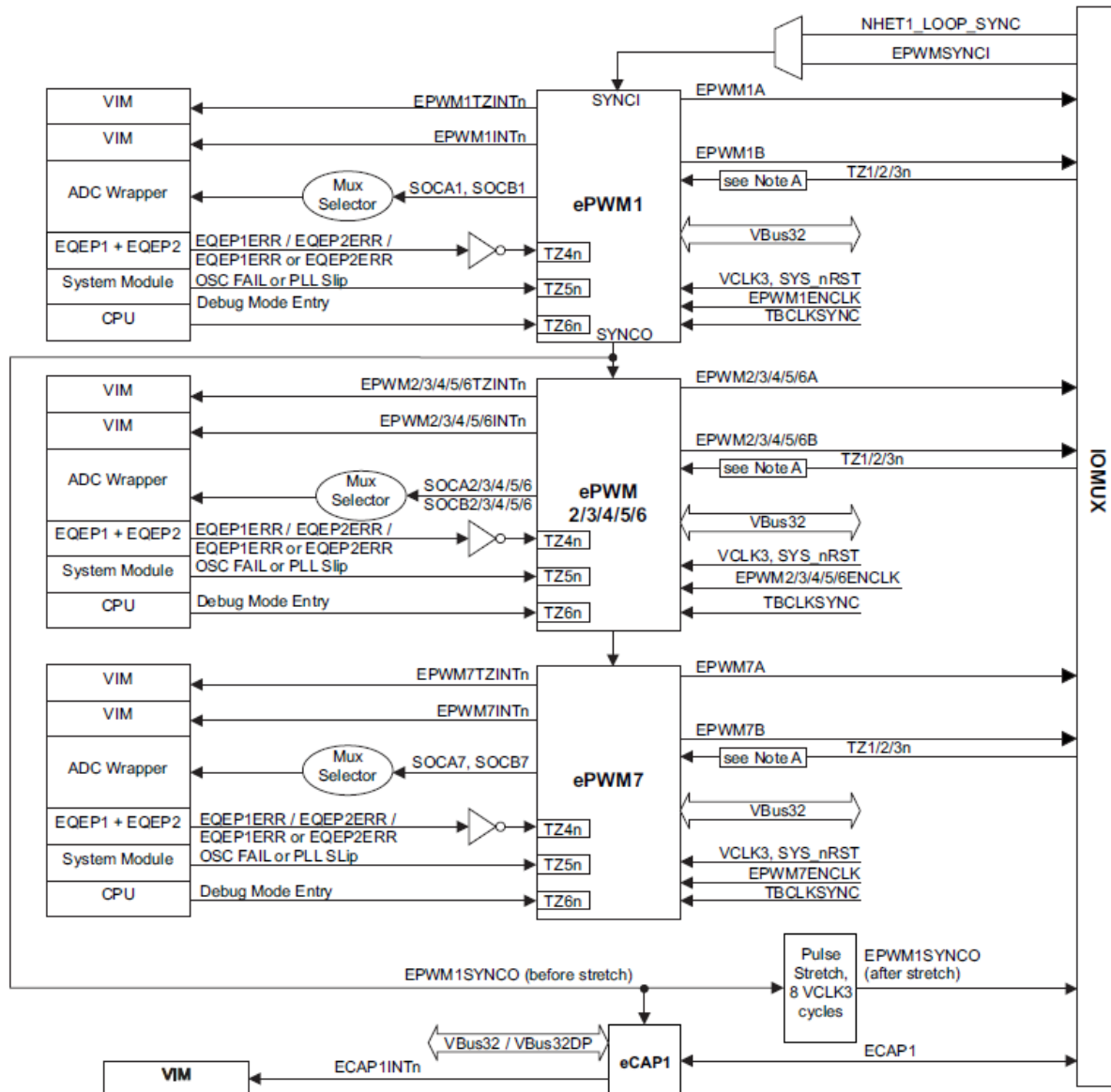
독립적 인 상승 및 하강 에지 지연 제어 기능을 갖춘 데드 밴드 생성.

- 싸이클마다 트립 영역 할당 및 오류 조건에 대한 원샷 트립을 프로그래밍 할 수 있습니다.
- 트립 조건은 PWM 출력에서 하이, 로우 또는 하이 임피던스 상태 로직 레벨을 강제 할 수 있습니다.
- 모든 이벤트가 CPU 인터럽트 및 ADC 시작 변환 (SOC)을 트리거 할 수 있습니다.
- 프로그램 가능한 이벤트 사전 설정은 인터럽트에 대한 CPU 오버 헤드를 최소화합니다.
- 펄스 트랜스포머 게이트 드라이브에 유용한 고주파 캐리어 신호에 의한 PWM 초핑.

각 ePWM 모듈은 그림 35-1에 표시된 입력 / 출력 신호에 연결됩니다. 신호에 대해서는 이후 섹션에서 자세히 설명합니다.

각 ePWM 모듈은 8 개의 서브 모듈로 구성되며 그림 35-2에 표시된 신호를 통해 시스템 내에서 연결됩니다.

Figure 35-1. Multiple ePWM Modules



ePWM 모듈에서 사용하는 주요 신호는 다음과 같습니다.

- PWM 출력 신호 (EPWMxA 및 EPWMxB).

PWM 출력 신호는 IOMM 장에서 설명한대로 IOMM (I / O Multiplexing Module)을 통해 장치 외부에서 사용할 수 있습니다.

- Trip-zone signal (TZ1 ~ TZ6).

이 입력 신호는 ePWM 모듈에 외부 ePWM 장애 상태를 경고합니다. 각 ePWM 모듈은 트립 영역 신호를 사용하거나 무시하도록 구성 할 수 있습니다. TZ1 ~ TZ3 트립 영역 신호는 비동기식 입력으로 구성하거나 VCLK3을 사용하여 이중 동기화하거나 ePWM 모듈에 연결하기 전에 이중 동기화 및 6-VCLK3주기 카운터를 통해 필터링 할 수 있습니다.

이 선택은 IOMM에 레지스터를 구성하여 수행됩니다. TZ4는 거꾸로 된 eQEP1 오류 신호 (EQEP1ERR) 또는 거꾸로 된 eQEP2 오류 신호 (EQEP2ERR)에 연결되거나 OR 결합 EQEP1ERR 및 EQEP2ERR. 이 선택은 IOMM 레지스터를 통해 수행됩니다.

TZ5가 시스템 클럭 오류 상태에 연결되었습니다. 오실레이터 검출이 검출되거나 PLL 슬립이 검출 될 때마다 이것이 어서 트리거된다. TZ6은 CPU의 디버그 모드 진입 지시자 출력에 연결됩니다. 이렇게 하면 CPU가 멈출 때 트립 동작을 구성 할 수 있습니다.

- Time-base synchronization 입력 (EPWMxSYNCl) 및 출력 (EPWMxSYNCO) 신호.

동기화 신호는 ePWM 모듈을 데이지 체인 방식으로 연결합니다. 각 모듈은 동기화 입력을 사용하거나 무시하도록 구성 할 수 있습니다. 클럭 동기화 입력 및 출력 신호는 ePWM1 (ePWM 모듈 # 1)의 핀에만 제공됩니다. ePWM1 (EPWM1SYNCO)의 동기화 출력은 첫 번째 향상된 캡처 모듈 (eCAP1)의 SYNCl에도 연결됩니다.

- ADC start-of-conversion signals (EPWMxSOCA 및 EPWMxSOCB).

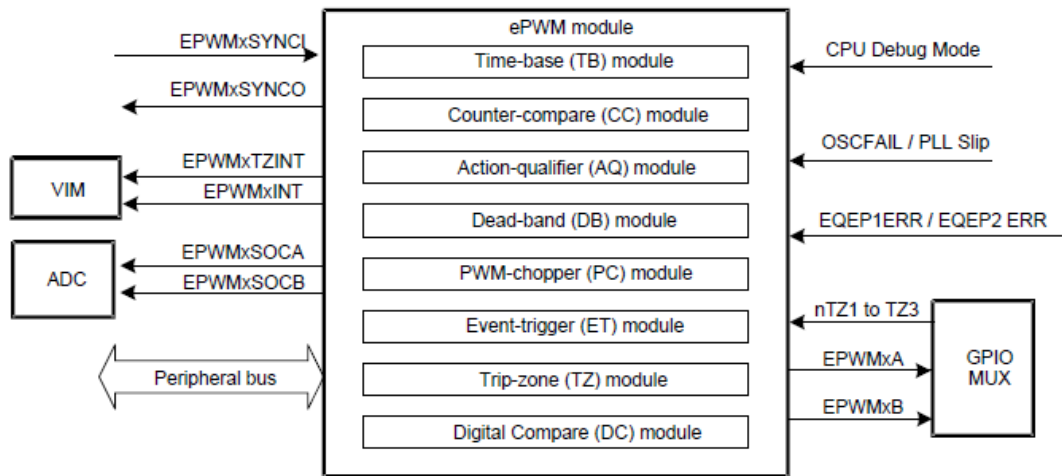
각 ePWM 모듈에는 2 개의 ADC 시작 신호가 있습니다. 모든 ePWM 모듈이 변환 시작을 트리거 할 수 있습니다.

어떤 이벤트가 변환 시작을 트리거 하는지는 ePWM의 Event-Trigger 하위 모듈에서 구성됩니다.

- Peripheral Bus

주변 장치 버스는 32 비트 폭이며 ePWM 레지스터 파일에 16 비트 및 32 비트 쓰기를 허용합니다.

Figure 35-2. Submodules and Signal Connections for an ePWM Module



Submodule Configuration Parameters

Time-base(TB)

- 시스템 클럭 (VCLK3)을 기준으로 타임베이스 클럭 (TBCLK)을 스케일합니다.
- PWM 시간 - 기준 카운터 (TBCTR) 주파수 또는 주기를 구성하십시오.
- 시간 기준 카운터의 모드 설정 :
 - 카운트 업 모드 : 비대칭 PWM에 사용됨
 - 카운트 다운 모드 : 비대칭 PWM에 사용됨
 - 카운트 업 및 다운 모드 : 대칭 PWM에 사용
- 다른 ePWM 모듈을 기준으로 시간 기준 위상을 구성합니다.
- 하드웨어 또는 소프트웨어를 통해 모듈 간의 시간 기준 카운터를 동기화하십시오.
- 동기화 이벤트 후 시간 기준 카운터의 방향 (위 또는 아래)을 구성합니다.
- 장치가 에뮬레이터에 의해 중단되었을 때 시간 기준 카운터가 작동하는 방식을 구성합니다.
- ePWM 모듈의 동기화 출력 소스 지정 :
 - 동기 입력 신호
 - 0과 동일한 시간 측 카운터
 - 카운터 비교 B (CMPB)와 동일한 시간 측 카운터
 - 출력 동기 신호가 생성되지 않습니다.

Counter-compare(CC)

- 출력 EPWMxA 및 / 또는 출력 EPWMxB의 PWM 듀티 사이클 지정
- EPWMxA 또는 EPWMxB 출력에서 스위칭 이벤트가 발생하는 시간 지정

Action-qualifier(AQ)

- 타임베이스 또는 카운터 비교 하위 모듈 이벤트가 발생할 때 수행 할 작업 유형 지정 :
 - Do nothing 기능!
 - 출력 EPWMxA 및 / 또는 EPWMxB가 하이로 전환되었습니다.
 - 출력 EPWMxA 및 / 또는 EPWMxB가 로우로 전환되었습니다.
 - 출력 EPWMxA 및 / 또는 EPWMxB 토글 됨
- 소프트웨어 제어를 통해 PWM 출력 상태 강제
- 소프트웨어를 통해 PWM 데드 밴드 구성 및 제어

Dead-band(DB)

- 상부 및 하부 스위치 사이의 전통적인 상보적인 불감 대 관계 제어
- 출력 상승 에지 지연 값 지정
- 출력 하강 에지 지연 값 지정

- 불감 대 모듈을 완전히 건너 뛩니다. 이 경우 PWM 파형은 수정없이 통과.
- 이중 분해능을 위해 하프 사이클 클로킹을 활성화하는 옵션.

PWM-chopper(PC)

- 도핑 (반송파) 주파수를 생성합니다.
- chopping 된 펄스열의 첫 번째 펄스의 펄스 폭.
- 두 번째 및 후속 펄스의 듀티 사이클.
- PWM 초퍼 모듈을 완전히 바이 패스합니다. 이 경우 PWM 파형은 수정없이 통과됩니다.

Trip-zone(TZ)

- 트립 영역 신호 또는 디지털 비교 이벤트 중 하나 또는 모두에 반응하도록 ePWM 모듈을 구성합니다.
- 오류가 발생할 때 수행되는 트리핑 동작을 지정합니다.
 - EPWMxA 및 / 또는 EPWMxB를 높게 설정하십시오
 - EPWMxA 및 / 또는 EPWMxB를 낮추십시오
 - EPWMxA 및 / 또는 EPWMxB를 하이 임피던스 상태로 설정합니다.
 - 모든 트립 조건을 무시하도록 EPWMxA 및 / 또는 EPWMxB를 구성하십시오.
- ePWM이 각 트립 영역 신호에 얼마나 자주 반응하는지 구성합니다.
 - 한 번의 기회나 주기 별로 반응하도록 함.
- 트립 영역이 인터럽트를 시작 하도록 합니다.
- 트립 영역 모듈을 완전히 건너 뛩니다.

Event-trigger(ET)

- 인터럽트를 트리거 할 ePWM 이벤트를 활성화합니다.
- ADC 시작 변환 이벤트를 트리거 하는 ePWM 이벤트를 활성화합니다.
- 이벤트가 트리거를 발생시키는 속도 지정 (매번 발생 또는 매 두 번째 또는 세 번째 발생)
- 이벤트 플래그 폴링, 설정 또는 지우기

Digital-compare(DC)

- 트립 영역 신호를 사용하여 이벤트 및 필터링 된 이벤트 생성
- TBCTR 카운터를 캡처하거나 블랭킹 창을 생성하는 이벤트 필터링 옵션 지정

ePWM Module Control and Status Register Set (grouped by submodule)

Time-Base Submodule Registers (TB)

TBSTS : Time-Base Status Register
 TBCTL : Time-Base Control Register
 TBPHS : Time-Base Phase Register
 TBPRD : Time-Base Period Register
 TBCTR : Time-Base Counter Register

CTR = PRD 이면, TBCTR = TBPRD가 되는 조건의 주기 파형 생성.

CTR = 0 이면, TBCTR = 0x0000이 되는 조건의 주기 파형을 생성.

CTR = CMPB 면, TBCTR = CMPB의 조건의 파형 생성.

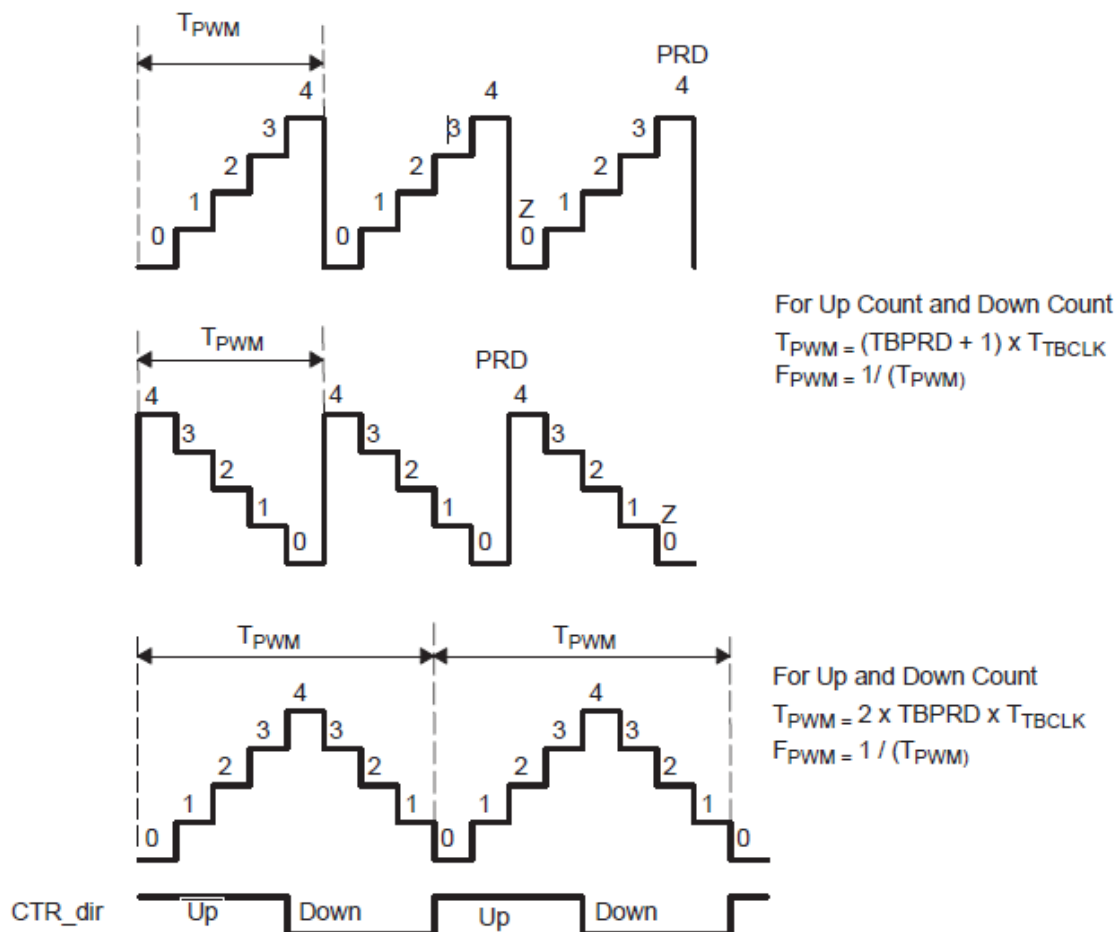
CTR_dir : 카운터의 방향을 나타낸다. increase or decrease 방향으로 카운터가 발동.

CTR_max : TBCTR 값이 최대 값에 도달하면 생성되는 이벤트. 상태 비트로만 사용이 된다.

TBCLK : VCLK를 분주하여 time-base clock으로 사용한다.

$$\text{PWM의 주기}(T_{PWM}) = (TBPRD + 1) * T_{TBCLK}, \text{ PWM 주파수} = \frac{1}{T_{PWM}}$$

Figure 35-5. Time-Base Frequency and Period



• **Time-Base Period Shadow Mode:**

The TBPRD shadow register is enabled when TBCTL[PRDLD] = 0. Reads from and writes to the TBPRD memory address go to the shadow register. The shadow register contents are transferred to the active register (TBPRD (Active) ← TBPRD (shadow)) when the time-base counter equals zero (TBCTR = 0x0000). By default the TBPRD shadow register is enabled.

• **Time-Base Period Immediate Load Mode:**

If immediate load mode is selected (TBCTL[PRDLD] = 1), then a read from or a write to the TBPRD memory address goes directly to the active register.

각각의 모듈은 sync input 신호를 무시하거나 사용 가능하다. 각각의 ePWM 모듈을 동기화 시킬 수 있다. TBCTL[PHSEN]을 세트하면, PWM모듈의 TBCTR은 자동적으로 PBPHS(phase register)와 함께 로드 된다. (2007 확인)

다수의 ePWM 모듈의 Time-base clock phase locking

TBCLKSYNC 비트는 ePWM 모듈을 모두 동기화 시킬 수 있게 사용된다. TBCLKSYNC=0 이면 time-base clock은 멈추게 된다. 사용은 1로 세트하고 각각의 모듈에 prescaler를 넣어서 사용한다.

각각의 Time-base counter Modes(up , down, up-down...)는 2008 확인.

Counter-Compare Submodule Registers (CC)

CMPCTL : Counter-Compare Control Register

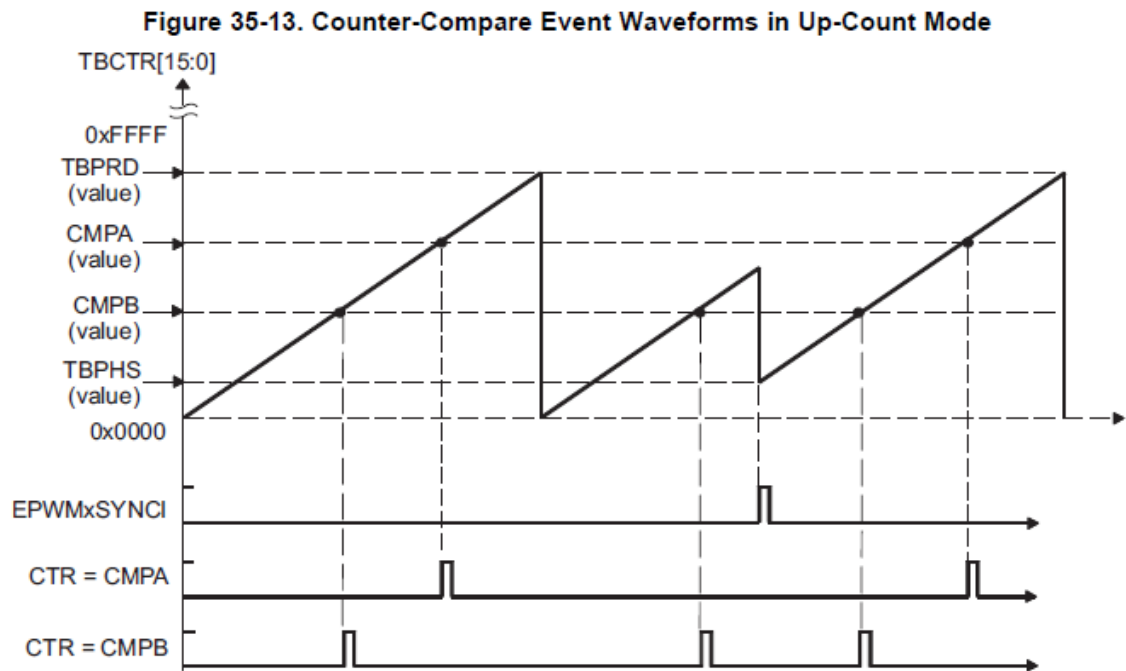
CMPA : Counter-Compare A Register

CMPB : Counter-Compare B Register

TBCTR = CMPA, CMPB 의 경우 Time-base counter가 동작.

compare value는 0x0000 ~ TBPRD 사이의 값을 갖게 된다.

다음의 그림을 보면 동작 방식을 알 수 있다.



NOTE: An EPWMxSYNCl external synchronization event can cause a discontinuity in the TBCTR count sequence. This can lead to a compare event being skipped. This skipping is considered normal operation and must be taken into account.

Action-Qualifier Submodule Registers (AQ)

AQCTLA : Action-Qualifier Control Register for Output A (EPWMxA)

AQSFRC : Action-Qualifier Software Force Register

AQCTLB : Action-Qualifier Control Register for Output B (EPWMxB)

AQCSFRC : Action-Qualifier Continuous S/W Force Register Set

AQ 레지스터의 목적

다음의 이벤트에 따라서 원하는 PWM 신호를 생성한다. (set, clear, toggle)

CTR = PRD : 주기 마다 발생

CTR = Zero : 0일 때 발생

CTR = CMPA : 특정 값(CMPA) 일 때, 발생.

CTR = CMPB : 특정 값(CMPB) 일 때, 발생

AQCTLA와 AQCTLB의 EPWMxA, EPWMxB를 조작하여 다음과 같은 작동이 가능하다.

- 높음으로 설정 :

출력 EPWMxA 또는 EPWMxB를 하이 레벨로 설정하십시오.

- 낮음 낮음 :

출력 EPWMxA 또는 EPWMxB를 로우 레벨로 설정하십시오.

- 토글 :

EPWMxA 또는 EPWMxB가 현재 하이로 풀리면 출력을 로우로한다. EPWMxA 또는 EPWMxB가 현재 로우로 당겨지면 출력을 하이로 끌어 올린다.

(해당 동작은 CTR = CMPA 등등의 조건으로 작동 시키면 된다.)

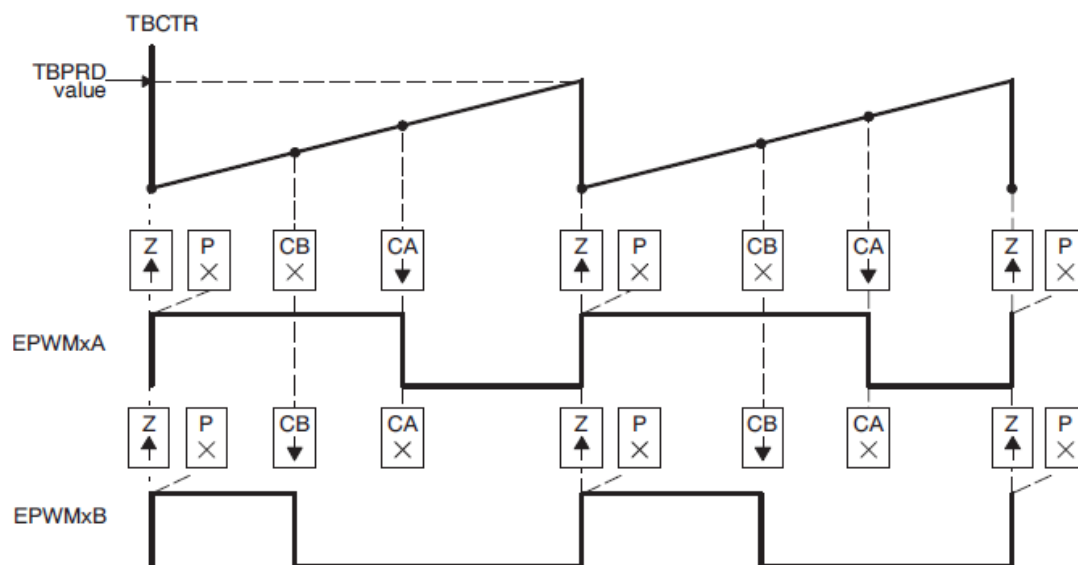
S/W force	TB Counter equals:				Actions
	Zero	Comp A	Comp B	Period	
<div>SW ×</div>	<div>Z ×</div>	<div>CA ×</div>	<div>CB ×</div>	<div>P ×</div>	Do Nothing
<div>SW ↓</div>	<div>Z ↓</div>	<div>CA ↓</div>	<div>CB ↓</div>	<div>P ↓</div>	Clear Low
<div>SW ↑</div>	<div>Z ↑</div>	<div>CA ↑</div>	<div>CB ↑</div>	<div>P ↑</div>	Set High
<div>SW T</div>	<div>Z T</div>	<div>CA T</div>	<div>CB T</div>	<div>P T</div>	Toggle

해당 동작표를 보면 S/W force (AQSFR)를 모드에 맞게 세트 시키고, TB counter을 이용하여 구성하게 된다.

Action-Qualifier Event에는 Priority가 존재한다. prior 문제가 발생할 경우에는 이곳을 참조하자. (2018p)

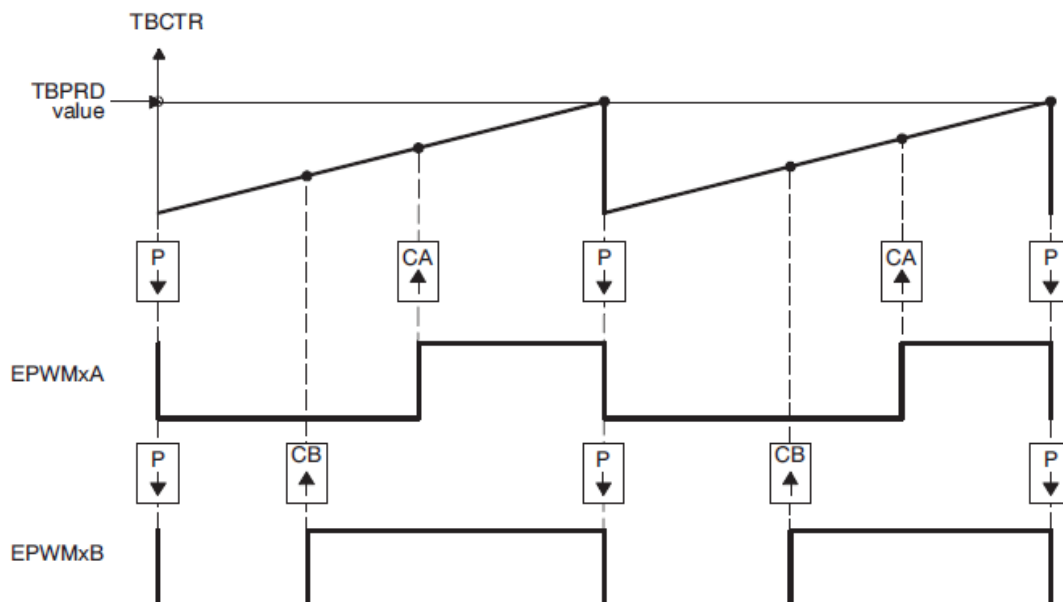
2020p 이후를 참조하는 경우, 업/다운 모드와 CMPA/CMPB/Zero/full count 를 활용하여 PWM 신호를 생성하는 방법이 코드와 함께 나와있다. 개략도는 아래의 그림을 참조하라.

Figure 35-21. Up, Single Edge Asymmetric Waveform, With Independent Modulation on EPWMxA and EPWMxB—Active High



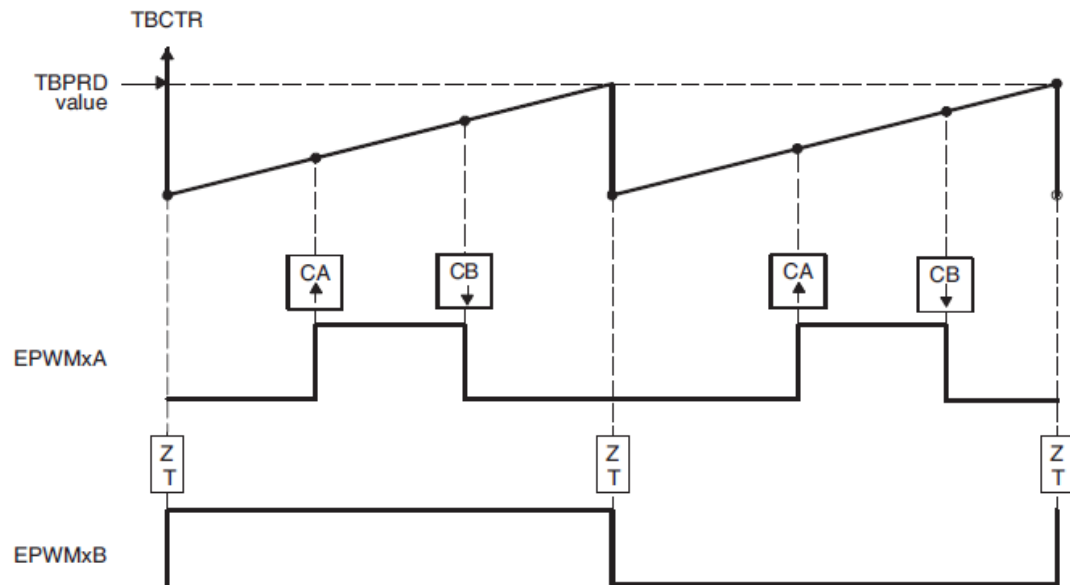
- A PWM period = $(TBPRD + 1) \times T_{TBCLK}$
- B Duty modulation for EPWMxA is set by CMPA, and is active high (that is, high time duty proportional to CMPA).
- C Duty modulation for EPWMxB is set by CMPB and is active high (that is, high time duty proportional to CMPB).
- D The "Do Nothing" actions (X) are shown for completeness, but will not be shown on subsequent diagrams.
- E Actions at zero and period, although appearing to occur concurrently, are actually separated by one TBCLK period. TBCTR wraps from period to 0000.

Figure 35-22. Up, Single Edge Asymmetric Waveform With Independent Modulation on EPWMxA and EPWMxB—Active Low



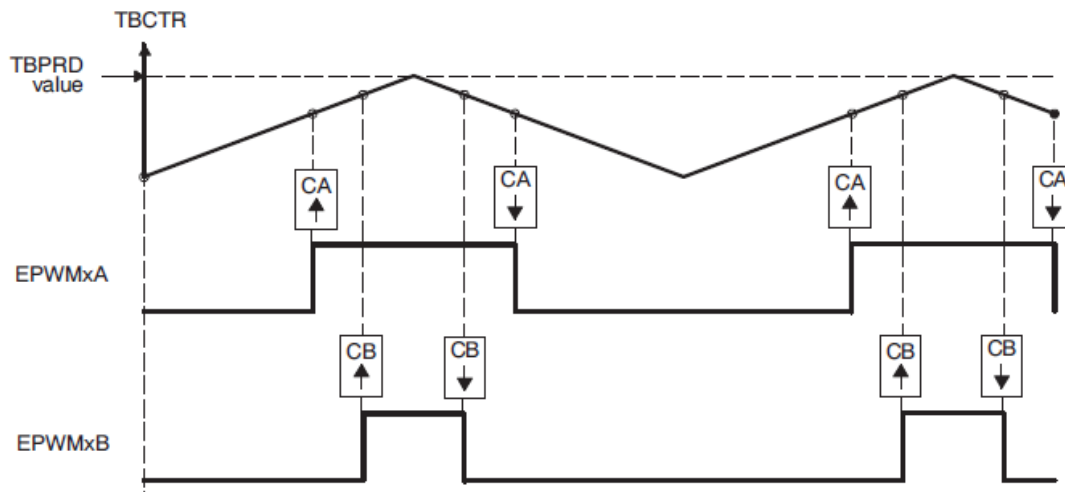
- A PWM period = $(TBPRD + 1) \times T_{TBCLK}$
- B Duty modulation for EPWMxA is set by CMPA, and is active low (that is, the low time duty is proportional to CMPA).
- C Duty modulation for EPWMxB is set by CMPB and is active low (that is, the low time duty is proportional to CMPB).
- D Actions at zero and period, although appearing to occur concurrently, are actually separated by one TBCLK period. TBCTR wraps from period to 0000.

Figure 35-23. Up-Count, Pulse Placement Asymmetric Waveform With Independent Modulation on EPWMxA



- A PWM frequency = $1 / ((TBPRD + 1) \times T_{TBCLK})$
- B Pulse can be placed anywhere within the PWM cycle (0000 - TBPRD)
- C High time duty proportional to (CMPB - CMPA)
- D EPWMxB can be used to generate a 50% duty square wave with frequency = $1/2 \times ((TBPRD + 1) \times TBCLK)$

Figure 35-24. Up-Down-Count, Dual Edge Symmetric Waveform, With Independent Modulation on EPWMxA and EPWMxB — Active Low



- A PWM period = $2 \times TBPRD \times T_{TBCLK}$
- B Duty modulation for EPWMxA is set by CMPA, and is active low (that is, the low time duty is proportional to CMPA).
- C Duty modulation for EPWMxB is set by CMPB and is active low (that is, the low time duty is proportional to CMPB).
- D Outputs EPWMxA and EPWMxB can drive independent power switches

Figure 35-25. Up-Down-Count, Dual Edge Symmetric Waveform, With Independent Modulation on EPWMxA and EPWMxB — Complementary

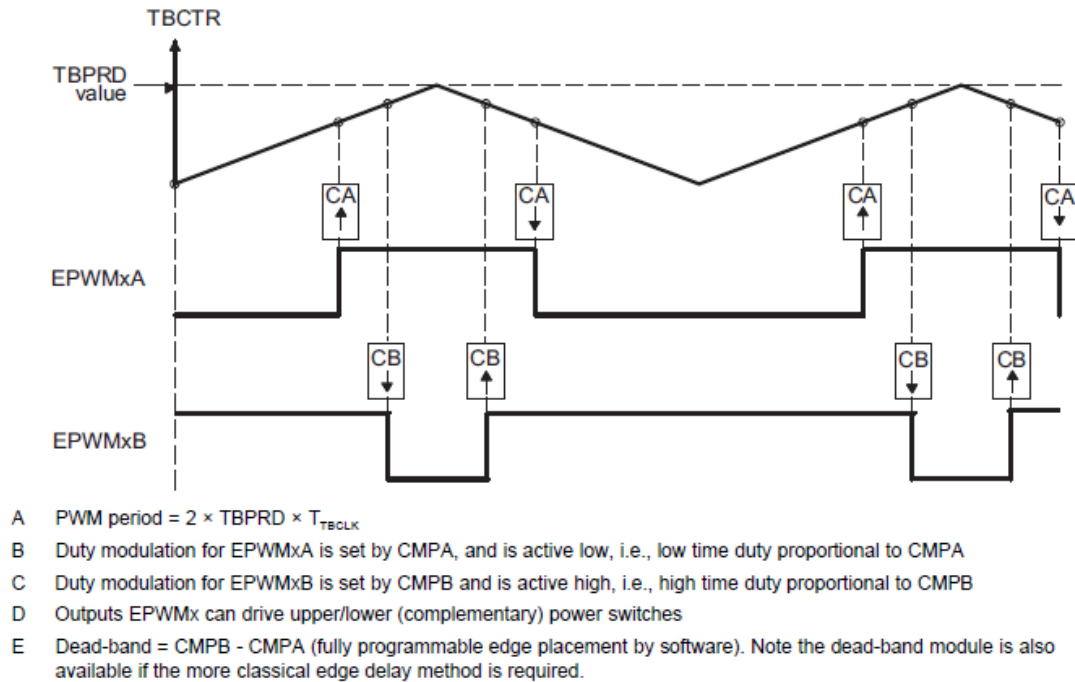
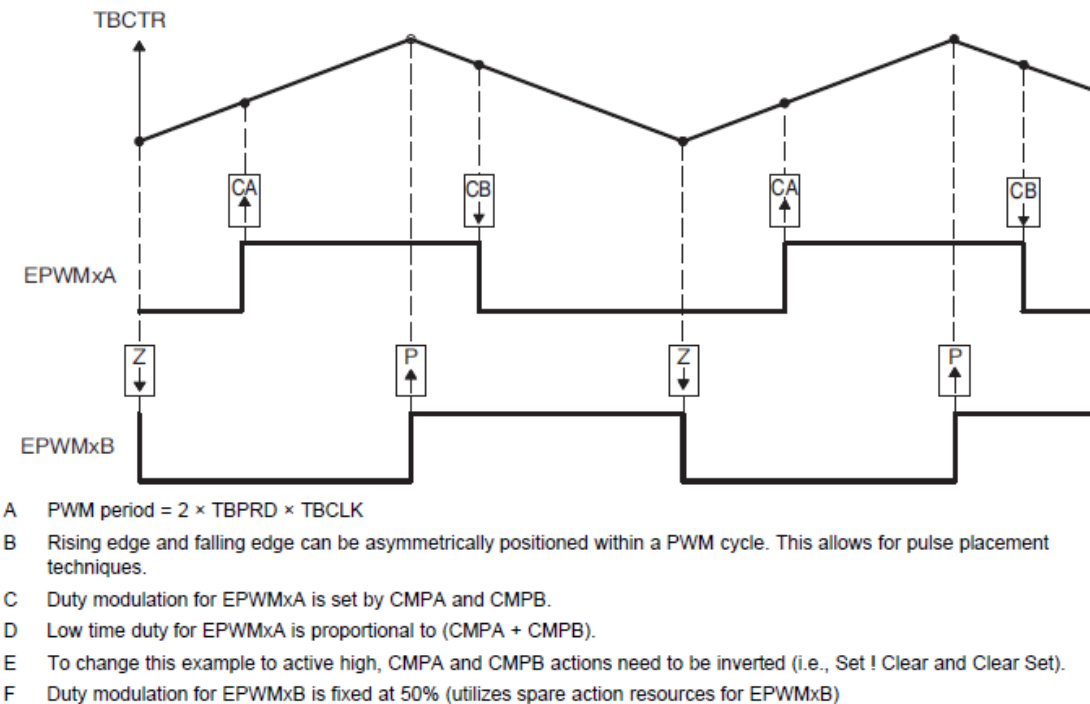


Figure 35-26. Up-Down-Count, Dual Edge Asymmetric Waveform, With Independent Modulation on EPWMxA—Active Low



Dead-Band Generator Submodule Registers (DB)

DBCTL : Dead-Band Generator Control Register

DBFED : Dead-Band Generator Falling Edge Delay Count Register

DBRED : Dead-Band Generator Rising Edge Delay Count Register

고전적인 Dead-Band 처리 기법이 필요한 경우 사용한다.

(완충 지역을 두어 스파크나 오작동을 예방하는 기법)

- Programming signal pairs for:
 - Active high (AH)
 - Active low (AL)
 - Active high complementary (AHC)
 - Active low complementary (ALC)
- Adding programmable delay to rising edges (RED)
- Adding programmable delay to falling edges (FED)

다음은 DB의 주요 기능에 대해 설명하자면,

Input Source Selection:

Dead-band 모듈에 대한 입력 신호는 AQ의 EPWMxA 및 EPWMxB 출력 신호이다. 여기서는 EPWMxA In 및 EPWMxB In이라고합니다. DBCTL [IN_MODE] 제어 비트, 각 지연, 하강 에지 또는 상승 에지의 신호 소스를 사용하여 각각의 지연 처리 모드를 설정할 수 있다.

Half Cycle Clocking:

dead-band 모듈은 TBCLK의 2배의 클럭을 사용 할 수 있다.

Output Mode Control:

출력 모드는 DBCTL[OUT_MODE] 비트를 통하여 구성된다. 입력 신호에 하강 엣지 지연, 상승 엣지 지연, 상승 엣지 지연, 둘다 지연 등등의 기능을 제공한다.

Polarity Control:

Polarity Control (DBCTL[POLSEL])을 사용하면, 상승 에지 지연 신호 및 하강 에지 지연 신호가 dead-band 전송 전에 반전 할지 여부를 지정 할 수 있다.

이후의 dead-band 설정 내용은 2030p 이후를 확인한다.

Trip-Zone Submodule Registers (TZ)

TZDCSEL : Trip Zone Digital Compare Select Register

TZSEL : Trip-Zone Select Register

TZEINT : Trip-Zone Enable Interrupt Register

TZCTL : Trip-Zone Control Register

TZCLR : Trip-Zone Clear Register

TZFLG : Trip-Zone Flag Register

TZFRC : Trip-Zone Force Register

이 신호는 오류 또는 트립 조건을 나타내며, 오류가 발생할 때 ePWM 출력을 적절히 응답하도록 프로그래밍 할 수 있습니다.

- 주요 단락 회로 또는 과전류 조건에 대한 원샷 트립 (OSHT) 지원.
- 전류 제한 동작을위한 CBC (cycle-by-cycle tripping) 지원.
- 온칩 아날로그 비교기 모듈 출력 및 / 또는 TZ1-TZ3 신호 상태에 기반한 디지털 비교 트립핑 (DC) 지원.
- 각 트립 영역 입력 및 디지털 비교 (DC) 서브 모듈 DCAEVT1 / 2 또는 DCBEVT1 / 2 force 이벤트는 한 번 또는 사이클 단위로 할당 할 수 있습니다.
- 인터럽트 생성은 모든 트립 영역 입력에서 가능합니다.
- 소프트웨어 강제 트리핑도 지원됩니다.
- 트립 존 서브 모듈이 필요하지 않은 경우 완전히 바이 패스 할 수 있습니다.

다음 섹션에서는 트립 존 서브 모듈의 작동 하이라이트 및 구성 옵션에 대해 설명합니다.

트립 영역 신호 TZ1 내지 TZ6 (총체적으로 TZn이라고도 함)은 액티브 로우 입력 신호이다.

이 신호가 낮아 지거나 TZDCSEL 레지스터 이벤트 선택에 따라 DCAEVT1 / 2 또는 DCBEVT1 / 2 강제 설정이 발생하면 트립 이벤트가 발생했음을 나타냅니다. 각 ePWM 모듈은 각각의 트립 영역 신호 또는 DC 이벤트를 무시하거나 사용하도록 개별적으로 구성 할 수 있습니다. 특정 ePWM 모듈이 사용하는 트립 - 영역 신호 또는 DC 이벤트는 특정 ePWM 모듈의 TZSEL 레지스터에 의해 결정됩니다.

트립 영역 신호는 시스템 클록 (VCLK3)에 동기화되거나 동기화되지 않을 수 있으며 GPIO MUX 블록 내에서 디지털 필터링 됩니다. TZn 입력에서 최소 $3 \times TBCLK$ 의 낮은 펄스 폭은 ePWM 모듈에서 오류 조건을 트리거 하기에 충분합니다. 펄스 폭이 이보다 작으면 트립 조건이 래치되지 않을 수 있습니다. 비동기 트립은 어떤 이유로 든 클록이 누락되면 TZn 입력에 유효한 이벤트가 발생해도 출력이 여전히 트립 될 수 있음을 확인합니다.

GPIO 또는 주변 장치를 적절하게 구성 해야 합니다. 자세한 내용은 장치 기술 참조 설명서의 IOMM 장을 참조하십시오.

각 TZn 입력은 개별적으로 구성되어 ePWM 모듈에 대해 사이클 바이 사이클 또는 원샷 트립 이벤트를 제공 할 수 있습니다. DCAEVT1 및 DCBEVT1 이벤트는 ePWM 모듈을 직접 트립하거나 모듈에 원샷 트립 이벤트를 제공하도록 구성 할 수 있습니다. 마찬가지로 DCAEVT2

및 DCBEVT2 이벤트는 ePWM 모듈을 직접 트립하거나 모듈별로 사이클 별 트립 이벤트를 제공하도록 구성됩니다.

이 구성은 TZSEL [DCAEVT1 / 2], TZSEL [DCBEVT1 / 2], TZSEL [CBCn] 및 TZSEL [OSHTn] 제어 비트 (n은 트립 입력에 해당)에 의해 결정됩니다.

이후 자세한 내용은 2038p 참조바람.

Event-Trigger Submodule Registers (ET)

ETSEL : Event-Trigger Selection Register
ETFLG : Event-Trigger Flag Register
ETPS : Event-Trigger Pre-Scale Register
ETFRC : Event-Trigger Force Register
ETCLR : Event-Trigger Clear Register

Digital Compare Event Registers (DC)

DCACTL : Digital Compare A Control Register
DCTRISEL : Digital Compare Trip Select Register
DCFCTL : Digital Compare Filter Control Register
DCBCTL : Digital Compare B Control Register
DCFOFFSET : No Digital Compare Filter Offset Register
DCCAPCTL : Digital Compare Capture Control Register
DCFWINDOW : Digital Compare Filter Window Register
DCFOFFSETCNT : Digital Compare Filter Offset Counter Register
DCCAP : Digital Compare Counter Capture Register
DCFWINDOWCNT : Digital Compare Filter Window Counter Register