

信号分离装置

摘要：本设计使用 Xilinx Zynq 7010 为分离电路主控，搭建了加法器运放电路，实现了对输入信号的合成和分离，同时可以控制输出信号的初相位差。系统由加法器模块、数字分离电路组成。加法器模块合成输入信号；数字分离电路中 ADC 模块进行模数转换，在 FPGA 上使用 FFT 进行信号频率类型提取后，通过 DDS 将双路信号复原，并使用滤波后输入信号进行同步，通过双路 DAC 输出分离信号。经测试，本系统能稳定的对正弦、三角信号进行分离，频率分辨率达到 1kHz，信号频差相差 2kHz 以上时可稳定复原信号，最高工作频率为 750kHz，最低工作频率为 15kHz，同时初相位可在 0~180° 范围控制，精度可达 1°。

关键词：信号分离；信号同步；快速傅里叶变换算法；直接数字频率合成

一、 系统方案

1. 比较与选择

1.1 分离信号设计方案

方案一：直接使用等精度频率计测得原信号频率，复原其中一个信号后，在此基础上通过位移与信号相减，得到另一频率下的信号。

方案二：利用滤波器实现信号分离，为了方便可调，采用 IIR(无限冲激响应滤波器)的数字滤波器架构。实现信号分离。

方案三：首先使用滤波器滤除信号噪声，再采用 FFT(快速傅里叶变换)，在频域上分离信号 A 和信号 B 分离得到频率与类型信息，传入 FPGA 中的 DDS 模块，将把分离的信号变换到时域，实现输出分离的信号。

方案选择：方案一难以分辨测得的信号类型，且难以复原同相信号进行相减去除处理；方案二，在三角波存在谐波输入的情况下，高次谐波可能会被滤除，从而导致得到的波形失真；方案三，FPGA 算力足够，可以满足 FFT 带来的算力需求，在频域上信号的特征更容易把握，方便分离。综合考虑，采用方案三进行信号分离。

1.2 信号同步系统设计方案

方案一：使用移相器补偿，使用特定的模拟电路元件，如 RC 电路、LC 电路、差分放大器等，或使用数字移位寄存器等，通过模拟或数字的角度进行相位补偿，实现对信号相位的动态调整以达到同步。

方案二：使用数字滤波器分别分离出两路信号，由于滤波器输入信号的不同频率成分产生的相位响应固定，从而能够保证产生信号与输入信号的相位差稳定。

方案三：使用数字滤波器分离出低频信号，将其作为触发源产生 DDS 的复位信号，实时对短暂周期内 DDS 产生信号与原低频信号的相差进行校正。

方案选择：方案一，锁相环的带宽有限，需要调节对应的环路滤波器的控制参数以实现，同时锁相环在反馈时会产生一定的延迟，导致误差；

2. 方案描述

系统框图如图 1 所示。本系统信号处理部分主控采用 Xilinx Zynq-7010。双路输出信号源输出 2 路周期信号 A 和 B，得到混合信号 C；分离电路中，混合信号 C 经过高速 ADC 模块转化为数字信号，调用 FPGA 中 100M 时钟资源进行数据采集，并进行调理；将得到

的信号进行 FFT（快速傅里叶变换），在频域上对信号进行分析，得到信号的频率与类型信息，用以双路信号复原；采集到的混合信号经过截止频率可调 FIR（有限冲激响应）滤波器，得到与输入信号同源，相位响应固定的低频信号A，再将其作为触发源控制信号复原电路，使得产生的A'与B'信号与C信号相位差固定，从而实现连续稳定同频显示。

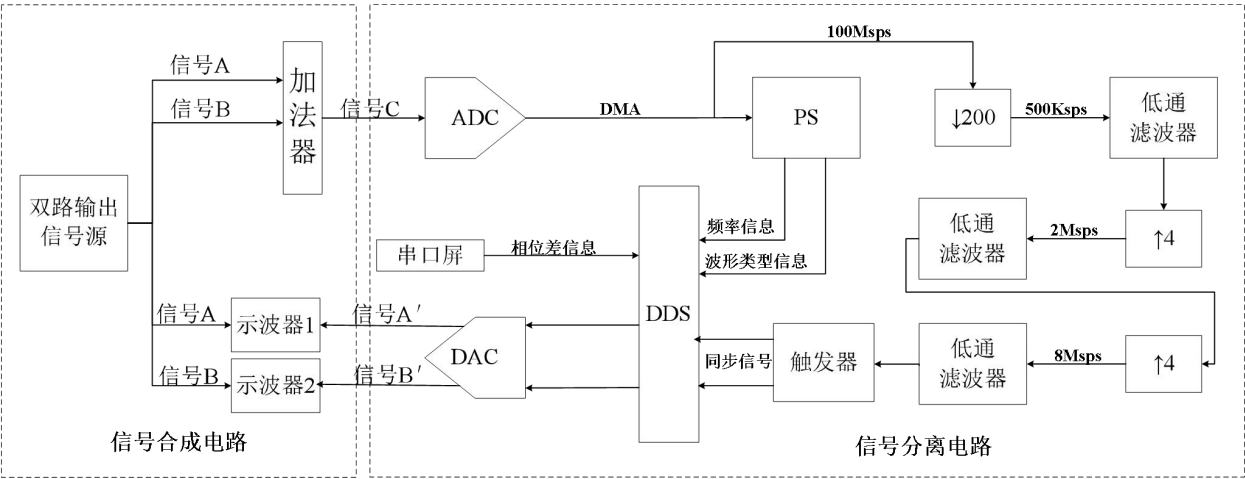


图 1 系统框图

二、 理论分析与计算

1. 信号分离理论分析

输入的 A、B 信号在时域上互相叠加，难以分离，但是在频域上信号较干净，容易分离且精度高，因此考虑使用 FFT（快速傅里叶变换）将信号从时域转换到频域后进行分离。

本设计所需要分离信号分为三种情况：分离两个正弦波、分离一个正弦波与一个三角波、分离两个三角波。根据三角波与正弦波的频率关系，其合成信号反映在频谱上的可能种类较多，下面对正弦波与三角波的傅里叶变换结果进行分析：

对于角频率为 ω_0 的正弦波函数，其频谱如下所述：

$$F_{sine}(\omega) = i\pi [\delta(\omega + \omega_0) - \delta(\omega - \omega_0)] \tag{1}$$

其在频谱上反应为横坐标为 $\pm \omega_0$ 的冲激函数。

对于角频率为 ω_0 ，幅值为A的三角波函数，其频谱如下所述：

$$F_{tri}(\omega) = \frac{8A}{\pi^2} \sum_{n=1}^{\infty} \frac{(-1)^{n-1} \sin((2n-1)\omega t)}{(2n-1)^2} \tag{2}$$

实际分析中，其三次谐波幅值为基波的 1/9，更高次谐波幅值为平方递减关系，因此分析时重点提取基波与三次谐波分析即可。

2. 相位控制理论分析

DDS 移相的核心部分是相位累加器。相位累加器是一个数字计数器，根据输入的控制信号以一定的步进值递增，递增值由所需的频率和相位调整所决定。

相位控制字在 DDS 中用于控制输出信号的相位，其决定了相位累加器的起始值，进而影响输出信号的相位。相位控制字的计算公式为：

$$\text{相位控制字} = \frac{\text{所需相位} \times 2^N}{2\pi} \quad (3)$$

其中，所需相位是期望输出信号的相位， N 是相位累加器的位数。通过改变相位控制字的值，可以实现对输出信号相位的精确调整。其频率分辨率如下所述：

$$\Delta f = \frac{f_{clk}}{2^{B_\theta}} \quad (4)$$

本设计中采用的 DDS 为 Xilinx 的 DDS Compiler IP 核，时钟信号 f_{clk} 为 100MHz，相位位宽 B_θ 为 32，因此理论上产生信号的频率分辨率为 0.0233Hz。

3. FFT（快速傅里叶变换）算法分析

FFT 是快速计算序列的离散傅里叶变换（DFT）或其逆变换的方法。傅里叶分析将信号从原始域（通常是时间或空间）转换到频域的表示或者反过来转换。FFT 会通过把 DFT 矩阵分解为稀疏（大多为零）因子之积来快速计算此类变换。因此，它能够将计算 DFT 的复杂度从只用 DFT 定义计算需要的 $O(n^2)$ ，降低到 $O(n \log n)$ ，其中 n 为数据大小。

FFT 的信号频谱分辨率 f 的计算公式如下：

$$f = \frac{1}{T \times N} \quad (5)$$

其中 T 为 FFT 的采样时钟， N 为 FFT 的采样点数。

本设计中，考虑到 ADC 工作在 100MHz 频率时较稳定，同时尽可能提升设计在高频时的稳定性，仍将 FFT 采样时钟设置与 PL 时钟一致为 100MHz；在此情况下，考虑到 PS 端内存资源足够，可尽可能地提升采样点数以实现高分辨率的频谱识别。本设计采用采样点数为 524288，分辨率计算为 0.1907kHz，足够对 1kHz 为单位信号作精确分析。

FFT 的输入数据由 ADC 采集后，直接通过 AXI DMA IP 核发送到 PS 部分，输出频率与类型数据直接由 AXI GPIO 发送到 PL 端 DDS，为产生信号做准备。

4. 采样率变换与同步系统分析

为了实现信号的同步，需要输出相位差完全相同的同源信号，否则在系统工作时会产生相位的漂移导致信号难以稳定显示。此处采用对输入信号进行低通滤波，将滤得的低频部分作为信号触发源的方案。

ADC 采样频率为 100MSPS，远远大于输入信号频率范围 20kHz~100kHz，若不进行降采样处理而直接进行滤波，幅频响应曲线将极其陡峭，对应所需要的滤波器阶数相当高，导致 FPGA 计算资源紧张。因此系统先通过低频时钟采样后，通过抗混叠滤波器后，在较为低频的情况下进行滤波操作。同时本设计采用了 200 阶 FIR 滤波器，考虑到滤波器的归一化特性，动态设置采样时钟频率，可以实现对不同频率信号的低通滤波。

降采样滤波后，得到的信号相对原高频时钟为阶梯型的信号，将会导致到达触发阈值时存在较大的相移，其由采样时钟产生。因此需要尽可能提升触发信号的频率，此处采取零阶保持采样以升高采样率的措施，通过两级高频时钟采样后滤波，得到高频时钟下的原低频信号 A' 。具体对各级变换采样率和滤波器要求如下表 1、表 2。

得到了品质较好的触发信号后，对其进行门限触发设计，当信号到达触发电平整数次时进行一次信号的相位复位，可以实现稳定的同步触发效果。

表 1 采样率变换各级采样率

级	升/降采样	采样率		
		倍率	入/MSPS	出/MSPS
1	降采样	1/200	100	0.5
2	升采样	4	0.5	2
3	升采样	4	2	8

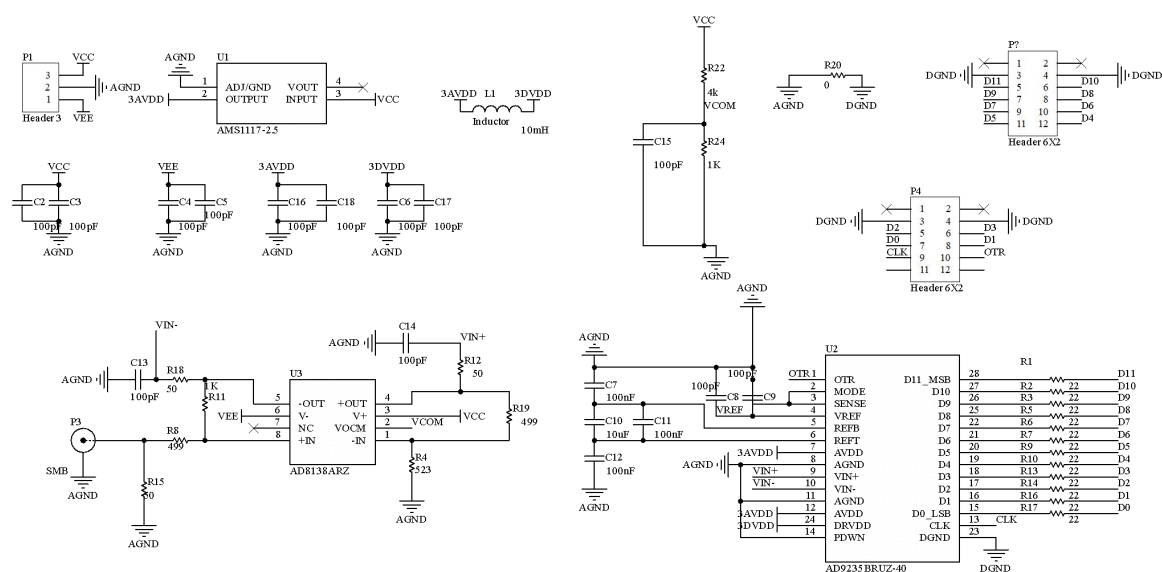
表 2 各级滤波器要求

级	滤波器类型	阶数	滤波器过渡带			
			左端点		右端点	
			实际/kSPS	归一化角频率/ π	实际/kSPS	归一化角频率/ π
1	FIR	50	50.5	0.101	54	0.108
2	FIR	50	202	0.101	216	0.108
3	FIR	50	202	0.101	216	0.108

三、 电路与程序设计

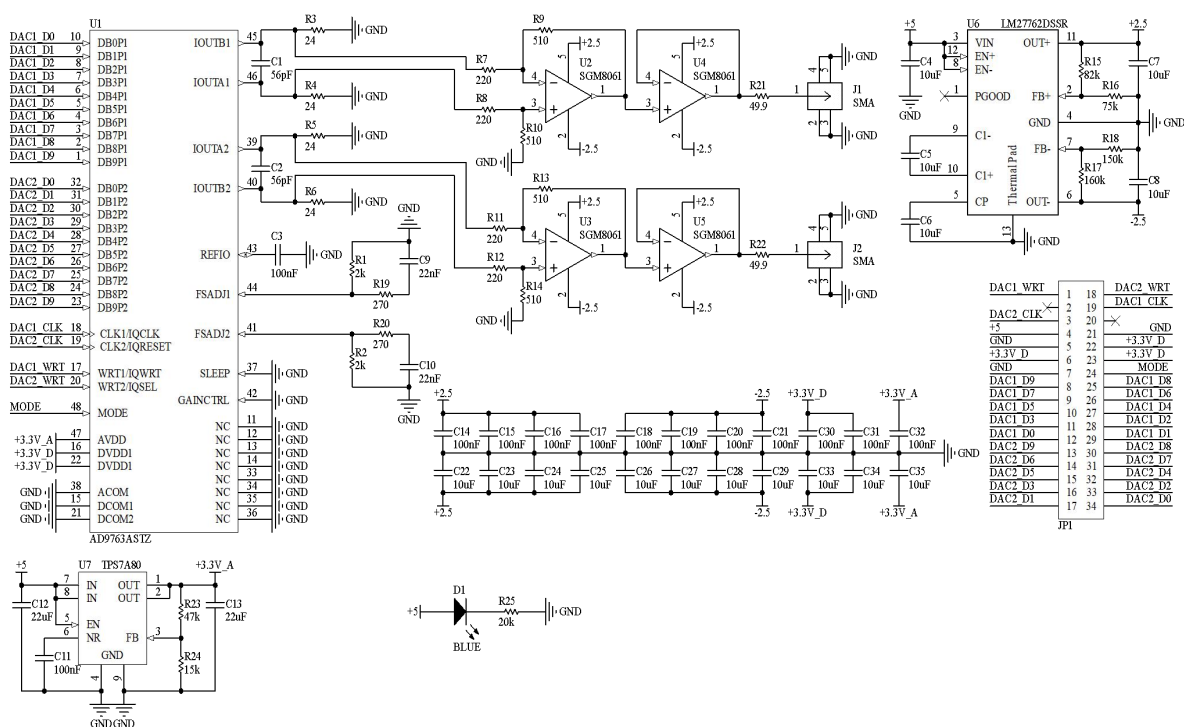
1. ADC 模块电路设计

ADC 模块电路如图 4 所示。本设计使用的 ADC 模块基于 12 位、65MSPS 的 ADC 芯片 AD9235，前端通过加法器输入合成信号 C，调理之后输入 ADC 芯片进行采样转换，转换后的数字量由两个 PMOD 口并行输出接入 ZYNQ，完成模拟与数字信号间的转换。



2. DAC 模块电路设计

DAC 模块电路如图 5 所示。本设计使用的 DAC 模块基于 10 位, 125MSPS 的 DAC 芯片 AD9763。FPGA 通过 IO 输出数字信号, AD9763 经过运算控制输出电流来表示模拟信号的大小, 经过 SGM8061 进行电流采样放大, 转化为电压值等操作, 输出对应模拟信号。



3. 软件程序设计

程序设计流程图如 6 所示。

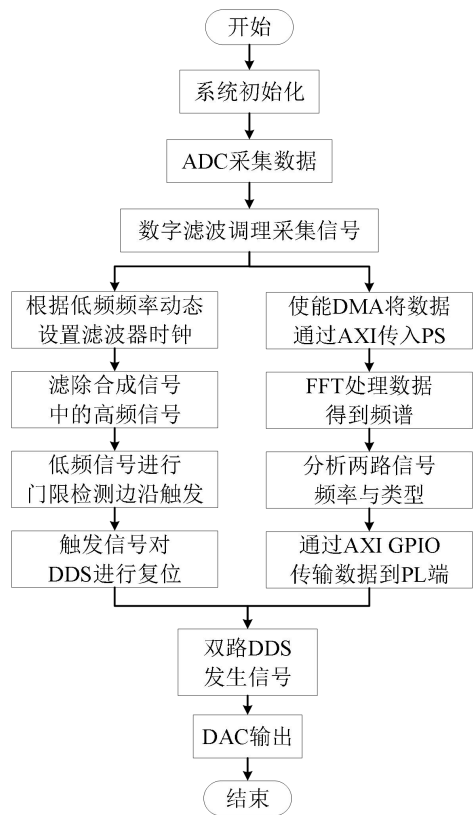


图 6 软件设计流程图

四、 测试方案与测试结果

1. 测试环境

- | | | |
|--------|-----------|------------------------|
| 示波器： | Tektronix | MDO2002B 型数字示波器； |
| 信号发生器： | RIGOL | DG4162 型 160M 任意波形发生器； |
| 电 源： | ZhongCe | DF1743003C 型稳压源。 |

2. 测试方案：

输入正弦波 A 和 B， $f_A=50\text{kHz}$ ， $f_B=100\text{kHz}$ 。测量分离出的信号 A'和 B'。

输入正弦波信号 A 和 B，频率分别为 10kHz 的整数倍。测量分离出的信号 A'和 B'。

输入正弦波或三角波信号 A 和 B 分别为，频率分别为 5kHz 的整数倍。测量分离出的信号 A'和 B'；

输入正弦波或三角波信号 A 和 B，且 f_B 是 f_A 的整数倍。控制信号 B'与 A'的初相位差，范围 $0^\circ\sim180^\circ$ 。测量分离出信号的相位差。

3. 测试结果与数据

表 3 双正弦输入测量结果

输入 A	输入 B	输出 A'	输出 B'
50.00kHz	100.00kHz	50.02kHz	100.03kHz
10.00kHz	20.00kHz	9.96kHz	20.01kHz
30.00kHz	70.00kHz	30.00kHz	70.04kHz

表 4 正弦、三角输入测量结果

输入 A	输入 B	输出 A'	输出 B'
正弦波, 5.000kHz	三角波, 10.000kHz	正弦波, 5.002kHz	三角波, 10.002kHz
三角波, 15.000kHz	正弦波, 15.000kHz	三角波, 15.005kHz	正弦波, 14.997kHz
三角波, 10.000kHz	三角波, 20.000kHz	三角波, 10.002kHz	三角波, 19.999kHz

表 5 输出相位控制测量结果

输入 A	输入 B	目标相位差	输出 A'	输出 B'	实际相位差
5.000kHz	10.000.kHz	10.00°	5.002kHz	10.002kHz	8.94°
15.000kHz	5.000kHz	45.00°	15.004kHz	4.998kHz	47.22°
10.000kHz	30.000kHz	85.00°	10.002kHz	29.999kHz	85.10°

4. 测试结果分析

测试分析：由数据结果知，本设计能够将由两个正弦波合成或由两个正弦波或三角波合成的信号分离，输出原来输入的两个信号，满足题目精度要求。误差主要来源于系统工作时相较原信号产生的相差，在曲线上有部分重合导致输出频率计算不准确。

同时，系统进一步对更小的步进与更宽的频率范围进行了测试，可实现 1kHz 倍数的信号频率分辨，工作频率范围提升到了 15kHz~750kHz，相位精度可达到 1° 以下。

五、 参考文献

- [1]. 罗杰,谢自美.电子线路-设计·实验·测试(第五版),2015,电子工业出版社.
- [2]. 康华光.电子技术基础(模拟部分)(第六版).2013,高等教育出版社.
- [3]. [美]Bruce Carter.运算放大器权威指南(第四版)2014,人民邮电出版社.
- [4]. 全国大学生电子设计竞赛组委会.第十一届全国大学生电子设计竞赛获奖作品选编,北京理工大学出版社.