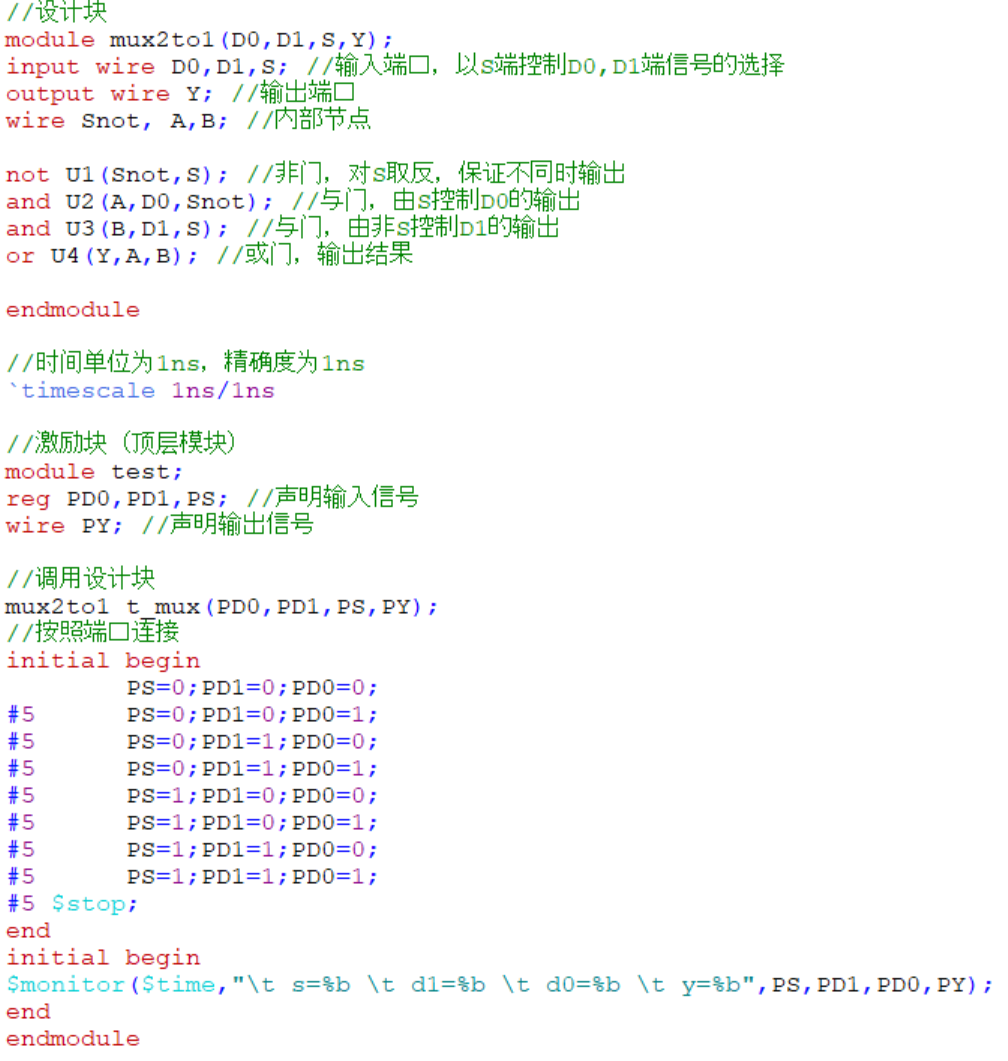
**课程总结报告**

阮振宇

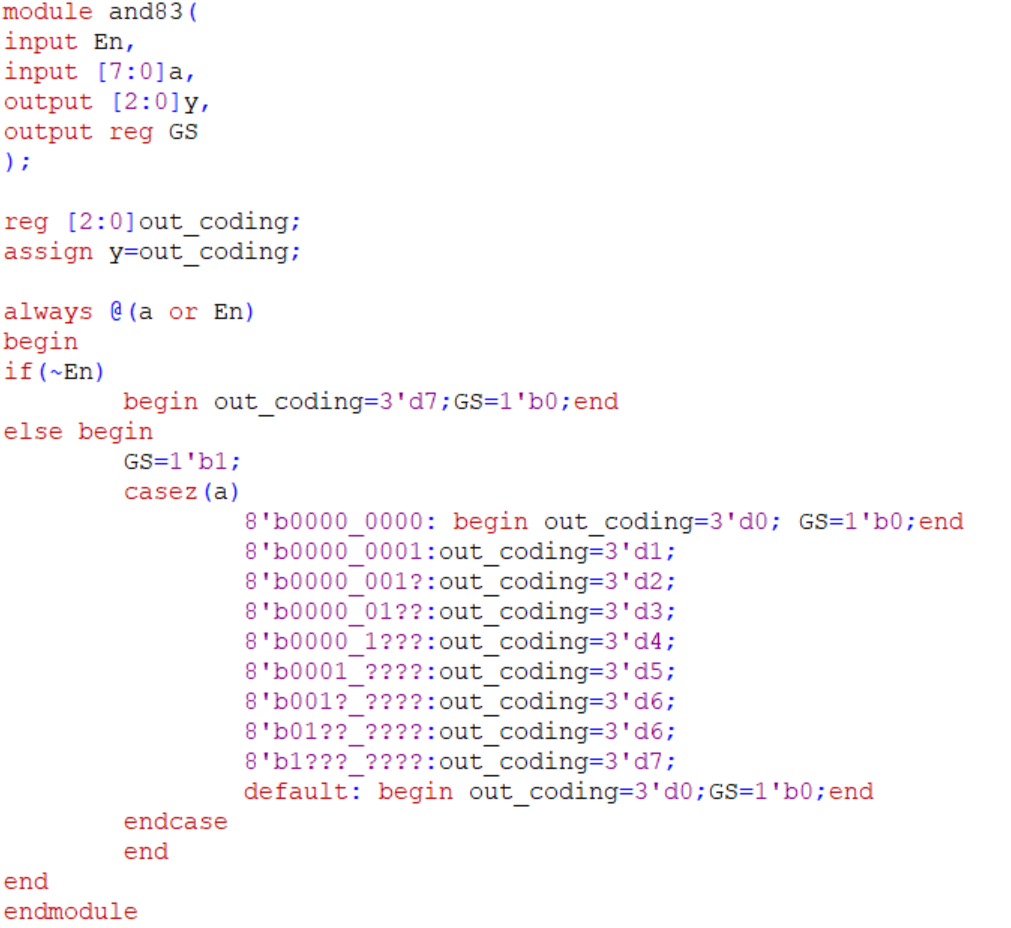
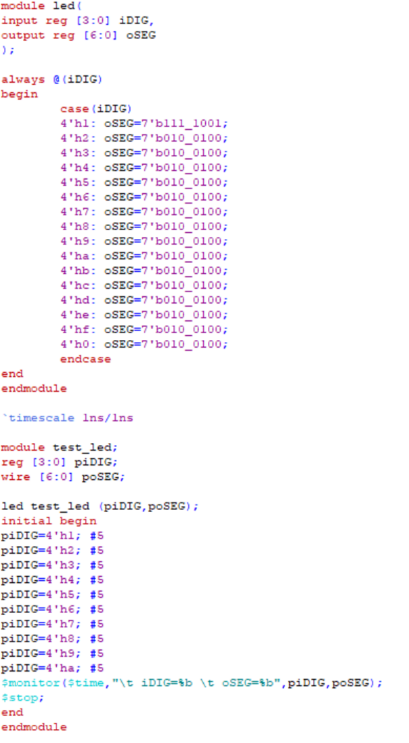
**一．知识、实验总结**

本学期首先学习了逻辑门等组合逻辑电路的基础结构，了解了与、或、非、异或，然后在上学期焊接电子元件的基础上，学习了阅读数据手册。

然后学习了verilog硬件语言，利用该语言进行门级建模、数据流建模和行为级建模，构建组合逻辑电路，然后学习如何用modelsim仿真，设计了二选一数据选择器、编码器、译码器以及驱动数位管的显示译码器。然后开始学习时序逻辑建模，学习了锁存器，触发器，寄存器、移位寄存器，然后用触发器、寄存器、锁存器构建同步计数器电路。

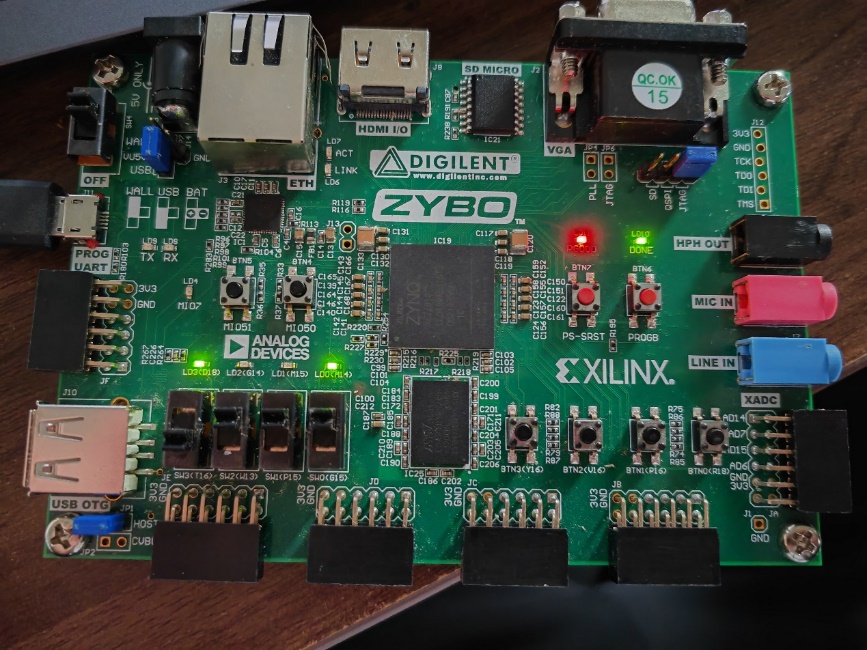


（第一次实验——二选一数据选择器）

（编码器） （译码器）

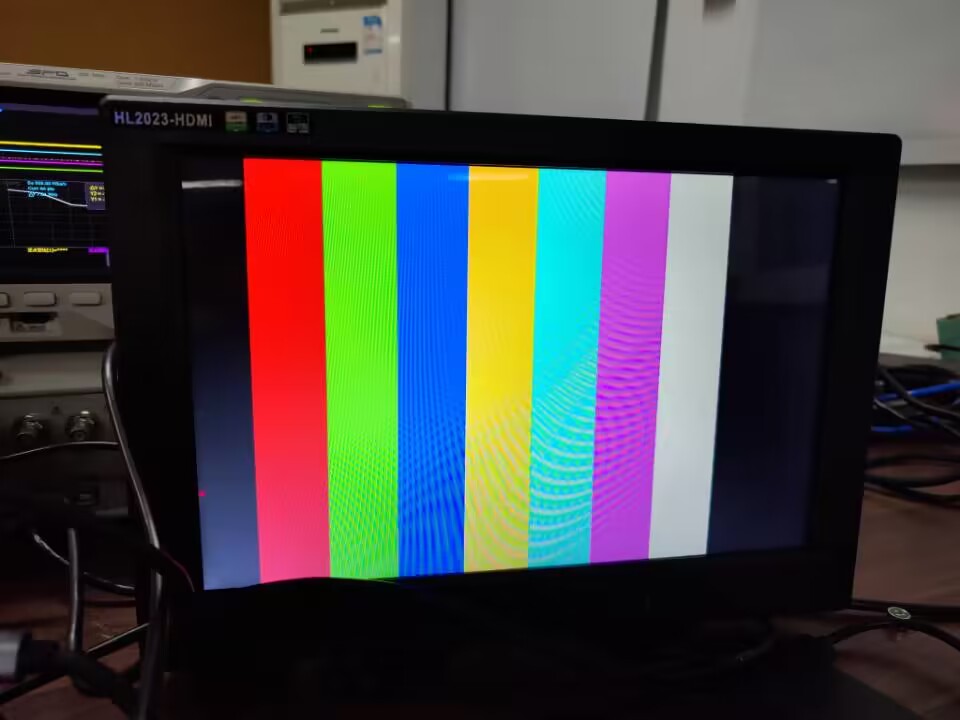
然后开始学习vivado进行电路仿真模拟。第一个进行的仿真实验是计数译码型流水灯，除了在软件层面上进行电路建模、仿真之外，还学习了zybo板的基本结构，学会进行引脚分配，烧录程序到zybo板上，将电路实现。



（计数译码型流水灯）

随后，在计数器的基础上，设计了时序逻辑电路——交通信号灯，PWM分频器。

最后，结合之前做过的计数器、PWM分频器，译码器等模块。首先，利用PWM分频器模块将zybo板内部的时钟信号分频到分辨率所需要的频率；然后，利用VGA行扫描、列扫描和触发器的原理，产生行时序、列时序；最后，为每一个色块分配颜色信息。



（VGA彩条实验）

**二．体会与建议**

在本学期的学习中，印象最深刻的第一次做时序逻辑电路——计数译码型流水灯。那时候，行为级建模还不熟练，代码写的磕磕绊绊，并且verilog语法不熟悉（甚至刚开始模块间的端口都会对错），经常有各种编译器检查不出来的错误（并且经常因为c语言的影响写出一些不支持的逻辑判断语句），十分难发现，而且还不能有效利用报错信息来修改错误。所以，有一天晚上，写代码、找bug在寝室里一直到了晚上12：00断网。后来，和同学之间一起慢慢讨论，修改才完成，但是到了vivado仿真却又出现了文体，那天晚上去基地里借了板子，烧录之后意外的发现竟然能跑。那一次实验，极大地提高了我的能力，因为在我慢慢地探索中，基本犯了能犯的所有错误，然后又一点一点改了过来，印象深刻，保证了以后不会再犯。这给了我很深的体会：理解知识最好的方法就是用它，用它解决实际问题，在解决问题的过程中解决对知识的困惑。

所以，我建议以后，在课程的设置上、作业的布置上，一定要更加强调动手与实践，并且能添加一些“大作业”，即提出一些需求，让我们根据需求，结合已经学过的电路模块自主设计电路，然后烧录实现。



（实验成功那晚的纪念）