

***2***

***0***

***2***

***0***

**数字电路与逻辑设计**

**课程实验报告**

**小型实验室门禁系统**

|  |  |
| --- | --- |
| 姓 名： | 车春池 |
| 学 号： | U201816030 |
| 班 级： | CSIE1801 |
| 专 业： | 计算机科学与技术 |
| 完成日期： | 2020/4/27 |

实验二：小型实验室门禁系统设计

1. 实验名称

小型实验室门禁系统设计。

2. 实验目的

采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件Logisim的虚拟仿真来验证该设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使学生掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3．实验所用设备

Logisim2.7.1软件1套，微型计算机1台。

4．课时

课内4个课时，课外4个课时。

5．实验内容

**设计场景：**某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示该实验室内人数。该实验室只有一个门，最多只能容纳15人。假设员工进出实验室都要刷门禁卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为0，刷卡进入时实验室人数加1，刷卡离开时实验室人数减1。当实验室满员时，还有员工在门外刷卡进入时，系统报警提示满员，不允许进入，实验室内人数不变。

使用Logisim软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7段数码显示管外，不能直接使用Logisim提供的逻辑元件库。

具体要求如下：

**（1）四位二进制可逆计数器**

用D触发器设计一个四位二进制可逆计数器并**进行封装**，逻辑符号如图2.1所示。

该计数器有一个清零端**CLR**、一个累加计数脉冲输入端**CPU** （输入刷卡进入请求）、一个累减计数脉冲输入端**CPD**（输入刷卡离开请求）、预置控制端、预置初置端DCBA、四个计数器状态输出值**QD QC QB QA**。当预置控制端为低电平时，计数器输出**QD QC QB QA**被预置为DCBA端输入的值。

**（2）二进制转8421BCD码电路**

用第一次实验所设计的“私有”元件“先行进位的四位二进制并行加法器”和适当元器件，将二进制数表示的实验室人数转换成**8421BCD码**的电路，并封装。

图2.1 四位二进制可逆计数器

**（3）显示电路**

设计一个7段译码器（参考书的7448芯片），将两位十进制数的8421BCD码表示的实验室人数用“7段数码显示管”显示出来，并封装该译码器电路。

该7段译码器有四个输入**A3A2A1A0**和七个输出**abcdefg**, **A3A2A1A0**为8421BCD码，abcdefg为7段数码显示管对应的段。

**（4）报警电路**

设计报警电路并封装，满足如下要求：

当实验室满员时，在累加计数脉冲输入端**CPU**刷卡进入请求时，计数器输出端状态值保持不变，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲输入端**CPD**刷卡离开请求，为防止信号干扰，在计数输出为0时，若**CPD**有脉冲，计数器状态值保持不变，且不用报警。

**（5）小型实验室门禁系统电路的封装**

利用已设计的“私有”元器件和相应元器件设计一个“实验室门禁系统”电路，并进行封装，封装后的小型实验室门禁系统逻辑符号如图2.2所示。

图2.2 封装后的小型实验室门禁系统

6. 实验方案设计

### （1）设计一个四位二进制可逆计数器电路

状态表如下

|  |  |  |
| --- | --- | --- |
| 现态  Q3Q2Q1Q0 | 次态  Q3(n+1)Q2(n+1)Q1(n+1)Q0(n+1) | |
| CPU | CPD |
| 0000 | 0001 | 1111 |
| 0001 | 0010 | 0000 |
| 0010 | 0011 | 0001 |
| 0011 | 0100 | 0010 |
| 0100 | 0101 | 0011 |
| 0101 | 0110 | 0100 |
| 0110 | 0111 | 0101 |
| 0111 | 1000 | 0110 |
| 1000 | 1001 | 0111 |
| 1001 | 1010 | 1000 |
| 1010 | 1011 | 1001 |
| 1011 | 1100 | 1010 |
| 1100 | 1101 | 1011 |
| 1101 | 1110 | 1100 |
| 1110 | 1111 | 1101 |
| 1111 | 0000 | 1110 |

通过状态表列出激励函数真值表，利用卡诺图化简可得

D3=~Q3

D2=~Q2

D1=~Q1

D0=~Q0

C0=CPU+CPD

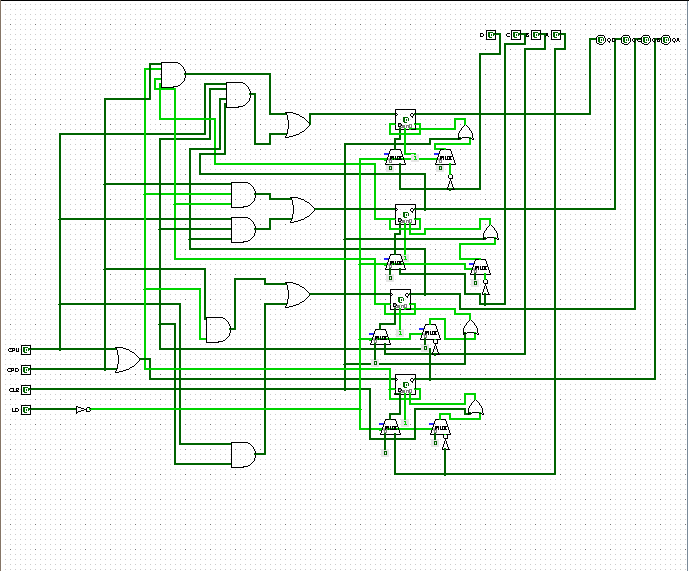
C1=Q0 CPU+(~Q0)CPD

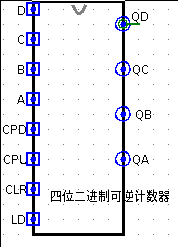
C2=Q1Q0CPU+(~Q1)(~Q0)CPD

C3=Q2Q1Q0CPU+(~Q2)(~Q1)(~Q0)CPD

预置的实现：LD和DCBA和DCBA的非分别与，与八个分别连在触犯器的0,1

用logisim作出电路图为：



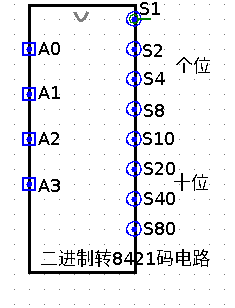
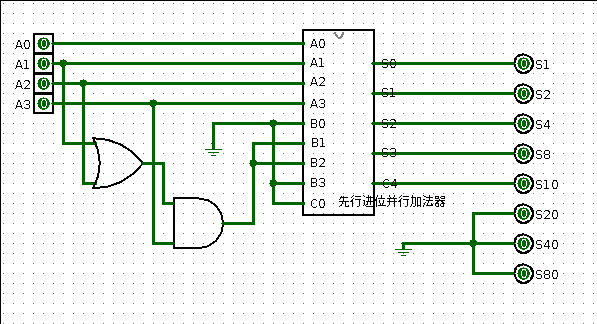


### （2）用实验一中已封装的“先行进位四位二进制并行加法器”设计将实验室内人数转换成8421BCD码的电路

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 十进制 | 输入 | | | | 输出（8421） | | | | | 修正 |
| N | A3 | A2 | A1 | A0 | C4 | S8 | S4 | S2 | S1 | Z |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 2 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 3 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 4 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 7 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 8 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 10 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 11 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 12 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 13 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 14 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 |
| 15 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 |

利用卡诺图得Z=A2A3+A1A3=A3(A1+A2)

电路图如下：



### （3）设计7段译码器，并采用“7段数码显示管”显示人数的电路

七段译码器真值表：

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | 输出 | | | | | | |
| A3 | A2 | A1 | A0 | A | B | C | D | E | F | G |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

利用卡诺图化简得：

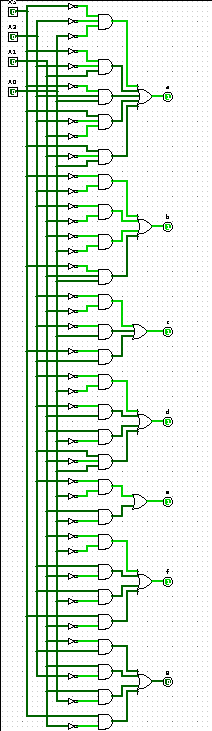
a=~A2A1A0+~A3~A2A1+~A3A2A0+A3~A1A0

b=~A3~A2+~A1~A0+~A2~A1+~A3A1A0

c=~A3A2+~A2~A1+~A2A0

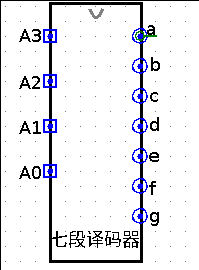
d=A2~A1A0+~A2A0+~A2A1A0+A2A1~A0

e=A1~A0+~A2~A0

f=~A1~A0+A2~A1+A3~A2~A1+A2~A0

g=A2~A1+A3~A2+~A2A1+A1~A0

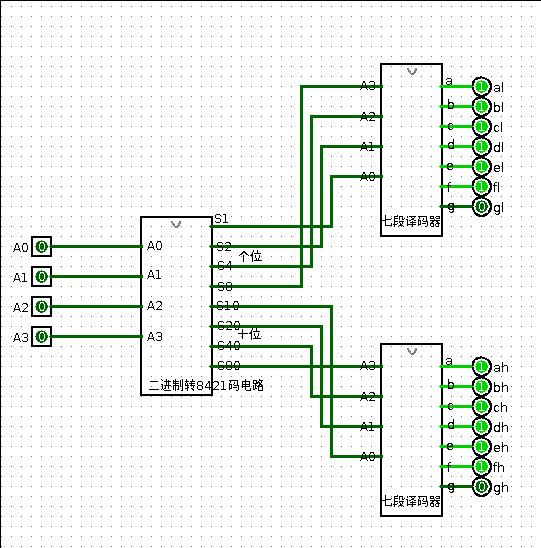
逻辑电路图如下：



设计显示人数的逻辑电路

将四位二进制数转8421码的十位输出和个位输出分别连接到两个7段译玛器上，然后将七段译码器连接到数码显示管得到显示实验室人数的电路，电路的输入是二进制数表示的实验室人数

逻辑电路图如下：



### （4）设计报警电路

当实验室满员时输出均是高电平，将4个输出端与后得到满员状态的信号。当实验室无人时计数器的输出均是低电平，将4个输出端或后得到无人状态。设满员信号为M，无人信号为N：

M=SDSCSBSA

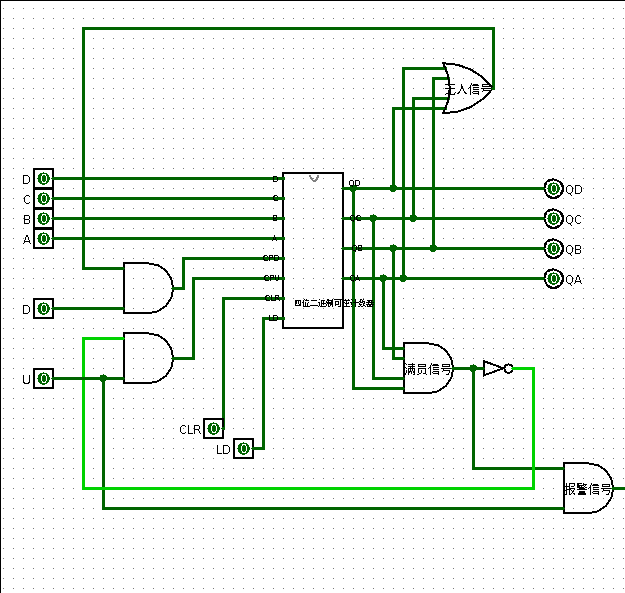
N=SD+SC+SB+SA

经过分析得到CPU和CPD的表达式：

CPU=U~M

CPD=DN

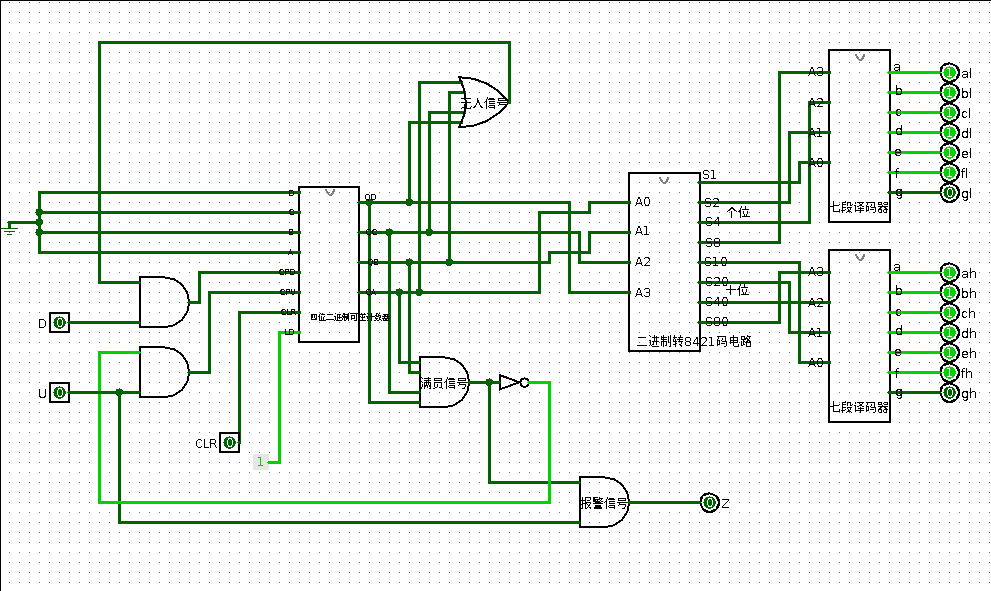
逻辑电路图如下：

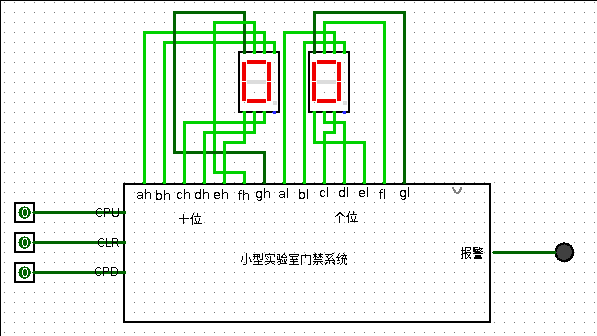


### （5）小型实验室门禁系统电路

综合上面几个模块，可得到最终的门禁系统电路

逻辑电路图如下：

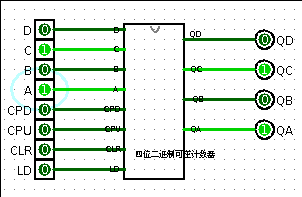




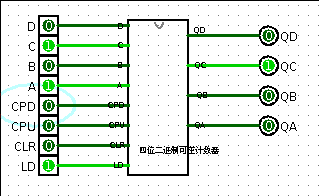
### （6）实验结果记录

（1）四位二进制可逆计数器测试

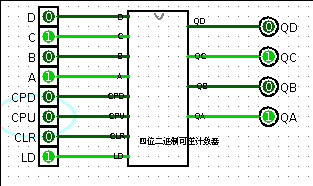
预置功能



来一个CPD脉冲



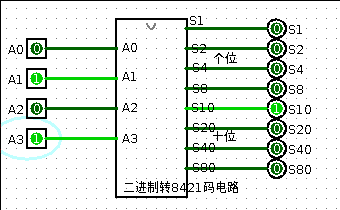
来一个CPU脉冲

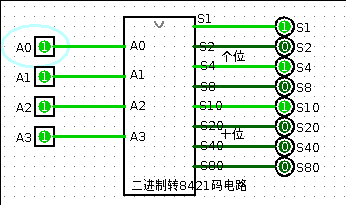


清零

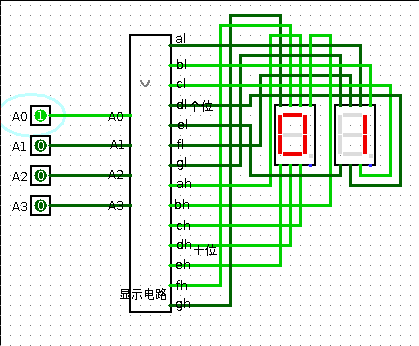


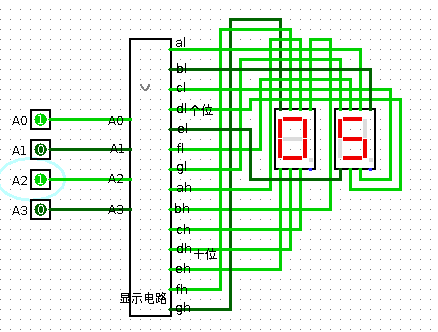
（2）二进制转8421码电路测试

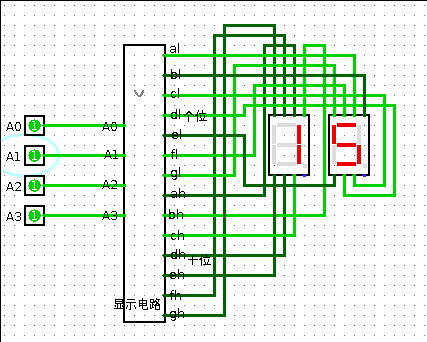




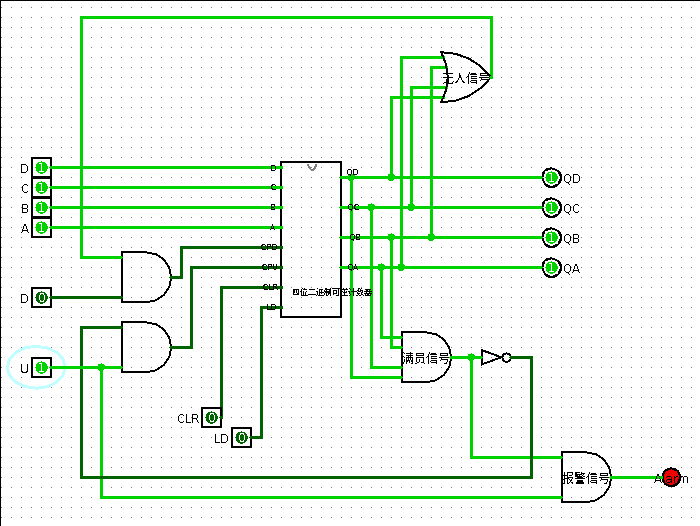
（3）显示电路测试





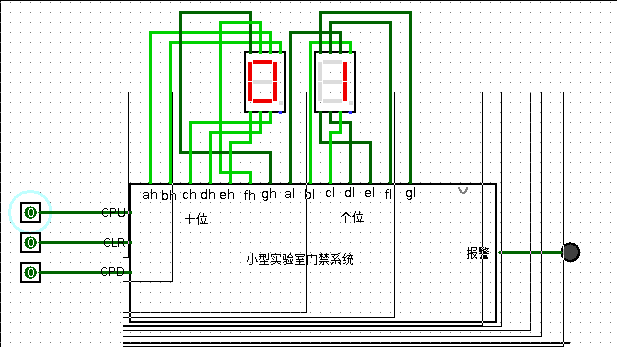


（4）报警电路测试

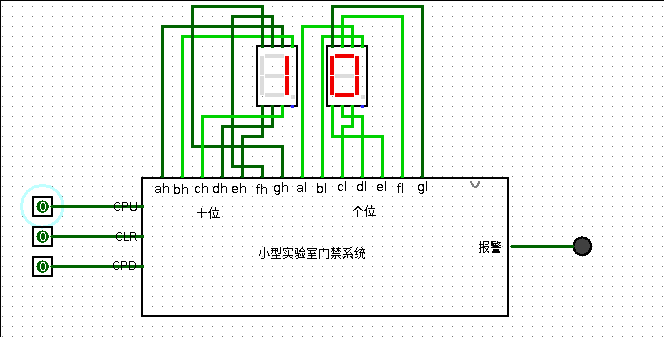


（5）门禁系统电路测试

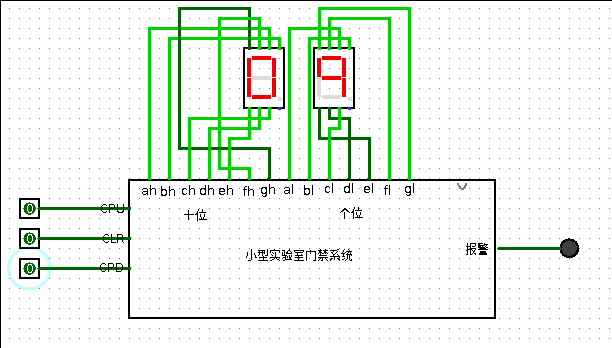
来一个CPU脉冲



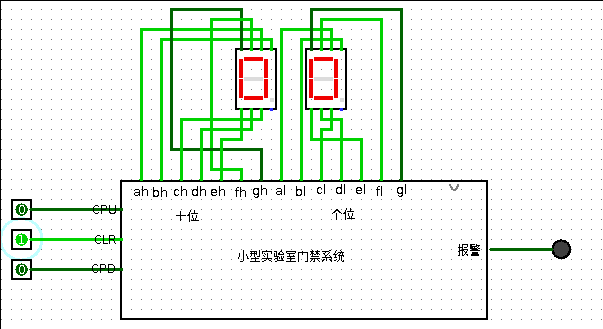
继续来CPU脉冲，电路状态增加到10



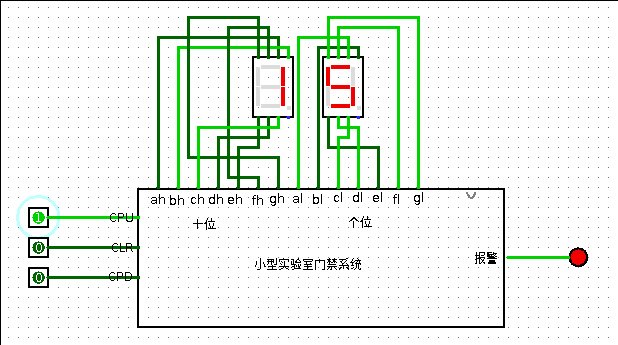
来一个CPD脉冲



清零



人数为15时再来一个CPU脉冲，报警灯亮



到此为止，电路全部功能测试完毕，门禁系统功能完善

### （7）实验后的思考

在本次实验中，遇到了不少问题，其中最大的一个问题是第一个任务四位二进制可逆计数器的预置功能如何实现。我思考了很久都没得到解决办法。然后我就上网查找相关的资料，最后解决了这个问题。

这次实验不仅考察我们课堂上的知识，还考验了我们查找资料的能力和动手能力。